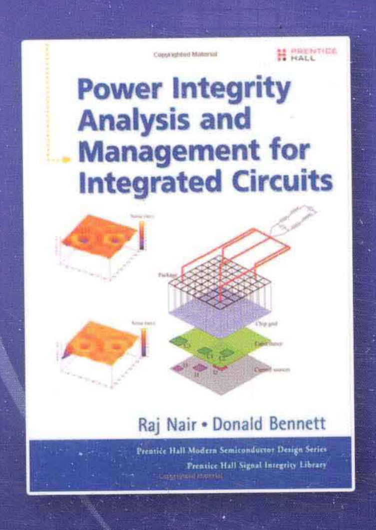
国外电子与通信教材系列

PEARSON

集成电路电源完整性分析与管理

Power Integrity Analysis and Management for Integrated Circuits



[美] Rajendran Nair
Donald Bennett 主编

贺雅娟 罗 萍 等译

张 波 审校



http://www.phei.com.cn

集成电路电源完整性分析与管理

Power Integrity Analysis and Management for Integrated Circuits

实现纳米级片上电源完整性的新技术及工具

随着芯片尺寸持续按比例缩小，电源完整性问题增加了难以预料的工程复杂性和制造成本。本书中，两位处于业内前沿的主要革新者认真、仔细地讨论了电源完整性设计工程师在纳米级工艺下所遇到的挑战，并针对这些问题讨论了新的分析方法和管理技术，同时突破性地提出了解决实际问题所需的仿真工具。

作者第一次完整地提出了电源完整性的基本概念，包括超大规模集成电路问题、电源传输的实际应用、以整体电源完整性分析法来优化芯片物理设计的优势等。他们引入了最新的电源分配网络建模、设计和分析技术，同时也借鉴了基于电路和场解技术的传统解决途径。这些新技术强调理论和基于物理模型的分析。还提出了布局布线和电源完整性管理的新技术，以帮助设计者在设计的早期阶段应对集成度增加所带来的挑战。

最新电源完整性布局布线的软件工具Anasim RLCSim.exe可于网址anasim.com/category/software免费下载。

本书特性

- 系统性地探索了集成电路电源完整性的应用、分析和管理。
- 呈现了可广泛应用的实际案例以及工业芯片设计范例。
- 讨论了电源分配和高带宽电压调节，差分电源路径设计和片上电容对电源完整性的意义。
- 回顾了传统的和最新的集成电路电源完整性分析建模技术，并提出了连续建模技术。
- 探究了芯片、封装、电源完整性板级干扰和电磁干扰，引入了最好的工业界设计实例。
- 介绍了电源完整性管理最新的概念，包括非线性电容器件，阻抗调节和有源噪声调节。



PEARSON
www.pearson.com



策划编辑：陈晓莉
责任编辑：陈晓莉
责任美编：孙焱津





定价：58.00 元

国外电子与通信教材系列

集成电路电源完整性分析与管理

Power Integrity Analysis and Management for Integrated Circuits

[美] Rajendran Nair
Donald Bennett 主编

贺雅娟 罗 萍 等译

张 波 审校

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内容简介

本书全面论述了电源完整性问题，特别是在纳米级工艺下系统芯片的电源完整性的基本概念，揭示了其对于集成电路系统的重要意义，讨论了电源完整性问题在小工艺线宽下所遇到的种种挑战，以及为解决这些问题所引入的先进分析方法、管理技术及可用于设计前期的具有突破性的实用工具。

本书涵盖了电源完整性问题从基础理论到先进技术的各个方面，可作为相关专业本科生及研究生的教学指导用书。同时与其他大多数同类书籍相比，该书更强调直观理解、实用工具和工程实践，因而对于工作在纳米级工艺下，负责信号完整性、电源完整性、硬件设计、系统设计的工程师而言将是不可或缺的参考资料。

图书在版编目（CIP）数据

集成电路电源完整性分析与管理 /（美）奈尔（Nair, R.），（美）贝内特（Bennett, D.）主编；贺雅娟等译.
—北京：电子工业出版社，2013.11

书名原文：Power Integrity Analysis and Management for Integrated Circuits

国外电子与通信教材系列

ISBN 978-7-121-21804-0

Ⅰ.①集… Ⅱ.①奈… ②本… ③贺… Ⅲ.①集成电路－电源电路－高等学校－教材 Ⅳ.①TN86

中国版本图书馆 CIP 数据核字（2013）第 262275 号

策划编辑：陈晓莉

责任编辑：陈晓莉

印　　刷：北京市李史山胶印厂

装　　订：北京市李史山胶印厂

出版发行：电子工业出版社

　　　　　北京市海淀区万寿路 173 信箱　邮编 100036

开　　本：787×1 092　1/16　印张：15.25　字数：390 千字

印　　次：2013 年 11 月第 1 次印刷

定　　价：58.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系。联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至dbqq@phei.com.cn。

服务热线：（010）88258888。

译 者 序

随着当今集成系统变得日益强大、便携，系统和设备的功率及能耗成为设计的一个关键约束，电源完整性在决定电路功率损耗上起着决定性的作用。对于电源完整性的研究已成为集成电路设计领域的一个重要发展方向。目前国内在电源完整性分析及管理方面的研究还处于初级阶段，关于这个领域的教学和工程指导教材比较单一，缺乏一本能够对电源完整性分析和管理领域进行总结并及时介绍国际最新技术发展动向的教材。

本书汇集了主编及各位合著者过去10年在集成电路领域研究和工作的主要成果。书中从电源完整性的基本概念入手，通过与力学系统及其相关理论的类比，分析了电源完整性在导致集成电路性能差异方面呈现上升趋势的根本原因，并讨论了随着日益缩小的工艺线宽，电路设计工程师在电源完整性问题上所遇到的种种挑战，以及为解决这些问题所引入的先进的分析方法、管理技术和可用于设计前期的具有突破性的实用工具。本书涵盖了电源完整性问题从基础理论到先进技术的各个方面，表述严谨规范，材料全面系统，是目前集成电路电源完整性理论分析与电路设计结合较好的一本书。同时书中以广泛的应用芯片为例提供了相当数量的设计实例，既可作为相关专业的本科生及研究生的教学指导用书，也可以作为从事集成电路设计、开发的工程师的设计参考资料。

本书的翻译工作由电子科技大学微电子与固体电子学院功率集成技术实验室主任张波教授组织完成。实验室多名教师共同参与，其中第1、2、3、9章由罗萍教授翻译，第4、6、8、10章及附录等由贺雅娟副教授翻译，第7章由甄少伟老师翻译，第5章由明鑫与周泽坤老师共同翻译。此外，微电子专业多名研究生也参与了本书的翻译工作，在此对他们的积极参与和认真工作表示衷心的感谢。

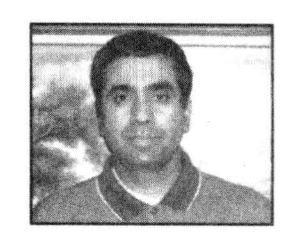
还要感谢电子工业出版社陈晓莉编审在组织出版和编辑工作中给予的支持和建议。

鉴于译者水平有限，时间仓促，译文难免出现错误和不妥之处，希望读者予以批评指正。

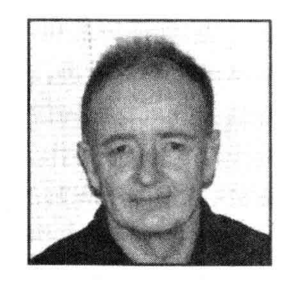
译　者

2013年5月

作者简介



Raj Nair 在工业界和学术界有超过 22 年的工作经验，拥有超过 40 个 VLSI 设计和电子产品专利，他对电子系统、电路和器件级电源传输以及电源完整性管理进行了大量的研究。其最引人注目的是在英特尔公司工作时，研究并设计了用于微处理器电源完整性管理的 CMOS 电压调制电路。Raj 建立了 ComLSI 和 Anasim 两家公司，主要研发先进的用于 ULSI 电源完整性分析及管理的专利技术和软件工具，同时也提供 IC 设计以及电源完整性相关的技术咨询服务。



Donald Bennett 博士，器件物理学家，经验丰富的半导体业内专家，Anasim 公司合伙人。Donald Bennett 博士发明了目前正在申请专利的有效电流密度法，这一方法有效改善了对集成电路和系统电源完整性分析的高层次抽象及物理仿真。在加入 Anasim 公司之前，他建立了 QuantumDA 公司，开发并配置 RLCSim 仿真软件，该软件使用 ECD 法可进行电源网格仿真。

前　言

本书是我们在纳米技术时代首次郑重地揭开电源完整性设计的神秘面纱，书中将详细介绍电源完整性的概念与分析方法，以及集成电路的电源完整性管理。

本书重点关注集成电路的电源完整性部分。本书既可作为见习工程师获取集成电路设计简介的教材，也可作为已有一定设计技巧的工程师开发集成系统的有益参考。因此，书中的每一个章节既会强调基本的概念、原理、直观的理解，同时也会讨论一些新概念与新技术。本书与以往著作不同的一点是强调了集成电路及系统行为的真实物理模型。我们在直观地理解电源完整性基本物理意义的基础上，通过与力学系统及其基本法则的对比，探究了集成电路性能差异比例因电源完整性影响而呈现上升趋势并逐渐成为主导的根本原因。

简单的实例更有助于说明电源完整性对于集成电路与系统的重要性。随着当今集成系统变得日益强大、便携，系统和设备的功率及能耗成为设计的一个关键约束。电源完整性，尽管在决定电路功率损耗上起着最主要的作用，但是却较少受人关注。举例而言，我们都知道在娱乐场所中如果将灯光调暗得过快，或电视屏幕亮度的急剧变化对我们的眼睛有害。因此我们想要降低照明能耗完全取决于光噪声的大小。这个道理同样适用于集成电路：一个最基本的方法就是降低电源电压以最大限度地降低功率及能耗，这直接取决于电源噪声的大小，或者说这就是电源完整性。

我们承认，这项工作的动力很大程度源于对高性能微处理器的电源完整性的研究，而不是低功耗片上系统各电路模块的节能需求。通过对未来几代处理器封装技术的研究，我们充分认识到，目前缺少像样的工具来判断电源电压噪声与电路关键路径在时序上的一致性。而在封装设计中，对电源完整性管理元器件，比如封装电容等的布局优化，依然只能在整个设计完成之后再做考虑。非物理近似，比如简化电阻—电容模型，常用来分析一个芯片的电源分配网络。我们也很清楚，提取片上互连线、电阻、电容、电感这些关键电磁参数，以及对这些提取了寄生参数的电路模块和系统进行仿真，是高难度且计算复杂度渐长的工作。因此，片上电源分配网格的优化、电路模块的版图布局、去耦电容的分布都会影响到芯片的整体质量。更重要的是，我们已经认识到对电路的电源完整性分析而言，目前缺少的是一种用于芯片设计早期的前端仿真工具，这种仿真工具应该能较好地分配芯片资源，包括金属连线、去耦电容和电源电压垫脚等外部连接。这些因素实际制约着物理设计的质量和设计的自由度，也往往导致芯片资源的过度分配，或过多的重复设计。特别是在纳米级的制造工艺下，更是存在许多挑战。就目前而言，最迫切的还是需要一种广泛的、能进行真实物理模型研究，同时具有前端分析能力的工具。这也将是集成器件持续按比例缩小将遇到的最大挑战。

我们倾其所能，把过去十多年中我们在集成电路这一重要领域所学到的和研究过的内容写进这部书里。根据我们在这一领域的工作经验，通过高层次抽象、物理建模和分析能解决电源完整性方面的诸多挑战。这本书在讲述这些知识的同时，还将介绍一些传统的及先进的应用于电源完整性分析的方法及技术。

虽然我们广泛讨论了功率、电源完整性、电源、电源分配网络设计、电源完整性管理等各方

面必要的知识，但是本书只是非常简单地对这一复杂的课题进行入门级介绍。书中的某些讨论可能显得过于简单，某些内容又显得过于繁缛，有很多插图，甚至会有重复内容。但这样应该会更易于读者掌握所讨论的理论和定理，我们也相信初学者会找到一些非常有用的解释、范例和反复说明。各水平层次的读者也许会发现我们设计的习题还能引发超出教学内容的思考。为了使读者对集成电路的电源完整性有更全面的认识，本书尽量把公式推导作为第一准则，并且着重于直观的理解。当然在公式推理的同时，也适时地给出一些经验解释。

作为一项研究，错误在所难免，我们虚心接受广大读者的意见；我们在书中大胆提出的一些概念尚未得到普遍认可，因此还需要读者们在自己的工作中进行充分验证。我们相信，经验丰富的工程师因为自身工作的关系，在看到书中一些新颖的想法和概念时会与我们产生共鸣，或许还会进行进一步的探索并继续推动这项研究。例如，我们将“差分电源分配法”称为“宽带”电源电压分配法。从事信号完整性分析的工程师可能会欣赏这个概念的提法，因为这与几乎已经取代“单端信号”的“差分信号传输”的概念有相似性。我们还讨论了有源噪声调制，有源噪声调制是一种通过动态改变连接电源网格的阻抗值来提高电源完整性的技术。我们信心十足地提出诸如此类的概念和方法，比如“整体集成”的概念，又比如创造性地通过动态时序分析以电源波动技术来提高电路性能的方法等，尽管这些概念和方法还没有得到足够的应用和经验性的实例来佐证。我们也期待读者和其他研究人员在阅读本书的过程中能发现这些概念是耐人寻味、富于启发性的。

本书结构

整体而言，本书可分为 4 个不同的部分。第一部分是第 1 章到第 3 章，介绍电源完整性的基本知识、器件持续按比例缩小给电源与电源完整性带来的挑战、电源分配的实际应用，以及整体电源完整性对芯片物理设计优化的重要作用。第二部分是第 4 章到第 7 章，着重介绍各种电源分配网络的建模、设计与分析。这些章节重点强调了抽象和基于物理层面的分析，同时也提供了大量对于传统电路和基于场解算器技术的讨论。第三部分重点叙述版布局布线和电源完整性管理的各种技术的应用。这一部分由第 8、9 两章构成，主要讨论了电源完整性管理最新的概念和应用。第 10 章通过讨论电源完整性的发展趋势及未来的挑战作为本书的结尾。下面是每个章节的简介和推荐的阅读方法。

第 1 章，“功率、功率传输及电源完整性”，采用物理类比的方法向读者展示了电源和电源完整性的直观理解。例如，将“力—电压类比”用于已有的相关概念，把电学里的电源、电能类比为物理学中等效的物理量。初学者会感觉这一章有助于加强对电源完整性的了解，有经验的工程师则可以略过这些内容，或者也可以浏览这一章，复习并且体会一些重要的概念。

第 2 章和第 3 章是本书第一部分的重点，无论是对这一领域的初学者还是对经验丰富的设计者都适用。第 2 章“巨大规模集成电路及其功率挑战”，通过对比“纳米级”与之前集成电路制造工艺的差异，对 CMOS 电路按比例缩放和“能量—延时”的基本概念进行深入的讨论。本章为介绍“整体电源完整性”奠定基础，包括芯片电源网格的电感特性，该特性与芯片功耗和性能相关。缺乏对信号传播时所产生的电磁感应的分析将会造成潜在的错误。本章还推导出“按比例缩放—驱动能力”这一直接影响电源完整性和系统性能的关系。第 3 章“芯片的电源完整性和功率传输优化”，讨论了电源传输和集成电路的电源分配，尤其详细地介绍了“电压调制分配”与高效开关电源转换、缩放之间的关系。这些章节明确地表明片上电磁感应对于芯片

电源分配网格设计的重要性，同时提供了与电源完整性分析相结合的方法。

第 4 章到第 7 章，具体讨论了各种电源分配网络建模和分析技术，适用于本领域各个层次的读者。第 4 章“电源完整性预分析及抽象”，详细介绍了基于芯片和电源分配网络建模的前端分析与抽象。第 5 章“电源完整性分析与 EMI/EMC”，首先对传统的电源分配网络建模和电阻管理进行了详细的描述，讨论了建模方法和数值分析，说明了基于 3D 场解算器方法的重要性和准确性。这一章随后也阐述了可将这种分析方法用于研究电源完整性与芯片封装中电磁辐射这两者间的密切关系，再一次强调对电源完整性以及 EMI 进行全面、系统的前端分析的必要性。第 6 章“电源分配建模与电源完整性分析”，展示了一种由分布的 RLC 元件构成的建模技术可对片上电源分配进行高效、准确的分析，这一技术也被用来评估不同的降低电源噪声的方法。第 7 章“有效的电流密度和连续模型”，介绍了一种新型的建模方法，把一个电源分配网络的抽象转变成一个连续模型，从而大大减少了计算的复杂度。这一章提供了众多例证来说明对芯片布局规划进行抽象建模的优点，并将基于连续模型的仿真器与 SPICE 仿真器进行了比较。

第 8 章和第 9 章将工业界对于电源和电源完整性管理的现代化先进技术和概念，以及考虑电源完整性的布局规划加以结合。第 8 章着重考虑电源完整性的布局布线及芯片设计，并且讨论了电源管理技术对集成电路电源完整性的影响。第 9 章详细介绍了芯片级和封装级的电源完整性技术，对一些新兴技术，譬如去耦电容沟道长度设计、三井制造工艺、压控电容和有源封装等，进行了一定的探索和研究。这几个章节建议有经验的工程师仔细阅读。

第 10 章作为结束本书的一个简短章节，讨论了保持器件持续缩小和电子集成度持续增大的先进技术及发展趋势。在这一章中读者会看到大量的实例，展示了集成技术伴随着半导体以及封装技术的发展向 3D 方向发展的事实。同时对集成技术微型化和低成本的要求进行了详细说明，再次强调了目前在电源、发热和电源完整性方面所面临的诸多挑战。

辅助资料

本书附录为有较多数学运算的章节提供更为详尽的推导细节和理论分析。附录 A 是基于连续模型对电源网格有效电流密度的详细推导。附录 B 提供了对亥姆霍兹平面电路方程的推导。

书中提供的所有互联网链接地址目的是使读者能够随时获得最新的可视化仿真结果，以及在线参考文献。同样，在所有章节中的脚注是为了给读者澄清一些不常见的术语和概念。

基于连续模型，能进行芯片电源网格、电路模块仿真及电容抽象的仿真器 RLCS. exe，可以从 Anasim 网站免费下载，链接网址 http://www.anasim.com/category/software/。这个软件可在微软视窗下使用，安装软件中包括了它的使用手册和一些我们在第 4 章所提到的实例。

深入研究

第 9 章的参考文献清单一开头列出了这一领域的其他几部参考书籍，这些书中对印制电路板、平面电路、无源器件、传输线，以及其他一些相关电路做了精彩的论述。我们希望我们的这本书对集成电路和电源完整性技术的讨论能够成为其他同类著作的有益补充，为进一步研究先进的分析方法和电源完整性管理做好铺垫。相信我们在书中讨论的电源完整性建模及如何提高电路设计中的电源完整性分析能力，将会是纳米尺度下促使 3D 技术和整体集成技术持续发展的关键。我们在这里分享这项研究的成果，希望能为后来者抛砖引玉，在这一领域开展更加深入的研究。

致　谢

在培生教育出版集团 Bernard Goodwin 的再三邀请下，这本书才得以问世。在此，我们对他发起这项工作并提供帮助和指导表示感谢。很多专家对本书的内容进行了审阅，使得本书的质量得以不断提高。感谢 Bogatin 公司的 Eric Bogatin、Teraspeed 咨询公司的 Steve Weir、亚利桑那州州立大学的 Michael Kozicki、英特尔公司的 Vijay Nair 、美国宾夕法尼亚州立大学的 Seth Wolpert 以及 Dave Cuthbert，感谢他们提供了极其重要的评审意见。我们还要感谢西印度群岛科技大学的 Michael Kozicki 和 Paul Aiken，衷心感谢他们为本书提出了许多详细的、富有建设性的意见。还有一些不知名的审稿人，正是他们的意见与帮助才使得本书取得了目前较为完善的内容与形式。

众多工业界和学术界相关领域里的专家为本书的章节或子章节提供的素材大大提升了本书的内容。日本大阪大学的 Masanori Hashimoto 和 Mentor Graphics 公司的 Navin-Srivastava 撰写了本书第 3 章的主要内容。第 5 章的作者为 Physware 公司的 Swagato Chakraborty、Dipanjan Gope 和 Vikram Jandhyala，华盛顿大学的 Mosin Mondal、Souvik Mukherjee 和 Woopoung Kim，以及德州仪器公司的 Rajen Murugan。瑞典皇家理工学院(KTH)的 Li-Rong Zheng 和芬兰土尔库大学的 Sampo Tuuna 共同撰写了第 6 章的内容。德州仪器公司的 Shane Stelmach 和 Snehamay Sinha 提供了第 7 章的内容。Masanori Hashimoto 同时还撰写了第 9 章中关键的一部分。得克萨斯大学奥斯丁分校的 Leo Mathew 和德州仪器公司的 Mario A. Bolaos 分别提供了第 10 章中多栅极晶体管和封装部分的素材。衷心感谢以上这些同仁们的贡献。第 5 章、第 8 章、第 10 章中的主要内容都是在 Rajen Murugan 的倡议和带领下完成的。感谢他和德州仪器公司在这本书的出版过程中所投入的精力、时间和努力。我们非常荣幸与这样一个优秀的撰稿团队合作。

我们感谢培生教育出版集团的 Michelle Housley 始终关注本书的写作进展，感谢 Arul Gnanadesigan 对本书文字的编辑，纠正了不少冗长、复杂的语句。与同事和朋友们的讨论经常使我们有更清晰的思维，由此感谢英特尔公司的 Siva G. Narendra、James T. Kao、Randy Mooney、Vivek De 及 Bala Natarajan 等人。我们感谢所有帮助过、教育过和启发过我们的人，由于人数众多，就不在此一一列举。

感谢我们的家人，他们毫无怨言地支持我们承担了这项工作，对他们的耐心和鼓励表示由衷的感谢。

合著者简介

Mario A. Bolaños：Mario A. Bolaños在半导体封装领域有超过30年的从业经验，在德州仪器公司封装部门从事封装战略研究，并且主管与大学的战略合作计划。在德州仪器，这个部门负责研究封装技术的新方法。Mario在世界范围内拥有10个专利，以及大量的技术论文和重要的演讲。他于1976年获得萨尔瓦多的基督会大学(UCA)电子工程理学士学位，1995年在得克萨斯大学达拉斯分校获硕士学位。

Swagato Chakraborty：Swagato Chakraborty博士是Physware公司副总裁。他于2001年获印度理工学院(IIT)电子技术和电气通信学士学位，于2005年获华盛顿大学电子工程博士学位。他撰写了大约30篇期刊和会议论文。他的研究领域包括应用于SI、PI、EMI领域的计算机电磁技术和软件开发。

Dipanjan Gope：Dipanjan Gope，博士，目前是Physware公司的研发副总裁。2005年到2007年他是英特尔公司的高级CAD工程师。他于2000年在印度克勒格布尔获印度理工学院(IIT)电子技术与电气通信学士学位，分别于2003年和2005年在美国西雅图获华盛顿大学电子工程硕士和博士学位。目前他已发表了35篇期刊和会议论文。

Masanori Hashimoto：Masanori Hashimoto于2001年获得东京大学博士学位。从2004年起，他担任大阪大学信息科学与技术学院信息系统工程系副教授。他的研究方向包括超大规模集成电路设计及CAD，尤其着重于电源完整性、信号完整性、时序分析、可靠性设计以及极低电压电路设计。

Vikram Jandhyala：Vikram Jandhyala博士是西雅图华盛顿大学副教授，并担任Physware公司的首席技术官。他于1993年在印度德里获印度理工学院(IIT)电气工程学士学位，分别于1995年和1998年获伊利诺伊大学厄巴纳—香槟分校(UIUC)电子工程硕士和博士学位。目前他已发表约150篇期刊和可检索的会议论文。

Woopoung Kim：Woopoung Kim自2008以来在德州仪器公司担任设计工程师，进行芯片和封装的协同设计。在加入德州仪器公司之前，2004年到2008年他在加利福尼亚洛杉矶的Rambus公司担任高级工程师，从事信号完整性分析。他在佐治亚亚特兰大获佐治亚理工学院(GIT)电子工程博士学位，在韩国大田获韩国科学技术院学士学位和硕士学位。他是IEEE高级会员。

Leo Mathew：Leo在印度的哥印拜陀获得印度国家科学技术院学士学位，于1992年获亚利桑那州立大学硕士学位。从1992年到2007年，他在摩托罗拉和飞思卡尔从事多种器件工艺的开发。他是Astrowatt公司的联合创立者和首席技术官，也是“新型设备应用”公司的联合创立者。他目前拥有40项授权专利，是《电子时代》2006年的年度创新人物。

Mosin Mondal：Mosin Mondal 在西雅图获华盛顿大学电子工程博士学位。他分别在印度的 Rice 大学和 Jadavpur 大学获得硕士和学士学位。从 2001 年到 2004 年，他在印度的 Candence 公司担任研究员。他的研究范围包括电源和信号完整性、电路电磁仿真、互连建模以及用于 VLSI 系统的 CAD 等。他已经发表了超过 20 篇期刊和会议论文。

Souvik Mukherjee：Souvik Mukherjee 博士于 2002 年在印度的克勒格布尔获得印度理工学院(IIT)电子工程学士学位，分别于 2004 年和 2007 年在佐治亚技术学院获得硕士和博士学位。自 2007 年 6 月，他在德州仪器公司担任 CAD 工程师/无线领域方法学研究工程师。他的研究领域包括信号完整性和电源完整性分析及应用，以及片上无源器件的电磁建模。Souvik Mukherjee 博士已经发表了 20 多篇会议引用文章、期刊和公司专题报告，并拥有一项专利。他是 IEEE 的会员。

Rajen Murugan：Rajen Murugan 主要从事无线和模拟设计领域的电气—物理协同设计和仿真流程设计。目前他是无线封装部门的高级信号完整性分析工程师，是德州仪器公司的高级研究员。他在电阻层析成像和信号完整性领域拥有专利若干，并在权威杂志上发表论文若干。自 1998 年至今他一直担当物理出版社研究院的学术评审。Rajen Murugan 在加拿大的曼尼托巴大学获得电子工程博士学位。

Snehamay Sinha：Snehamay Sinha 是德州仪器公司 DSP 部门系统协同设计组组长。他于 1995 年在印度孟买获塔塔基础科学研究院的物理学博士学位。他研究领域包括信号和电源完整性、ESD、衬底噪声以及高速电路设计和封装。他在权威杂志、会议和公司专题报告会上发表了大量文章，在 ESD、衬底噪声和封装模型领域拥有 4 项专利。

Navin Srivastava：Navin Srivastava 于 2000 年在印度克勒格布尔获得印度理工学院(IIT)学士学位，于 2009 年在加州圣塔芭芭拉获得加州大学博士学位。他目前在俄勒冈威尔逊维尔的 Mentor Graphics 公司的 Calibre 部门工作。他主要研究 VLSI 的互连技术，该研究曾获得 VLSI 多层互连会议(2005)和 IEEE 微机杂志(2006)的奖励。

Shane Stelmach：Shane Stelmach 是德州仪器公司 EDA 研发部研发主管，主要负责版图布局布线工具的研发。他是德州仪器公司的高级工程师以及协同研发小组组长。他于 1991 年在美国得克萨斯的 A&M 大学获得电子工程学士学位。

Sampo Tuuna：Sampo Tuuna 在芬兰获土尔库大学工程硕士学位。他现在作为研究员在土尔库大学信息技术学院攻读博士学位。他的主要研究领域包括片上噪声和片上互连建模。

Li-Rong Zheng：Li-Rong Zheng 是瑞典皇家理工学院(KTH)的客座教授，并担任中国复旦大学信息技术学院院长。他是瑞典皇家理工学院 iPack VINN 卓越实验室的创立者并担任该实验室主任，他也是瑞典斯德哥尔摩爱立信公司的资深专家。他于 2001 年在瑞典皇家理工学院获得电子系统设计专业博士学位。之后他一直在学术界和工业界从事智慧型环境及媒体感知系统的设计，以及无线片上封装等的研究。他的独著或合著论文多达 200 多篇。

目 录

第1章　功率、功率传输及电源完整性

功率可以定义为做功的能力，其大小等于单位时间内所做的功或转换的能量。功率越大，移动物体（克服引力、斥力或摩擦力）的能力或转换能量（例如提高物体的温度）的能力就越强。对于电子系统，特别是集成电路，功率通过电压（电动势）和电流（电荷流动）的形式来体现。电能使电子系统实现其相应功能，并在产生、存储、调节电动势或电荷流量的元件间传输。电子电路与系统消耗功率，并将其转换成其他形式的能量或做功。功率传输的完整性（也称为电源完整性）涉及到能量消耗、传输元件、信号源、周围环境等的变化下它的稳定性及不变性。本章后面部分将对功率、功率传输和电源完整性进行阐述，重点讨论其在集成电路和系统中的应用。

1.1　电动势

电动势（emf）的发现归功于物理学家亚历桑德罗·伏特（Alessandro Volta，1745—1827），伏特发明了电池（或称伏达电堆）。电池具有移动电荷的能力。电池做功的前提是有电动势的存在，因此电池是电动势源。

电动势在国际单位制中的单位是伏特（volt），1伏特等于1焦耳（joule）每库仑（coulomb），焦耳是能量的单位，库仑是电荷的单位。换言之，如果1库仑的电荷在通过某元件后获得1焦耳的能量，那么在元件两端产生的电动势就是1伏特。

由于带电粒子的运动与能量的获得和损耗有关，因此，力学原理常常用来类比解释电学特性，如电动势、电流、功率等。如力—电压类比（force-voltage analogy）是个常见的例子，其中机械力等同于电压。

1.1.1　力—电压类比

力—电压类比（force-voltage analogy）归功于詹姆斯·克拉克·麦克斯韦（James Clerk Maxwell）①。考虑到力的国际单位（法语简称SI）是牛顿，而电动势的国际单位是伏特，这种类比并不完全吻合。尽管如此，电气行为的许多方面映射了物质对象的行为，并且这种电—机械类比有助于我们对概念的理解。例如，谐振电路的行为与机械钟表的摆动十分类似。

功的单位是焦耳，与力和力作用下的位移有关。因此

$$W(\text{焦耳})=F(\text{牛顿})\cdot d(\text{米}) \tag{1-1}$$

类似的，电压差或电势差等于均匀介质中一库仑电荷从一点移动到另一点所需做的功。因此

$$V(\text{伏特})=\frac{W(\text{焦耳})}{Q(\text{库仑})} \tag{1-2}$$

如果将力与电压按照上面的关系联系起来，那么力学中的距离等价于电学中的电荷。位

① James Clerk Maxwell，Scottish 理论物理学家和数学家，1831—1879。

移随时间的变化量（或速度）等价电荷随时间的转移量（或电流）。

动能的表达式为

$$动能=\frac{1}{2}mv^2 \tag{1-3}$$

式中，m 是物体的质量；v 是物体的速度。同时考虑储藏在电感线圈中能量的表达式为

$$电感储能=\frac{1}{2}LI^2 \tag{1-4}$$

式中，L 是线圈的电感量；I 是流过线圈的电流。这些表达式表明了质量与电感的等同关系。

弹簧伸长或压缩增大储存在其中的能量的同时，线性地增大了它的回复力。类似的，流进电容元件的电荷增大了储存在电容中的能量的同时，线性地增大了其两端的电动势。根据胡克定律，对弹簧做的功，或称弹性势能的增量表示为

$$弹簧势能=\frac{1}{2}kx^2 \tag{1-5}$$

式中，k 是弹性系数；x 是伸缩长度。这个关系式与储存在电容中电势能的表达式等同，即

$$电容储能=\frac{1}{2}CV^2 \tag{1-6}$$

V 与 x 的关系并不明显。弹性势能的表达式可以由力（按照胡克定律为 $k \cdot x$）与位移量（$\mathrm{d}x$）的积分来表示。就像功的基本定义那样，势能的表达式由力・位移$[(k \cdot x) \cdot x]$得到。相似的，电容中势能的表达式也可以从电压・电荷$[V \cdot (C \cdot V)]$得到，这个表达式遵循电学中功的定义，同时也与力—电压类比相一致。

因为电流可以描述为电子或电荷的宏观流动，因此可将流体的静态和动态能量用于电能的分析。重力势能的表达式是 $m \cdot g \cdot h$，这里 m 是物体质量；g 是重力加速度；h 是增加的高度。在与流体的类比中，常常将液柱底部的压力等同为电势差。一个连接两个直径不同但高度相同的装有流动物体的液柱的导管中是没有液体流过的，这是因为管道两端的液体压强相同。这个例子与一根连接具有相同电位不同容量的两个电容的导线中没有电荷流动类似。如果液柱的高度不同，连接液柱的导管将会有液体流过，流动的液体受到导管直径的约束。在电学中，与该物理现象等同的是电动势（电压）和电荷流动（电流）的关系，即欧姆定律：

$$I(安培)=\frac{V(伏特)}{R(欧姆)} \tag{1-7}$$

式中，R 是电阻，是材料阻碍带电粒子在其原子结构中流动的一种属性。电阻具有吸收能量的属性，同时也具有形成电路中电动势的属性，因为：

$$V=I \cdot R \tag{1-8}$$

据此公式，一部分电动势将会消耗在克服元件对电荷的阻碍作用上，与力学系统中力克服摩擦类似。

另一个用到的类比是力—电流类比（force-current analogy），该类比将电流源与力发生器等同，电压与力学系统的输入速度等同。通过这个类比可以推出电容等同于质量，电感等同于弹性系数的倒数，电阻等同于摩擦力的倒数[1]。

1.2 功率

功率定义为电压和电流的乘积，后者是电荷的流动速度，常表示为 I 或 i。电流 I 的单位

是安培(ampere)，符号为 A。瞬时功率即为瞬时电压与瞬时电流的乘积，即

$$P_i = v \cdot i \tag{1-9}$$

对瞬时功率在一段特定时间内求平均得到平均功率。在电压为正弦函数的交流电系统中，瞬时电压和瞬时电流为不同相位的矢量。因此瞬时功率的形式变化为

$$P_{i,ac} = V\sin(\omega t) \cdot I\sin(\omega t - \varphi) \tag{1-10}$$

式中，V 和 I 是电压和电流的峰值；ω 是矢量角速度；φ 是电压矢量和电流矢量的相位差。利用三角变换[3]，瞬时功率的表达式变为

$$P_{i,ac} = \frac{VI}{2}[\cos(\varphi) - \cos(2\omega t - \varphi)] \tag{1-11}$$

式中，考虑到任何正弦函数在其周期内的平均值均为零，一个或几个周期内对该瞬时功率的平均值为

$$P_{ac,avg} = \frac{VI}{2}\cos(\varphi) \tag{1-12}$$

还可以表示为

$$P_{ac,avg} = V_{rms} \cdot I_{rms} \cdot \cos(\varphi)$$
$$V_{rms} = \frac{V}{\sqrt{2}}, \qquad I_{rms} = \frac{I}{\sqrt{2}} \tag{1-13}$$

式中，V_{rms} 和 I_{rms} 分别为电流和电压的均方根值或有效值。交流电压与交流电流相位差的余弦值称为功率因数(power factor)，电压和电流的有效值乘以这个因子后才能得到正确的交流(AC)功率。电流相位如果与电压相位相差 90°或 1/4 周期，功率因数等于 0。

将电流矢量与功率因数相乘得到的与电压矢量同相的分量，才是唯一产生功率传输或损耗的分量。由于理想电容和理想电感等纯电抗元件的电压矢量与电流矢量的正交关系，即使有大电流流过它们也不会产生功率损耗。

1.2.1　功率的物理类比

电功率是电压和电流的乘积，电流是单位时间内转移的电荷量。按照在本章前面讨论的功—电压类比，功率应该等价为力与位移随时间变化量的乘积或做功的速度。这就为我们提供了功率的一个直观的定义，即能量被吸收或产生的速率。功率越大，提供能量的能力就越强，能量被吸收或消耗的速率就越快。

功率的单位是瓦特(watt)，其符号是 W。如果在 1 秒内做了 1 焦耳的功，那么功率就是 1 瓦特。按照这个定义和以前提到的电压、功、电荷之间的关系为

$$\text{功率(瓦特)} = \frac{W(\text{焦耳})}{t(\text{秒})} = \frac{V(\text{伏特}) \cdot Q(\text{库仑})}{t(\text{秒})} = V \cdot \frac{Q}{t} = V \cdot I(\text{安培}) \tag{1-14}$$

按照相同的定义，能量或做的功是功率和时间的乘积。功率越大，单位时间内吸收的能量就越多。这点可以在材料的加热过程中看出。直接传输到材料的功率越大，材料温度上升和能量累积就越快。

1.2.2　电源

电能和电功率的产生方式有很多。自然电能可以通过静电，或电荷的物理分离和转移产生，如闪电的产生和日常生活中的摩擦起电。范德格拉夫发电机[2]可以产生一百多万伏特的静电。

最常见的电能产生方法是发电机,它利用电磁感应原理将机械能变成电能。机械能的来源包括核能,太阳能,水流,风,潮汐,甚至波浪。另一种产生电能的方法是通过电化学,即将化学能直接转化为电能,如蓄电池和燃料电池。光伏电池可将光能直接转化为电能,现在已被广泛采用。超级电容器具有极高的能量存储密度。其他产生电的方式还有热电和压电,前者是通过温差电偶将热直接转化为电动势,后者是将晶体中的机械应变转化为电。这些能量转换器件主要用来做传感器,其中一些器件也用于能量收集。能量收集是一个在周围环境中提取能量为小的独立器件提供电能的过程。射频(RF)领域现在也在利用捕获的微量能量给其电路供电。

1.2.3 电力电子电路与系统的供电

所有的电力电子系统工作时都需要电能。这些系统多种多样,以可以想象到的各种方式辅助人类社会活动。利用电能来完成各种工作,将电能转化成其他形式的能量,如动能、光(可见电磁能)和热(热力学能),还可以定量地变换电能,产生更高或更低的电势差以及周期变化的电势差。

不同的系统需要的电能形式不同。大部分大型设备使用交流电(AC)。主要由于交流电变换和传输很方便,交流电最适宜将电能从发电站传输到配电站和终端用户。传统的照明系统,例如白炽灯和荧光灯,都设计成直接使用交流电。许多家用电器也设计在相对安全的交流电压下直接工作。这些交流电的频率为 50Hz、60Hz 或每秒 440 转,振幅从 110V 到 240V 甚至更高。交流电可提供不同相位的多相电压,典型的是彼此相差 120°的三相交流电。使用交流电源的系统统称为电力系统。

电子系统主要在直流电(DC,以前称之为伽伐尼电流)下工作。直流电的特征为恒定的电压(或电势差)和单向电流。大部分电子系统都在比常用交流电源幅值低一到两个数量级的低电压下工作。交流电源可以通过整流器(rectifier)、DC-DC 变换器(DC-to-DC converters)和滤波器(filters)转化为直流电。现在,直流电也可以很容易地通过逆变器(inverters)转化为交流电。高压直流电有时用于将大量电能从偏远的发电站输送到交流电网。直流电源也广泛的应用于节能固态照明[①]。

在随后的章节中将着重讨论作为电子系统主要供电方式的直流电,尤其是其在集成电路和系统中的应用。

1.3 电源配送

电能主要通过电导耦合和电磁耦合两种不同的方式传送。电导耦合的原理是电能通过电导传送或电荷在导电介质中从一个物体传递到另一个物体。电磁耦合过程则是电能通过电磁感应或电磁通信传送,在这个过程中电荷被感应并以电磁能量的形式转移。

传输方式的差异可用于区分交流电和直流电。所有直流电都通过电导耦合方式传输,而交流电可以通过任意一种方式传输。交流电通过电磁方式传送的例子就是 1893 年尼古拉·特斯拉(Nikola Tesla)将能量无线传送用于点亮真空中的灯泡,还有威廉·布朗(William C. Brown)从 1961 年到 1964 年利用微波进行功率传送。普通的变压器就是日常生活中交流

① 利用发光二极管等元件代替白炽灯和荧光灯发光。

电通过电磁形式进行传输的例子。化学电池和电路之间的导线是直流电导耦合的例子。

1.3.1　中央直流电源传输模块

图 1-1 所示为一个集成在个人计算机(PC)系统中的电源模块。大部分这些单机模式电子系统中的电源模块将交流电变换为一系列不同的直流电压，为系统中其他模块供电。例如，在图示的模块中，+12V，−12V 和 5V 三种直流电就是从机壳开关上的插口输入的交流电变换而来。这些电压为子系统供电，如硬盘驱动和微处理器主板。这种电源配送系统为集总方式，它提供本地所需各种直流电压，并通过集总模块的导线将直流电压在系统内配送。

图 1-2 为个人电子计算机系统中的典型主板，上面有微处理器、存储器、外围设备接口，与图 1-1所示电源模块一起集成在计算机中。电源模块的一个输出接口插入主板左侧中间的接口。在这个接口下面就是一个微处理器，它安装在一个近似矩形的插座上。在这个插座右侧，安装着电子元件——晶体管、磁芯电感和电解电容——这些元件进一步将直流电源转化为微处理器所需求的电压。这种在或非常接近受电元器件的电源变换称为负载点(Point-Of-Load，POL)功率变换。

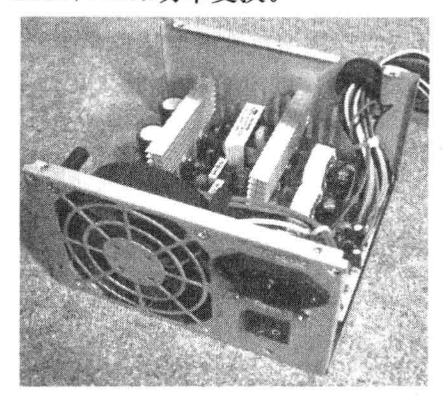


图 1-1　个人计算机中的电源模块
(来自：Author *mboverload*，Wikimedia Commons. 参考文献[4])

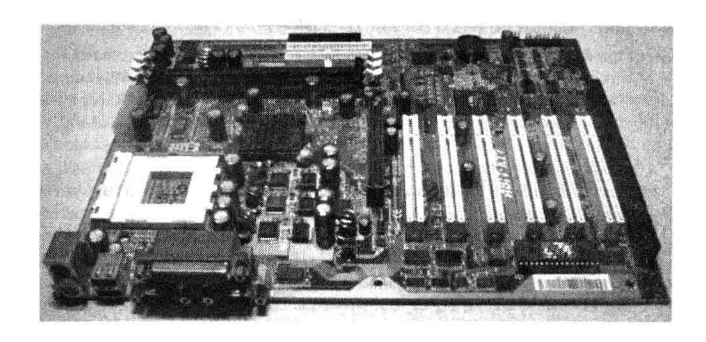


图 1-2　带微处理器和 DC-DC 变化起连接点的个人计算机主板
(来自：Gary Houston，Wikimedia Commons. 参考文献[4])

这个概念来源于特斯拉和爱迪生之间“电流战争”时期，当时特斯拉证明了使用高压电向偏远地区传输，然后按照需要转换为低电压，在大面积区域内提供电源分配是非常可行的。特斯拉解决了由于在传输线中大电流造成能量损失的问题，在电子系统中类似的问题通过 POL 变换器得以解决。微处理器工作在 1V 左右的电压下，却消耗很大的电流，其大小为 100A 或更多。如果电能在电源模块中使用导线传输，那么将导致不必要的能量损失。在图 1-2 所示的子系统中，电压变换发生在靠近微处理器的位置，保证大电流只在板内很短的距离内流动。

微处理器 POL 电源配送通常通过电压调节模块(Voltage Regulator Modules；VRMs[2])实现。这个模块控制与芯片内各电压层次的逻辑通信。一个 VRM 本质上是一个降压变换器，也被称为 buck 调节器，即将 12V 或 5V 的直流电压变换为微处理器需要的电压。这个转换过程由 3.1.2 节讨论的高效开关电压调节器完成。VRM 可以更换、焊接到主板上，且经常用来优化微处理器工作。

1.3.2　集成电源配送

集成电源配送原理是将电源变换和带负载电路集成在一起。集成的方法很多：如将电压

调节①、单片集成电源变换②，以及三维带负载集成电路的电源传送电路的集成封装在一起。

集成电源配送的优点在于电源变换器和负载元件间的内联距离很短，这种方式能减少能量损耗，同时加速电源变换速度，使电源变换系统和负载同步快速工作。近几年，集成电源变换和传送已经通过动态电压调节(dynamic voltage scaling)和自适应电压调节(adaptive voltage scaling)等技术实现了更好的节能。集成电源配送、传送也有助于提高电源完整性。

1.3.3 电源分配网络

电源分配网络是由一些将电能从源传递到负载的电子器件互连而成。它的主要功能是以最小的能量损失和最小的功率衰减将能量有效地从源传递到负载。

如 1.1.1 节所述，最基本的能量损失是克服导电介质对电荷流动的阻碍所需的能耗。对于一个简单的直流源和负载，电源分配网络设计目标在是将连接电路间电阻最小化。根据电源和负载的特性，常常需要设计更多复杂的电源分配网络。例如，直流源可以通过整流器把交流电变成单向电流。由于交流电压从零到峰值正弦变化，这种单向直流源的电压范围很大，而不被负载所接受，因此整流器的直流输出还需要进一步的调节。这种调节主要由滤波器和去耦电路实现。这些电路阻碍或者旁路能量传送过程中的变化，使提供给负载的电压稳定平滑。滤波器和去耦电路由电容和电感组成；用于电源滤波和作为去耦器件的电容将在下面几章中讨论。

1.3.4 电源配送调节

电源配送的关键在于可控或可调。当供电电压和电流可以按照要求进行调节时，电路的行为即是可以预测的。在直流电气系统中，电压调节是最常见的，这样负载就可以按照不同的需求抽取不同的电流和功率。如蓄电池可按电流要求充电。

电压调节器在很多方面与电压源类似，它的调节功能在负载电流变化时输出电压保持恒定，如伏达电堆就提供了一个恒定的电势差。一个典型的电压源的能量是有限的，因此，会随着内阻的变化而使输出电压下降。负载衰减导致电流增大也会引起电源电压减小，只不过减小的幅度非常小。这种特性体现在负载调整率(load regulation)，即负载电流从最小值到最大值的变化过程中引起的输出电压的相对变化量。负载调整率是电压调节器带负载能力的标志。它可以通过反馈来增加。

电压调节，特别是在直流系统中，由开关变换或线性调节系统来完成。在前一节关于集总和分布式 POL 电压调节的讨论中，注意到在负载附近的电源变换减小了大电流流动的距离，因此减小了能量损失。这是电源变换器通过 DC-DC 变换器实现电压调节的一个重要方面。负载对低压大电流的需求是从诸多小电流大电压电源获得的。这使得不同的负载能够连接到任意给定直流电压电源上，只要不超过直流源额定输出功率。DC-DC 变换器也能“升高(boosting)”输出电压，即从大电流低电压中获取能量，输出低电流高电压。同时，由于开关变换器利用有源器件作为开关器件，与线性调节器相比，其能量损失很小，后者的能量损失与负载电流和输入输出电压差(较高)的乘积相关。因此，开关电源变换器和电压调节器相比效率更高，在商业设计中可达到 95%。还是因为这个优势，开关电源变换器是目前使用得最多，而

---

① Intel 486 DX4 利用单封装电压调节器(OPVR)得到所需 3.3V 运行电压。

② Intel 80296SB 和 80196NV 采用单芯片电压调节器获得 5～3.3V 的电压。[5]

线性电源调节系统则用于高速和不希望出现开关变换器输出纹波的场合。

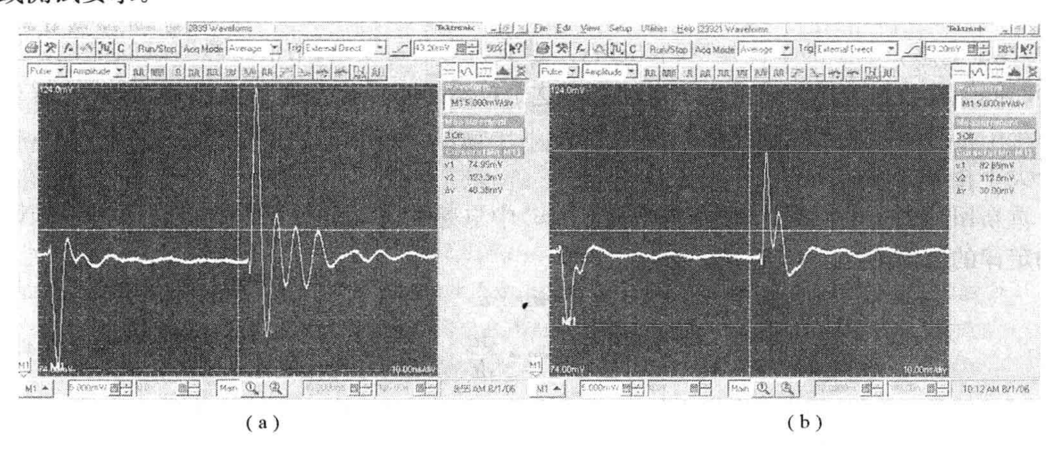
电压调节器是电流配送最常见的例子,它有助于稳定负载上的电压。但是,实际中的负载对电压调节器提出了巨大的挑战。例如,直流稳压源的阻性负载在接入的瞬时希望得到一个接近瞬变的电流。这个"瞬变"或"突变"要求可能会超出电源的容量,输出的电压可能不会在这个过程中保持稳定。这些关于电源可靠性和强健性的考虑通常也属于电源完整性的范畴。

1.4 电源完整性

通常,电源完整性(power integrity,PI)指电源在负载变化的情况下,与其理想情况(或与恒定输出电压)的接近程度。

在直流系统中,理想的电源在不同的负载条件下都会保持一个恒定的电势差。现实中的电源存在诸如负载调整率、有限带宽、最大输出能力、配送网络阻抗等特性,导致输出电压与理想值之间有较大的偏差。

图1-3显示了一个可编程门阵列(FPGA)非理想电源的实际情况,FPGA是常见的集成电路工具,用途很广,能够以编程方式改变系统功能和运行状况,如通过不断纠正错误来满足运行或测试要求。



(a) (b)

图1-3 不带封装电容(a)和带封装电容(b)的电源按10∶1的探针衰减比例测波形

(源于:Larry Smith and Hong Shi,"Design for Signal & Power Integrity," DesignCon 2007.[6])

在图1-3左边波形图中,电源出现一个短暂的下冲(droop),可能是由于负载的瞬时增加导致的,此后电压恢复到额定值。如果负载被断开,那么将会出现过冲(over-shoot)或者瞬时超调,上升的幅度比下冲的幅度大很多,经过阻尼振荡后恢复到额定电压。图中所示的是电压对地的测量值,观测的是电源节点间的电势差。这些电源电压中的差异:下冲、超调、振荡——都是直流源不期望得到的,都是电源完整性降低的表现形式。图中没有输出电动势相比电压的下降,即静态下降,这是电源完整性降低的另一种形式。

图1-3右边波形图所示的波形下冲、超调和振动幅度均有所减小,电源完整性得到了的提高。尽管信号完整性常用信噪比(SNR)衡量,尤其是对模拟信号,但是对于电源完整性却没有相应的测量参数。负载调整率和线性调整率可以用来衡量电源电压静态特性,却不足以描述下冲、超调、振动和振铃这些系统非正常工作的变化特性。后面章节将会描述工业界关于这些方面所做的一些工作。

1.4.1 电源完整性降低的原因

导致电源完整性(PI)降低的原因是电压因负载电流变化而降低,这种现象在集成电路工业界常被称为内阻压降(IR drop),它与被调直流电压源内阻的定义有关:

$$\text{电源内阻}=\frac{V_{\text{无载}}-V_{\text{满载}}}{I_{\text{满载}}} \tag{1-15}$$

电源内阻(顾名思义)与电压差和电流有关,因此具有电阻的单位,也可以指调节电压源的有限电源内阻。电源内阻越低,电源带负载的能力就越强。被调电源内阻越低,总体上说其电源的性能就越好。

电源内阻导致电源电压降低的程度,取决于调节电源的设计。电流流过路径(或者更贴切地说,是电势差传输路径)的电阻会导致电压的减少,这点在欧姆定律中得到了证明。这种电势差的降低在所有导致电压下降因素中起主导地位,在 IC 设计中应当深入研究。

另一个导致 PI 降低的关键因素是电磁感应——任意导体中的电感电动势会随其磁通的变化而变化——由迈克尔·法拉第(Michael Faraday)和约瑟夫·亨利(Joseph Henry)在1931 年各自独立地发现:

$$v=L\cdot\frac{\mathrm{d}i}{\mathrm{d}t} \tag{1-16}$$

式中,L 是电感。电感的单位是亨利(henry),定义为韦伯每安培,韦伯是磁通量的单位。当电流随时间变化流过电感时就产生了电动势。这个电动势本质上又阻碍电流的变化,就像在任意系统中都有阻碍系统状态变化的作用一样。(牛顿第三运动定律:对于每一个作用力,总有一个大小相等方向相反的反作用力。)

重新回顾力—电压类比,以加深对式(1-16)中电感和电动势关系的直观认识。牛顿第二运动定律的公式为

$$F=m\cdot a$$

$$F=m\cdot\frac{\mathrm{d}v}{\mathrm{d}t} \tag{1-17}$$

式中,F 是所施加的力;m 是物体质量;a 是加速度;$\mathrm{d}v/\mathrm{d}t$ 是物体速度的变化率。

在力—电压类比下,式(1-16)和式(1-17)显示出一致性——机械动力学中的力等同于电动力学中的电动势。正如式(1-3)和式(1-4)所示,电流(或电荷的变化率)等同于速度。电感 L 等同于质量 m,m 是惯量的决定性因素。按照这种理解,电感 L 是电惯性的决定性因素。电惯性是导体维持流过其电流不变的属性,或者说是阻碍任何电流改变的属性。

电流随着负载的接入与否在电源传输路径中变化,感应出很大的瞬时电压与电流路径中的电感成正比。该电压变化时间至少长于电流变化持续的时间。这种电压变化,或 $L\cdot\mathrm{d}i/\mathrm{d}t$ 噪声,会使 PI 降低。具有大感性负载或有大电流流过的电路会在开关处看到火花,这就是 $L\cdot\mathrm{d}i/\mathrm{d}t$ 噪声的一种表现。

引起 PI 降低的第三个方面是电源传输路径中电感与电容的相互作用。电容作为一种电荷存储元件,具有在电流发生瞬变的时候保持瞬态电压不变的特性。它们在电源配送中广泛用于维持 PI。但是,与寄生电感相连后,将会形成振荡电路。在受激励后将产生振荡:

$$f=\frac{1}{2\pi\sqrt{LC}} \tag{1-18}$$

式中,L 是电感;C 是电容;f 称为振荡电路的谐振频率。

谐振是一种能量在势能和动能之间不断来回转换的现象。在电路中，电容和电感以这种方式按谐振频率相互作用。正如后面章节所述，谐振在大多数电源传输系统中都不可避免，通常导致电压振铃。这点可以从图 1-3 中看出：封装电感（package inductance）和片内电容（die capacitance）在负载电流的激励下谐振，降低了 PI，因此也降低了信号完整性（SI）。在大型集成电路中，或在印制板电源传输平面，二维电压谐振和驻波模式可能会体现出来，导致空间分布噪声的不均匀。

为了便于查阅，这些被作者引用的造成 PI 和 SI 降低的因素被称为内联系统的“3R”，即电阻（resistance），电抗（reactance）和谐振（resonance）。接下来的几章将会更加深入地讨论他们，以及他们共同作用后对系统性能和电源完整性的影响。我们也会通过实例讨论分析优化的管理策略和技术。

1.5 练习题

1-1 电流流过电感产生的电压与电容电压相对应，电容电压的表达式为

$$V = \frac{1}{C}\int_0^t i(t) \cdot \mathrm{d}t$$

试使用力学类比（基于流体的）来描述该电学现象。

1-2 在力—电流类比中，与下面的牛顿第二运动定律的电学等价物是什么？

$$F=m \cdot a$$

$$F=m \cdot \frac{\mathrm{d}v}{\mathrm{d}t}$$

1-3 大小为 2F 的理想电容充电到 1V。大小为 2H 的理想电感瞬间短接到该电容的两端形成 LC 振荡回路。

a. 描述电路中电压和电流的变化。

b. 计算这个理想电路峰值电流。

在 1.4.1 节中，谐振会导致电源电压振铃或周期性变化，这些电抗元件并不消耗功率，为什么谐振还会导致电源电压比额定值低？

1-4 纳米量级下，导体中的电流是电子受到由导体两端电势差产生的电场作用下的定向移动产生的。电子受到的作用力与其电荷量 q 和导电材料内的电场有关。

纳米量级下，限制电子流动的主要现象是什么？导体中这种现象的物理副产品是什么？为什么这个副产品与单位时间内流过的电子数的平方成正比？

参考文献

[1] Cheever, E. 2005. *Analogous Electrical and Mechanical Systems*. Swarthmore College, www.swarthmore.edu/NatSci/echeevel/Ref/LPSA/Analogs/ElectricalMechanicalAnalogs.html.

[2] Wikipedia, The Free Encyclopedia. 2009. http://en.wikipedia.org/wiki/Main_Page, various information pages.

[3] Kreyszig, E. 1991. *Advanced engineering mathematics*, 5th ed. New York: Wiley.

[4] Wikimedia Commons. 2009. http://commons.wikimedia.org/wiki/Main_Page, online database of freely usable media files.

[5] Nair, R., and B. Tang. 1998. Low cost on-die CMOS distributed voltage regulation for microcontrollers. Proceedings of the 24th European Solid-State Circuits Conference (ESSCIRC), September, pp. 188-191.

[6] Smith, L. D., and H. Shi. 2007. *Design for signal and power integrity*, DesignCon 2007.

第2章 巨大规模集成电路及其功率挑战

集成电路,顾名思义,是由基于同一块衬底基板上靠得很近的电子器件组成的电路,该基板提供机械支撑和电气连接。集成电路也叫微电子电路,微芯片,或某种半导体上的单芯片。在大部分的应用中,集成电路(IC)代指由微小的电子元器件集成的单片集成电路(在同一个电路板或芯片上)。

小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)、超大规模集成电路(VLSI),以及巨大规模集成电路(ULSI)表征了集成电路中晶体管的集成度。SSI是航空项目中轻型数字计算机中必不可少的设备[1],比如在美国"民兵"导弹(Minuteman Missile)和阿波罗(Apollo)系统中。MSI的每个芯片上集成了上百个晶体管。简单地说,每个LSI、VLSI和ULSI芯片上分别集成了几万、几十万和几百万个晶体管。最近由Intel公司[最初代号为坦格尔伍德(Tanglewood),并在2007年公开,现在代号为4核安腾处理器Tukwila(最初计划在2010年推出)]设计的微处理器集成的晶体管数超过了20亿个。这突出了器件集成的一个重要特点:具有在相对比较低的成本下,制造非常大、非常复杂、非常可靠的电路的能力。这一点也使得集成电路的核心挑战凸显出来:功率和时序。由于处理器在固定时钟频率下,各核受功耗和时序的限制而不能同步,最初Tanglewood中的16核①设计已经减少到了Tukwila中的4核。

戈登·摩尔(Gordon Moore)在1965年预测的集成度趋势使电子行业(尤其是半导体行业)获益匪浅。然而随后几十年摩尔定律不断遇到挑战,以致摩尔在2003年申明"没有哪项指数规律是永远成立的"[2]。在这一章,我们将探究ULSI以及为ULSI电路提供电能的挑战。

2.1 指数集成度和半导体尺寸

1965年,戈登·摩尔的一系列文章中,"把摩尔定律应用于集成电路中"[2],他观察到"元器件成本最小化所导致的复杂度在以每年近乎两倍的速度增长"。摩尔推断这个趋势将持续到1975年。摩尔在1972年指出集成器件的复杂度(或者说晶体管的数量)可能每两年翻一番。1975年摩尔定律被更改为每18个月翻一番。这个趋势和他在1965年论文中提出的一些观点在近40年中一直引导IC行业的发展。

1971年,包含2300个晶体管,尺寸接近1/8~1/6英尺的Intel 4004问世,如图2-1所示,芯片位于时钟示数12之下,其晶体管的数目为2^{12},即2048个,与摩尔1965年推导的1971年晶体管的数目非常符合。

在同一篇论文中,摩尔预测"随着集成电路的尺寸不断减小,在单位面积功率相等的情况下,更快的系统运行速度将成为可能"。同时,这也使得组成电路元器件数目呈指数增长面临极大地挑战。

---

① 内核是有特殊功能的工具,比如微处理内核,数字信号处理内核。

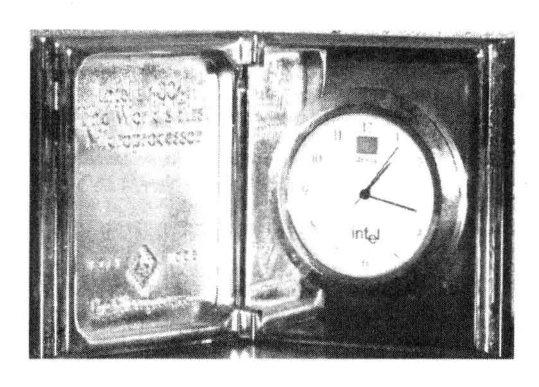


图 2-1 嵌在手表大小的时钟表面的 Intel 4004 芯片

2.1.1 微处理器体系结构的功率发展趋势

自 1971 年推出 4004 微处理器以来，Intel 微处理器的晶体管数量、每个晶体管的功耗、处理速度，甚至每秒百万条指令(MIPS)的集成趋势一直遵循摩尔定律。这在摩尔于 2003 年的国际固态电路会议上的主题报告中体现出来。这个趋势被称为这个领域的摩尔定律[1]。

由图 2-2 可以看出，在一个特定微处理器结构体系中，功率消耗每 36 个月增加了近两倍。尽管在学术界和产业界中做了详细的调查研究，这个趋势将持续到它在经济和实际观点中行不通为止。接下来我们将探究这个趋势，以及延续电子器件集成度的进展所将面临的挑战。

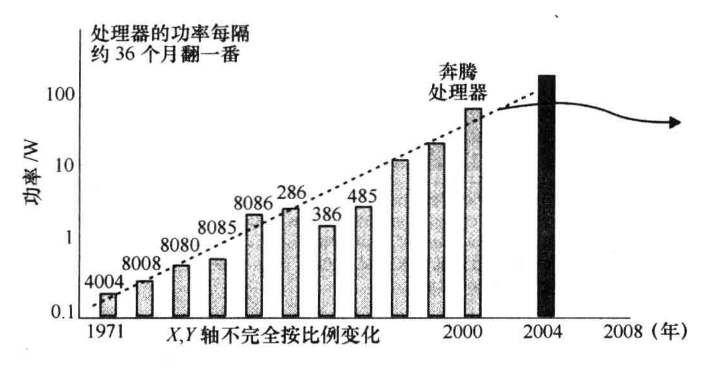


图 2-2 Intel 微处理器的发展历程及功耗趋势

2.1.2 晶体管尺寸缩小及其影响

晶体管数量每 18 个月翻一番的预测带动了制造工艺的不断发展，而平板光刻技术①也使得下一代集成电路发展的需求得到满足。图 2-3 给出了按 0.7 或 $1/\sqrt{2}$ 比例缩小的特定 MOS 晶体管的宽度(W)和沟道长度(L)，这使得器件最小面积($W \cdot L$)与上一代工艺相比减小了一半。

MOSFET② 工作在饱和区③的漏极电流为

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \tag{2-1}$$

① 平板光刻技术，印制单片集成电路的一个工艺步骤。

② 金属氧化物半导体场效应管，在甚大规模集成电路(ULSI)中最常用的元件。

③ 电流“饱和”区，整个工作过程中保持与漏源电压近似无关。

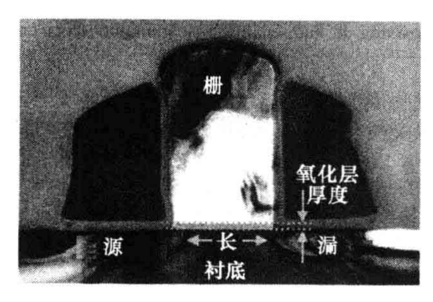




图 2-3　亚微米级 MOSFET 横截面和 ULSI 芯片
来源于 Siva Narendra, David Blaauw, Anirudh Devgan 和 Farid Najm 所著的
“IC 设计中的漏损问题：趋势，估计和避免”。ICCAD 2003. 这是其中的一篇特邀报告

式中，I_D为漏极电流，栅极的导通临界值与漏极偏压应满足 $V_{GS}>V_T$，且 $V_{DS}>(V_{GS}-V_T)$；μ_n为载流子迁移率；C_{ox}为单位面积栅氧层电容；λ 是由漏极电流与漏极电压的关系决定。参考文献[4]提供了 MOSFET 漏极特性的详细解释。方程(2-1)表明了栅极过驱动电压$(V_{GS}-V_T)$与漏极电流 I_D之间的平方律关系，该关系式在纳米级(100nm～1nm)情况仍成立。在纳米级的情况下，漏极偏压与电流的关系相应变为$(V_{GS}-V_T)^\alpha$，其中 α 近似为 1，或者近似为线性关系。这个关系推动了一系列低压、低功耗及电源完整性设计方案的发展。诸如前面详细讨论过的 UVL(超低电压)笔记本电脑①，这类系统就充分展示了基于电压与电流成线性关系的 CMOS 能在一定范围维持电压恒定的优势。

参考文献[4]给出了晶体管按比例缩小，尤其是对器件可靠性没有严重影响的恒电场缩小的详细描述。另一种按比例缩小的方法是恒电压缩小。

恒电场按比例缩小的偏置电压要与晶体管尺寸同比例缩小，以维持器件在最小可能尺寸下内部电场与其尺寸缩小制造工艺下的电场相恒定。给定一个小于 1 的比例系数 k，以此表征减小的器件尺寸及提高的集成度，我们导出如表 2-1 所列的按比例缩小的 MOSFET 的物理特性和电特性。

表 2-1　CMOS 微米级到纳米级恒电场按比例缩小影响

器件参数	比例系数	推导过程
尺寸 L,W,t_{ox}	k	最小化器件尺寸
器件的面积	k^2	$W\cdot L$
单位面积的器件数量	$1/k^2$	$W\cdot L$ 的倒数(假设参数同步缩小)
偏压和 V_T	k	
单位面积电容	$1/k$	t_{ox}的倒数
单个器件的电容	k	面积和寄生电容按相同比例缩小
电流	k 1	根据式(2-1) [纳米尺寸下为线性关系]
电路功率消耗	k^2 k	$V\cdot I$ [纳米级]

① notebook 也指外形如同一个大的纸质笔记本大小的个人计算机。

续表

器件参数	比例系数	推导过程
单位面积功率	1 $1/k$	单位面积元件数量×每个元件功率 [纳米级]
电场强度	1	
延迟大小 CV/I	k k^2	测量信号通过一个元件的传输延迟时间 [纳米级]
器件功率延时乘积	k^3 k^3	 [纳米级]
器件工作时的能耗	k^3	能耗正比于 $C\cdot V^2$
元件能量延时乘积	k^4 k^5	比例的平方 [纳米级]

表 2-1 估算了恒电场按比例缩小原则下 MOSFET 器件许多重要参数的变化。表中给出了基于比例系数 k 的能量延时乘积所对应的比例系数平方。例如，信号通过按比例缩小了的器件时，其传播延迟约为 $C\cdot V/I$，这是电流 I 给电容 C 充电至电容上的电压为 V 的时间。对满足平方律的 MOSFET，延迟为 $k\cdot k/k=k$。对纳米尺寸下满足线性关系的 MOSFET，如前所述，其延迟为 $k\cdot k/1=k^2$。尽管信号不只是在一个器件中传输，但由于所有的器件尺寸都按比例缩小，因此，对电路的影响应该在预料中。表 2-1 列举了平方律关系和纳米尺寸下 MOSFET 按比例缩小的各参数变化情况。有趣的是，表 2-1 中最后一行能量—延时乘积变化得益于纳米尺寸下器件尺寸缩小规律。这个变化在一定程度被用于纳米工艺下 ULV 系统中，确保可在极低能耗下正常工作。

弄清恒电场按比例缩小的规律后，我们将关注的焦点集中到满足平方律的 MOSFET 器件，其延时减小正好为比例系数 k，因而单位面积下的功率保持恒定。这恰好与摩尔在 1965 年发现的器件尺寸缩小、与在相同单位面积功率下获得更高的速度相一致。由此也可以得出：用开关电容作为负载①时功耗的表达式为 CV^3f，如果（且只有）严格按恒电场比例缩小规律，电容、电压和频率（假设为延时的倒数）的比例系数是一致的。

例 2-1 按比例缩小$\sqrt{2}$倍和“按根号 2 缩小”。

考虑恒电场按比例缩小规律下器件尺寸缩小$\sqrt{2}$倍（或为原来的 0.7），使得缩小后工艺下单位面积的器件数目是按比例缩小前的两倍。晶体管的延时也按比例缩小。如果芯片频率与晶体管延时倒数正好成比例关系（互连延时扮演重要的角色），假设偏压满足表 2-1 中的关系时，频率则增加$\sqrt{2}$或 41.4%，同时，单位面积下的功率保持恒定。这样，在芯片尺寸不变的前提下，芯片设计者可以很容易在不增加功耗的情况下，使晶体管数量翻倍，并获得更高的频率。

现在考虑电压减小的比例系数不是 0.707，而是$\sqrt{\sqrt{2}}$，也即 0.841。器件电流不再是 0.707 倍的关系，而是保持在与按比例缩小前工艺中相同，由方程(2-1)的 MOSFET 管平方律计算。由于未按比例缩小的电流（与恒电场按比例缩小相比）需要更小的偏置电压，使延时减少近 41%，而频率增加近 68%。这个伴随着每个器件功耗的减小，等同于工作电压的减小。

① 在本章的前面部分有简单的推导过程。

然而，由于单位面积器件翻倍，单位面积的功耗增加了68%。单位面积功耗的这种急剧增加使我们想到适度降低电源电压。这样就不再是恒电场按比例缩小了。此时，假设仍然满足平方律，单位面积的功率直接正比于频率的减小。

参考文献[5]介绍的方法是通过限制频率增加$\sqrt{2}$倍及芯片尺寸相应减少$\sqrt{2}$倍来保持芯片功耗维持在器件尺寸缩小前的值。这种基于摩尔定律的恒功率$\sqrt{2}$倍按比例缩小的方式，我们称之为按$\sqrt{2}$比例缩小定律。在这种规律下，单位面积的功耗会继续增加，而且由于系统要求的诸如信号接口数量和热量转换在增加，因此减小芯片尺寸难以实施。

恒电场按比例缩小也有其不足之处：由于最小线宽的减小，互连电阻、单位面积下的源极和漏极电阻将会增加。严格遵守恒电场按比例缩小规律的话，由于漏极电流的减小，截止电压随着这些电阻的变换而降低/升高。我们也可以通过改变相互连接层（更厚的金属层）的尺寸比例和调整源极、漏极区域来弥补电阻的增加。然而，弱反型情况下，MOSFE因I_D/V_G的特征限制，其宽度无法按比例缩小，来满足像未减小尺寸之前一样降低栅电压，甚至关断器件。由于恒电压按比例缩小提供了足够的偏压让MOSFET开关完全关闭，因此它在早期的几十年里常常用于晶体管集成中。

恒电压按比例缩小试图通过强制减小MOS管栅极氧化层厚度维持恒定工作电压。这样做的目的是为了和恒电场按比例缩小规律一样，在改变器件其他所有的尺寸前提下，充分保证器件特征的不变。恒电压按比例缩小的另外一个弊端是在较大电场下它将产生热载流子①并导致器件提前老化。另外，如例2-1，恒电压按比例缩小对降低功耗无益。尽管它在早期集成工艺中有过重要作用，这里以及参考文献[4]中均不予详细讨论。

为了避免恒电场按比例缩小和恒电压按比例缩小规则的极端，同时又要遵从以最小的成本增加集成度的目标，需要在两者间折中取舍。比如，尺寸、衬底掺杂浓度等都是按恒电场比例缩小规律缩小，而工作偏压则减小得少些。这种模式称为准恒电压按比例缩小规则，如前面所述，基于亚阈值漏电流考虑，适当调整V_T以满足其需要，并可参照文献[6]III-C部分。

关于功耗—延时和能量—延时乘积简单研究折射出按比例缩小更深入的内涵。如表2-1所示。器件从满足平方律到纳米尺寸下具有线性关系，对器件来说工作状态发生了很大变换，但功率—延时乘积并没有什么不同。功率，如第1章讨论的，是用来衡量所做的功，但并不表征物体所做功的总量。功率—延时乘积的平方关系可能会被误用，如参考文献[7]（214页）下的注释所说。另一方面，能量—延时乘积代表全面完成一个任务所需的能耗；这种平方关系显示出器件从平方律到纳米尺寸下具有线性关系一致的优势。

纳米级MOSFET（相对于恒定的电阻下的电流正比于驱动电势，这种情况更适合称作双重传输电阻器，即开关过程表现出从高阻抗到低阻抗的突然转换）从能量—延时的角度来看，比传统的平方率关系的器件更适合处理二进制信号。由于传统按比例缩小MOSFET面临着似乎不可逾越的挑战，回顾电子器件基础知识有助于重新定义晶体管的特性以用于二进制或加权计算上。

2.2　功率和能量消耗

巨大规模集成电路对数字系统有着重要的意义，从没有过任何电路或者系统对线性电子

① 载流子吸收多余的能量进入绝缘材料中运动；载流子注入MOSFET栅极电介质中。

系统(如放大器),信号处理系统(如调制器和解调器),或子系统(如振荡器和功率转换电路)产生这样大的影响 。正如参考文献[2]中指出,许多线性系统仍然依靠大量无源器件,如电感和电容,尽管这些元件不能充分展示集成化的趋势。然而,电路中的这些元件也得益于更先进的材料,从而尺寸上得到了明显的减小。近年来,通过应用表面声波(也叫瑞利波[1])的集成结构实现了电能和机械能之间的相互转化。在一些应用中,这种结构替代了电感和电容。微电机系统(MEMS)具有类似功能,它既做传感器,又做执行器。尽管如此,下面要讨论的功耗仍然仅仅针对数字系统,尤其是针对常见的 CMOS 集成电路。

2.2.1 电容充电的功耗和能耗

MOSFET 具有高输入阻抗,通过对晶体管的栅极进行控制,在器件沟道和漏/源间形成电容结构。因此,CMOS 电路具有对电路中的节点电容充放电的功能。

考虑到电阻为 R 的一个开关在导通时对一个容量为 C 的电容要充电到理想电源电压 V,如果电容两端的初始电压为 0,电容按如下的指数关式[9]充电,并得到充电电流:

$$i(t)=\frac{V}{R}e^{-\frac{t}{RC}} \tag{2-2}$$

式中,(V/R)为开关闭合瞬间的最大电流。类似地,由于电容以指数关系充电是从 0V 开始的,开关 R 两端的电压由下式给出:

$$v(t)=Ve^{-\frac{t}{RC}} \tag{2-3}$$

因此,开关中的功率损耗由瞬时电压 v 乘以瞬时电流 i 给出,即

$$P_{\text{inst}}=v(t)\cdot i(t)=\frac{V^2}{R}e^{-\frac{2t}{RC}} \tag{2-4}$$

对上式积分得到总能耗:

$$E_{\text{transition}}=\int_0^{\infty}v(t)\cdot i(t)\mathrm{d}t=-\frac{RC}{2}\frac{V^2}{R}\left[e^{-\frac{2t}{RC}}\right]_0^{\infty}=\frac{1}{2}CV^2 \tag{2-5}$$

另一种推导方式是运用电容上流过的电流与电容上电压的变化量(开关电阻上的电压)的乘积得到,即

$$E_{\text{transition}}=\int_0^{\infty}V_R\cdot i(t)\mathrm{d}t=\int_0^{V}(V-V_C)C\mathrm{d}v_C=\frac{1}{2}CV^2 \tag{2-6}$$

一次放电转换过程使能量消耗加倍,在 1 秒内 f 个周期的频率下,我们得到开关状态下的电容的功耗(能耗除以时间)如下:

$$P=CV^2f \tag{2-7}$$

注意,根据式(2-5)和式(2-7),功耗仅与频率 f 有关而与开关导通电阻无关(或者与最大充电电流无关)。频率反过来又由时间常数 $\tau=RC$ 决定,通常电容电压升到 V 的 99.3%要 5τ 的时间。对于任何给定过渡时间,无论是长还是短,能耗都取决于电容 C 和电压的平方。

能量,可以说是任何一项任务实际消耗的量度,对包含开关电容的数字系统来说,很大程度上与速度无关。速度快要求更快更低的 V_T 器件,这将带来更大的漏电流,结果是更高的能耗。但不能断言[10]"功率消耗目标一定下,让电路以尽可能低的电压工作得越慢越好。"漏电迫使电路以尽可能快的速度在尽可能低的电源电压下工作,从而使能量—延时最小化。纳米

FET 器件，受速度饱和①的限制，使电流与电压呈线性关系，为保持速度的同时减小工作电源电压提供了可能性。这点可从表 2-1 中看出，表中纳米器件的能量—延时乘积，与电压按比例系数减小的恒电场按比例缩小规则下满足平方律关系的器件相比，呈比例系数 k 的一阶指数关系。

但是，请注意，参考文献[6]（42 页）指出了电容被充电的时候能量和速度的关系。采用缓变斜坡输入电压对电容充电，其中输入斜坡上升时间 $T \gg \tau$，此处 τ 是时间常数 $R \cdot C$；R 为充电电容的等效电阻，当 T 趋于无穷时，能量按 $2\tau/T$ 衰减为 0。我们探索这种矛盾是为了确定是否存在电容最佳充电时间以实现能量—延时的最小化。

问题是，当 T 趋于无穷时，$C \cdot \mathrm{d}v/\mathrm{d}t \to 0$。因此，从 0 到∞对 t^2R 积分趋于零。由方程式(1-2)可知，提高图 2-4 所示电容两端的充电电压时，所做的功由下式决定：

$$\text{做的功} = \int v \cdot q = \int_0^{T_r} v(t) \cdot i(t)\mathrm{d}t = \int_0^{T_r} \left(\frac{V \cdot t}{T_r}\right)\left(\frac{C \cdot V}{T_r}\right)\mathrm{d}t$$

$$= \frac{C \cdot V^2}{T_r^2}\int_0^{T_r} t\mathrm{d}t = \frac{C \cdot V^2}{T_r^2}\left(\frac{T^2}{2}\right)_0^{T_r} = \frac{1}{2}C \cdot V^2 \tag{2-8}$$

图 2-4(a) 缓变斜坡输入电压对电容充电

注意，式(2-8)利用斜坡电压向串联 RC 电路充电，其充电电流值 $i(t) = C \cdot \mathrm{d}v/\mathrm{d}t = (C \cdot V)T_r$，为一个恒定电流。只有电容 C 两端的电压严格跟随斜坡输入电压，或者说当 $T_r \gg RC$ 时，这才是有效的。在这种情况下，流过电阻 R 的电流无穷小，致使斜坡输入电压与电容电压的差值非常小（根据环路基尔霍夫②电压定律导出）。因此，当斜坡时间 T_r 增加时，电流线性减小，电阻 R 两端的功率以二次方减小，作为持续时间和功率的积，电阻 R 中消耗的能量线性减小。因此，当 $T \to \infty$ 时，$E_r \to 0$ 趋于零。进一步导出的图 2-4 中的电阻 R 的能耗的表达式为

$$E_R = \frac{1}{2}CV^2\left(\frac{2\tau}{T_r}\right)$$

式中

$\tau = R \cdot C$，且 $T_r \gg RC$　　（文献[6] E_R 的表达式）

用一个物理中弹性系数为 k 的弹簧作为比喻，弹簧被压缩了 x 距离，可以是用大小固定的力 F，也可以在一个很长的时间段内用一个逐渐施加的力 $f(x)$ 增加到 F。在用固定力的情况下，弹簧迅速被压缩了 x 距离，此时阻力等于施加的力 F。在逐渐缓慢增大施加力的情况下，除了持续压缩的弹簧达到最终距离 x 时，施力达到最大，在每一个时间点，弹簧阻力和施加力很接近。两种情况结果都可得到由方程(1-5)给出的最终势能。在两种情况下，都是对抗阻力的运动在做功，如果一点阻力都没有就不会做功。但这种情况额外的损失与实验过程中介质的黏性有关，它与力在弹簧上作用点的移动变化速率平方成比例，这种损耗可以与图 2-4 所示电路中电阻上的损耗等价，图中的损耗与充电电流速率的二次方有关，与力学中的速度等价

① MOSFET 中的速度饱和限制了载流子的最大速度，使 I_D 不再随 V_{DS} 增大而上升。

② 基尔霍夫概括了欧姆在 1845 年的研究，总结出基本的电压电流定律。

（运用第1章中讨论的力—电压模拟）。所以可以看出，一个极其缓慢上升的力可以防止力学类似的黏性损失，将所做的功全部转换化弹簧的储能。所以可以相信①在充分延长的能量转换时间下，能量可以被全部转化为电容的储能，而几乎没有其他能耗。

假设图2-4所示系统中没有其他能耗元件，根据式(2-5)和E_R的表达式，能量—延时乘积的变化区间介于：

$$\frac{1}{2}CV^2(5RC)，当 T_r \ll RC$$

其中，$5RC$②是RC充电到99.3%的时间。

$$\frac{1}{2}CV^2 \cdot \left(\frac{2RC}{T_r}\right) \cdot T_r = \frac{1}{2}CV^2 \cdot (2RC_r)，当 T_r \gg RC 时逐渐接近$$

这些能量—延时表达式表明，对过渡时间的优化是可行的。然而，当负载在一个很宽的范围内变化时，为了能量—延时优化而对过渡时期进行控制将是一个挑战。尽管如此，这些推导确实帮助了我们更加肯定电路电压主要决定能量消耗和能量—延时积。

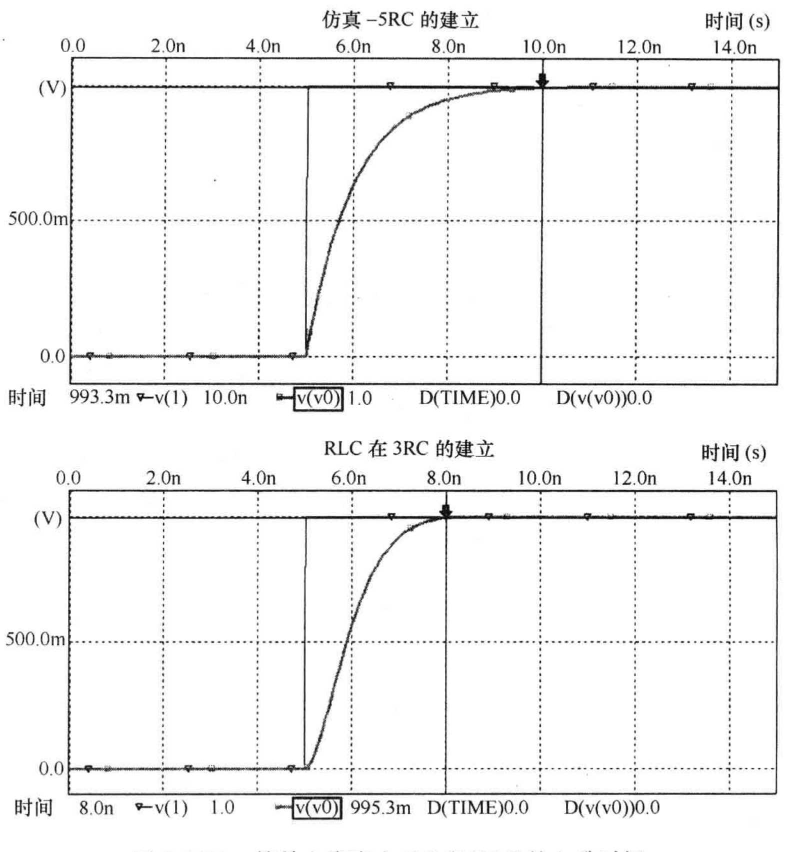


图2-4(b) 简单电容充电RC和RLC的上升时间

图2-4所示电路的仿真实验证明了电感在信号建立时间上的重要意义。图2-4(b)的实验结果是在R和C的值分别为1Ω和1nF时导出的。时间常数$\tau = R \cdot C = 1\text{ns}$，简单的$RC$建立

① 没有考虑斜坡输入能量源的产生，或造成作者所知道的能量损失的能量回收。参考文献[6]p.42提到提供V_{in}的电压源必须包括高效率的共振电，以确保大部分传输的能量都被回收，这暗示此项技术只能应用在AC或振荡系统中。

② 这是不准确的，没有考虑大大减小信号过渡时间的路径电感。

时间大约为 5RC。对这个电路引入一个串联电感，代表互连和供电回路电感，其值为0.314nH，仿真表明信号建立时间大约为 3RC。因为，尽管流过电阻和电感的电流产生的电势差减少，但电感升压电流对电流仍有保持作用，这是电感的物理作用。假设能量—延时积并没有比慢斜率输入理论最小渐进时间大很多，电容电压达到图 2-4(b)中的 RLC 建立时间的最终值发生在 3RC 的时间间隔。所以，不能确定其缓变的信号过渡时间有什么重要的作用。

图 2-4(b)中的 RLC 仿真结果的上升时间很好地反映了实际情况，并且仿真结果获取了互连信号传输延迟。如图 2-4(b)所示的，对从输入开始到输出上升，有一个有限的、明显的、"因果"延迟。同时，电感消除了非本质的瞬时电流，提高了对电源完整性退化的预估。从前面章节可以看出，考虑了所有电气内部连接 R、L 和 C 的仿真能真实验证其物理行为。这些仿真也提供了集成电路电源完整性可理解的准确的信息。

同样值得注意的是，一个大的斜坡时间 T_r 信号，使电路变化极其缓慢，这在数字 CMOS 实现中是不实际的，因为非常缓慢的信号斜坡会很容易联想到很长一段时间一个在直通(或器件把一些了串接的电源短接)的短路导体①上的电流。这将带来巨大的能量损失，而迅速掩盖了通过一个长的斜坡时间得到的能量的优势。并且，从实际设计中可以看出，芯片中的二进制信号转换进行得越快越好，不只是为了最小化能量损失，也是为了使计算的可利用时间最大化。

2.2.2 其他功率损耗

1. 短路电流

CMOS 电路同样以其他方式消耗功率和能量。在输入信号转换期间，很多逻辑门有来自电源间器件瞬间导通的短路电流。例如，在一个电源值比晶体管标称阈值电压高两倍的 CMOS 反相器中②中，当连接到两个晶体管输入端的输入信号在信号转换范围的中点时，两个晶体管都导通，电流流过它们但不产生输出电流。这个电流，有时被称为"直通电流"或"穿透电流"，依赖于所设计信号的转换时间，构成整个功率损耗中的一小部分。电路中的这个电流可以视为与晶体管的 β ③成比例，与电源电压呈二次方关系，并与信号的上升时间呈线性关系。快的信号转换速率，特别是降低供电电压与晶体管阈值电压比，有助于减小这部分能耗。

2. 充电共享与互连电容

复杂数字逻辑包括众多器件，这些器件由典型逻辑电路串、并联在一起的。基于信号关系，这种电路的中间节点通常在电源电压和地之间来回转换信号，因此增加了在负载电容上转换的功耗。这种损耗有时被称为充电分享功耗。类似的，米勒④效应放大了节点电容，如因有负的单位增益的反相器的输入点，反相器输出和输入节点间的耦合电容的电压变化几乎翻倍。互连耦合电容同时带来额外的充电电流需求，例如，当信号线和临近线的耦合电容在任一电压下为常数时，消耗的电流与耦合电容和信号转换速率成比例。这是整个功率消耗的很小一部

---

① 将在 2.2.2 节中讲解。

② 反相器对一个二进制信号取反，通常包括一个 P 型 FET 与一个 N 型 FET 串联在电源节点之间，它们的栅极连在一起来控制输入与来自常见漏极节点的输出。

③ $\beta = \mu \cdot C_{ox}(W/L)$ 是一个从晶体管沟道电流特性计算推导出的增益因子。

④ 以 John Milton Miller[1]命名，1920 年，他公开了这种与增益电路上的阻抗有关的效应。米勒效应将电容负载增加到 $C_m = C(1-A_v)$(A_v 是带有电容为 C 的电路的增益)。

分，通常在芯片级功率分析中被忽略了。

3. 漏电流

晶体管隧穿电流和亚阈值导通构成的损耗部分，随着集成尺寸缩小而越来越大，几乎达到现在最先进的 CMOS 工艺（V_T 小于等于 0.2V）制造的 IC 的总功率消耗的一半。这方面器件特性在文献[4]及文献[11]，以及其他对 FET 器件物理特性的探究中给予了详细的论述。我们在这里简要讨论它在功率消耗的贡献，因为它已迅速成为约束集成尺寸缩小的一大限制。

FET 漏电流本质上包括亚阈值隧道电流[①]和栅沟道电流。在图 2-5 中，当沟道长度 L 减小到纳米级尺寸，漏极到源极的电场将导致按指数增长的亚阈值或弱反型电流，其中，器件宽度为 W 时为



$$I_{\text{leak,SD}}=I_0\left(\frac{W}{W_0}\right)\times 10^{\frac{V_{GS}-V_T}{S}} \tag{2-9}$$

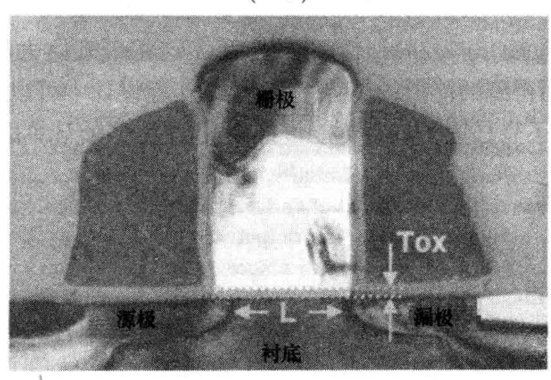


图 2-5 MOSFET 的端口（源极—通道端口，通常连到电源，漏极—通道端口，通常连到电路输出节点，栅极—电流控制节点，衬底—衬底或阱底端口），特征尺寸（L—沟道长度，Tox—栅氧化层厚度）来源于"设计中的漏电流问题：趋势，估算和避免"，Siva Narendra，David Blaau，Anirudh Devagn，和 Farid Najm，ICCAD 2003。这出自于某特邀报告

式中，S 是亚阈值斜率，单位是 mV/10 倍，取决于 $n\cdot\varphi_t\cdot\ln(10)$，其中，$n$ 是亚阈值摆幅常数，φ_t是为热电压。S 通常在每十倍电流 60～90mV 之间的变化值。当忽略体效应[②]和 DIBL[③]，I_0 由下式决定：

$$I_0\propto\mu_0 C_{\text{ox}}\frac{W_0}{L_0}\varphi_t^2 \tag{2-10}$$

式中，$V_{DS}\gg\varphi_t$，φ_t 为热电压，等于 kT/q（k 是玻耳兹曼常数[④]；T 是热力学温度；q 是一个电子电量），室温下 kT/q 约为 26mV。一个与工艺相关的因子可以让上式右边的部分完全满足 I_0 右边的准确表达式。W_0 和 L_0 是器件沟道最小宽度和长度。

式(2-9)给出了在栅—源电压小于器件阈值电压时的漏电流的表达式，并给出了一个与元

---

① 隧穿电流是材料中被电场驱使的载流子的流动，尽管有能量势垒的存在。

② MOSFET 门限电压的变化源于源极－基体储能，其中基体是图 2-5 中的基片的端口。

③ 漏极垫垒降低，晶体管门限电压由于高漏极电场而减小的现象，当通道长度减小到纳米级时，器件的这种现象特别明显。

④ 以玻耳兹曼命名，k 是温度在散装级别的粒子能级的能量，其值为 1.38×10^{-22}J/K。电子电量为 1.602×10^{-19}C。

件尺寸和偏置电压都缩小的亚阈值电流（或典型的数字化设计中的漏电流）的范围值。在恒电场按比例缩小规则中，比例因子为：$k=\frac{1}{\sqrt{2}}$，此处 k 不要与玻耳兹曼常量混淆，约等于 0.707，在近年的几代工艺中都是这样取值的。历史上，晶体管的尺寸是按以下序列变化的：1μm→0.7μm→0.5μm→0.35μm→0.25μm→0.18μm→90nm→65nm→45nm。无需质疑，每一代工艺线宽都是按 $\sqrt{2}$ 的比例变化的。尽管单位面积的动态功率保持不变，但对于恒定芯片面积和零栅—源偏置电压下，漏电流的变化为

$$\frac{I_{\text{leak, scaled}}}{I_{\text{leak, original}}}=\left(\frac{1}{k^2}\right)\left(\frac{1}{k}\right)\times 10^{\frac{V_T}{S}\cdot(1-k)} \tag{2-11}$$

例 2-2　V_T 按恒电场比例缩小的亚阈值电流。

给定 $V_T=400\text{mV}$，亚阈值斜率为 80mV/10 倍，比例因子是 0.7。从式（2-11）来看，我们可得到亚阈值漏电流的增加因子为

$$(\sqrt{2})^2\times(\sqrt{2})\times 10^{\frac{400}{80}(1-\frac{1}{\sqrt{2}})}=82.4$$

这个结果没有考虑到短沟道效应和低 V_T 器件，很可能使亚阈值斜率变得更糟（减小或弱化），而进一步增加漏电流。

正如该例题所示，如果电压阈值大大缩小，与前面的工艺相比，尺寸缩小后工艺下的阈值电流在幅度上要下降两个阶次。可以很直观地看到在 80mV/10 倍亚阈值斜率下，按照 I_D-V_{GS} 的对数关系，V_T 从 400mV 变化到 280mV 需要 15 年。对漏电流的影响包括增加的 C_{ox}，降低的 L_0 和单位面积增加的宽度 W 等因素。

栅极氧化层电流和它的易变性，在文献[12]和其他参考资料中有详细说明。该电流对栅极氧化层厚度和所施加的偏压有极强的依赖性。参考文献[13]指出，在偏压固定不变的情况下，氧化层厚度每降低 0.2nm，栅氧化层电流增大为原来值的 10 倍。同样的，使用两倍的偏压、0.18μm 工艺、工作电压 1.8V 时，栅氧漏电流将达到 10A/cm^2，并且随着栅氧化层厚度的减小呈指数趋势增长。基于此，以及对更大栅氧化层电容的需求，需要对栅—沟道电流的更好控制来减少短沟道效应，目前工业上采用了先进的高 k 材料，它能进一步减小栅极介质厚度。

高 k 材料，与 SiO_2 相比有更高的介电常数 ε_r，增加了栅介质层厚度的同时提高了 C_{ox}、降低了栅漏。不过这只是一个临时的解决办法，对于深纳米尺寸栅介质的进一步缩小几乎没有意义。所以，在采用高 k 材料的新型晶体管①使其栅极漏电流减少两个等级时，可以预测未来工艺节点仍然会是一个挑战。

文献[11]、[13]中所讨论的结漏电流，和其他包括在结反偏的耗尽区中的漂移和扩散少子、电子—空穴对、缺陷辅助隧穿，以及直接或带间隧穿电流对节温有很强的依赖性。这些现象在重掺杂、反穿通离子注入②、增强漏源等措施下，得到减弱，会导致很薄的结耗尽区，甚至直接遂通，但更重要的是要防止随着器件的尺寸不断缩小而产生的短沟道效应。虽然在当今主流线宽工艺（～30nm）下，与亚阈值和栅漏电流相比，结漏电流小得多，但随着器件线宽进一步到达深纳米级（～10nm），结漏电流将在总漏电流中占重要比重。因为增加了结的电应力，用于包括亚阈值导电的技术，如反衬偏（RBB）会恶化结漏电。

① 基于应用的高 k 材料，晶体管构造变为应用金属栅等。

② 源/漏极与通道节点间很薄的、以基体掺杂浓度掺杂的区域，用来限制耗尽区。

总的漏电流随着沟道长度的缩小会按指数增加，预计在 30nm 光刻节点会到达 1μA/μm[13]。在一个 100mm^2 的芯片上，有 5%的面积被栅氧化物覆盖(这是许多高性能芯片的典型情况)，折算到一个总器件上，其宽度大约为(100×0.05×1E－6/30E－9)＝166.67μm 或者表示为 166.67E06μm。在各种能限制漏电的漏电控制技术中，其中一些在参考文献[14]中有详细描述。尽管如此，漏电功耗已占据当今高性能芯片总功耗中的一半，在未来的线宽下比例还会增加。

2.3 功率、热和电源完整性的挑战

在经济利益和市场份额的驱动下，微处理器集成的晶体管数目不断地增加、工艺线宽不断缩小，由此导致芯片功耗如图 2-2 所示那样呈指数上升。第一个微处理器问世的大约 30 年后，最大功率密度已经超过 100W/cm^2，面临着功率配送、管理及其后果(产生的热量)的挑战。这种无法阻挡的功率继续增长，在现实中将会导致主板着火，而带有大风扇和散热片的空气冷却系统会产生噪声问题。散热器和液体冷却系统迅速应运而生，低温制冷系统也迎来了它们的计算机工业首秀。空调和整体功率传输成为了处理器系统很大的资源开销。

像台式个人计算机这样相对低成本的计算系统，其功耗增加的势态向工业界提出了开发低成本电源变换系统的挑战。但是很明显，电源变换系统或线性电子元件的集成及按比例缩小与 IC 和晶体管按指数规律缩小的情况不大匹配。ULSI 的供电系统和网络显示出功耗的连续增加，对微处理器及其所有支撑元器件提出了更高更不切合实际的技术要求。这些顾虑引发了使用这类芯片系统“功率壁垒(power wall)”的讨论，同时导致了如图 2-2 所示(参考文献[15])中的一个预测，即功耗的增加必须受到限制，进而限制过度增加的元器件的数目。巧合的是 Intel 微处理器在工艺线宽不断缩小的当前节点上，功耗的增加得到了限制。还有待观注的是如果功耗遏制要求会持续下去，将带来漏电和更高性能要求上的挑战。

2.3.1 电源完整性和缩放造成的影响

图 2-6 展示了一个典型的微处理器装配结构，该结构用于解决持续缩小的晶体管所带来的由功率、电源完整性和散热等造成的问题。该图还包括这种微处理器电气工作条件的仿真结果。这种装配结构展示了一个安装在封装基板上的微处理器芯片，该封装上还安装了电容和引脚(电终端)。电终端位于系统或处理器模块主板上的电插座内。这种主板还安装了为微处理器供电的电源变换元件或电压调节模块(VRM)，但在图中没有显示出来。大量的互连组件，例如引脚、板间(层与层)连接、走线、插接口终端、过孔和通孔、焊球等，位于从电源变换组件到微处理器芯片的电源传输路径中。

图 2-6 仿真图中还显示了处理器负载变化时，处理器电流功耗从 0 迅速升高到 60A，另一个负载电流相对缓慢地从 0 升高到 30A。10A 的静态漏电流没有在负载图中清晰地显示。另一个仿真图展示了适合芯片的随电源电势差变化(“下冲”)的电压变化。这些电压下冲反映了芯片电源完整性明显降低，以及对芯片鲁棒性产生的直接影响。

现在我们测试一下这个 ULSI 元件带来的电源完整性挑战。如第 1 章所讨论的那样，电阻、电感、谐振效应将影响电源完整性，降低电源电压使其低于理想值。图 2-6 所示仿真实验和结果使用的是简单集总电路模型，如将芯片负载抽象为电流源的组合。这个实验的电路模型如图 2-7 所示。模型包括主板上负责从电源变换组件到微处理器装配之间连线的寄生电阻

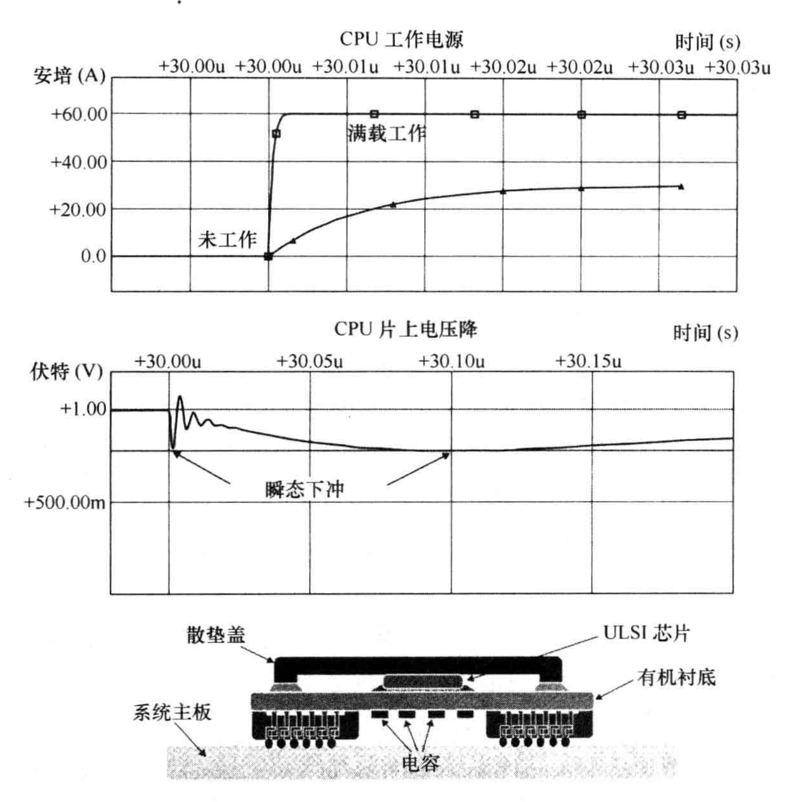


图 2-6　基于 ULSI 芯片集总电源传输网络模型的电源电压工作状态变化时电源完整性仿真结果以及典型处理器封装结构

Rmbd 和电感 Lbrd。连接微处理器封装的主板电容用 R2，Cmb 和 Lmc 表示。插座互连路径集总后用 R3 和 Lskt 表示。线封装电容用 R1，Cp 和 Lpkg 表示。封装衬底相连的路径集总后由 Rsub 和 Lsub 表示。

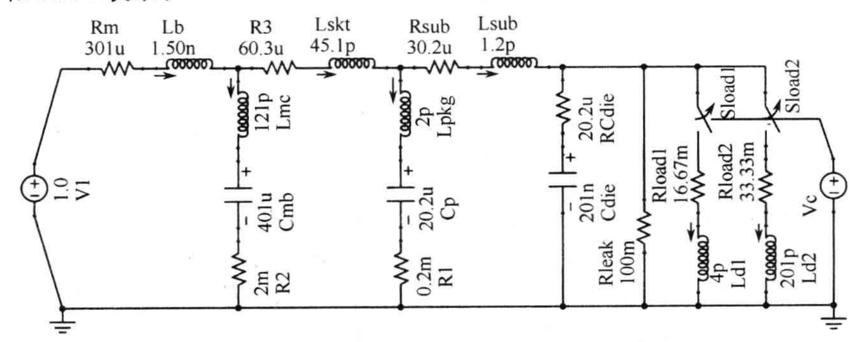


图 2-7　用于芯片电源完整性分析的简单集总仿真模型
(B2 Spice 电路图)

由 V1(供电电源)和 Lsub(代表芯片基板的电感)间集总元件表示的网络，可以称为图 2-6 所示的微处理器的电源配送网络。注意到这个等效网络及其组件只是组成一个与实际电源传送路径的电特性相比非常粗糙的模型。例如，图示的电源配送网络包含了从 V1 正极到负载之间电流流动路径所有电属性，前提是假定地线是理想的(没有任何阻抗)。这种近似是建立在对观测到的模拟电压实际上的差动性的明确理解上的。第 3 章将会讨论认识供电电源差动

属性的重要性。

这个仿真实验采用固定的输入电压，电压值为1.0V，微处理器的特征提取如下：

迅速上升的动态电流 I_1　60A

I_1 的上升时间　～1ns

逐渐上升的动态电流 I_2　30A

I_2 的上升时间　～20ns

平均连续漏电流 I_3　10A

以上数据对应于一个耗能为100W的高频芯片满负荷工作的情形。为了简化分析，这个电源配送网络可以视为LC环路的级联。瞬态和稳态响应由 L，C 和电阻 R 的值决定。用一个高频率（大于1GHz）的工作状态模拟这个LC或滤波电路的阶跃函数负载。假设这个相对较大的封装电容（Cpkg，20μF）的表现与理想电压源类似，第一个滤波回路对图2-6所示电流激励的响应如参考资料[15]中提到的那样：

$$V_f = V_i - \left(\Delta I\sqrt{\frac{L_p}{C_d}}\right)\sin\omega_1 t \cdot e^{-\alpha t} - Ir_s \tag{2-12}$$

这里 $\alpha=\frac{r_p}{2L_p}$；$\omega_1=\sqrt{\frac{1}{L_pC_d}}$ 是回路的谐振相位角速度；r_p 是滤波电路中的阻尼（或能量吸收）电阻；L_p 和 C_d 是滤波器的电感值和电容值，在这个例子中是从封装电容到裸片的回路电感和芯片的有效裸片电容值；r_s 是直流通路的串联电阻。

式（2-12）中的第一项描述的是对阶跃激励的阻尼振荡响应，与电流阶跃值 ΔI 成正比。第二项描述的是对应于负载电流消耗 I 的一个直流电压降，这里指所有DC负载电流的总和。从图2-6可以清楚地看出，电源配送网络的不同滤波回路的响应是叠加在一起的；同时可以从图中看到对应于第一个和第二个滤波回路响应的电压下降的仿真结果图。假设这些不同的谐振回路对其他回路的瞬态响应影响很小，式（2-12）可以扩展另一项包含全面描述一个集总模型中微处理器电源行为的瞬态响应。

式（2-12）同时也显示出每个回路瞬态电压下冲的最大值为

$$\Delta V = \Delta I \cdot \sqrt{\frac{L}{C}} \tag{2-13}$$

熟悉高速信号和信号完整性（signal integrity，SI）的读者会发现这个表达式与传输线中的电压的表达式（传输线中的电流乘以传输线的特征阻抗①）非常相似。在这个仿真实验中，使用方程（2-13）计算得到在滤波回路最大频率下电压的下冲值为（$60\text{A}\times\sqrt{3.2\text{pH}/200\text{nF}}$），即240mV。仿真结果为～225mV，这是由于阻尼因子和对负载电流的电压依赖等因素造成的电压下冲衰减使仿真结果比理论值低。类似的，仿真实验的第二个电压下冲的测量值为～250mV，持续时间约为110ns。可以看到第一个滤波回路的瞬态响应在较短的时间内终止。

这些瞬态电压变量会导致芯片级的电源完整性下降，对性能的影响主要表现为降低最大可得频率、鲁棒性能之类。因此芯片封装的设计必须仔细考虑这些造成PI降低的因素。在前面讨论的仿真实验中，最大频率的滤波回路的电感值为3.2pH。这个值为2pH的封装高带宽电容的电感值和1.2pH的芯片封装基板电感之和。考虑到其他在方程（2-13）中以电压降低的形式影响PI的方面由芯片的缩放决定，理解这个电感怎样缩放是非常有用的。

① 对于传输线，表达式是 $V=I\cdot Z_0$。式中，Z_0 为特征阻抗 $\sqrt{(L_0/C_0)}$；L_0、C_0 是传输线单位长度的电感和电容值。

1. 回路电感缩放[15]

令 S_x 为第 i 代工艺参数 X_i 的缩放因子。所以，如果第一代工艺芯片中的电容为 C_1，第二代工艺，即第一代工艺的下一代芯片中的电容为 C_2，设 S_C 为电容缩放因子，则 S_C 等于 C_2/C_1。类似的，如果工作频率为 f_1 和 f_2，频率的缩放因子 S_f 则为 f_2/f_1。图 2-6 中安装在芯片下面的封装外壳上的高频电容的环路电感的缩放因子为 S_L，大小为 L_2/L_1。

根据式(2-13)可以得到：

$$\Delta V_1 = k_v \cdot V_1 = \Delta I_1\sqrt{\frac{L_1}{C_1}} = \frac{k_i C_1 V_1^2 f_1}{V_1}\sqrt{\frac{L_1}{C_1}} \tag{2-14}$$

式中，k_i 是个常数，取决于芯片的结构，反映芯片数字电路的活动因子①（快速上升的芯片电流占总电流的比例）。注意到方程(2-14)中对功耗有贡献的电容可能是整个去耦电容的一部分，同时也包含常数 k_i 中。常数 k_v 反映了限制电源电压下降和电源完整性降低的电源比例。

同理，

$$\Delta V_2 = k_v \cdot V_2 = \Delta I_2\sqrt{\frac{L_2}{C_2}} = \frac{k_1 C_2 V_2^2 f_2}{V_2}\sqrt{\frac{L_2}{C_2}} \tag{2-15}$$

式(2-15)假设在第二代工艺下，芯片结构和工作方式与前面的第一代工艺下相同，因为常数 k_i 和芯片电流（由功率 CV^2f 除以电压 V 得到）的乘积是相同的。

将式(2-15)除以式(2-14)，得到：

$$\frac{V_2}{V_1} = \frac{C_2 V_2 f_2}{C_1 V_1 f_1}\frac{\sqrt{L_2}}{\sqrt{L_1}}\frac{\sqrt{C_1}}{\sqrt{C_2}} = \sqrt{S_C}\frac{V_2}{V_1}S_f\sqrt{S_L} \tag{2-16}$$

消除式子两边的共同项，整理后得到：

$$S_L = \frac{1}{S_C S_f^2} \tag{2-17}$$

上式将回路电感值缩放与独立于工作电压和功耗的芯片电容和工作频率的缩放联系起来。注意到在上面推导过程中假设两个工艺中 k_v 和 k_i 均为常量，而且 C_1 和 C_2 是实际芯片电容。因为从工艺 1 到工艺 2 芯片面积为常数值，所以 S_C 反映了单位面积下栅极—绝缘层电容的缩放。

式(2-17)中的环路电感缩放关系很有意义，因为它揭示了迄今为止还未研究报道的缩放结果。例如，考虑到表 2-1 描述的恒定场按比例缩小(constant-field scaling)情形。如果单位面积的功率保持不变，我们容易想到依照恒定场按比例缩小规则从一代工艺到下一代工艺下，具有相同结构的芯片面积恒定，不会产生与电源传送和 PI 方面的大问题。现在做更深一步的讨论，假设 k 为缩放因子：

单位面积的电容值缩放为　　　　$\rightarrow 1/k$
相同裸片面积下电容值缩放为　　$\rightarrow 1/k$
反比于延迟（平方率）的频率缩放为　$\rightarrow 1/k$

从式(2-17)可以推导出环路电感值必须按 $S_L = \frac{1}{S_C S_f^2} = k^3$ 缩放，大小是工艺缩放因子的

---

① 活跃因子反映的是最复杂数字电路在每个时钟边沿没有跳变的情况。闭锁时钟信号的活跃因子为 1，大多数数字芯片的活跃因子介于 0.1～0.2 之间。

三次方。为了更好地理解这个非常不直观[①]的结果，我们考虑式(2-13)的另一种形式：

$$\Delta V=\Delta I\cdot\sqrt{\frac{L}{C}},$$

还可以改写为

$$\Delta V\propto\frac{CV^2f\sqrt{L}}{V\sqrt{C}}, \tag{2-18}$$

或写为

$$\frac{\Delta V}{V}\propto\sqrt{C}f\sqrt{L}$$

设计工程师旨在能够容纳这个最大噪声，或者说使 ΔV 变小，通常与电源电压 V 呈恒定比例。有了这个约束条件，第一个滤波回路的电感值 L 与芯片电容值 C 的反比关系和工作频率 f 的平方在式(2-18)中推导出来就明白了。

另一个现象是尽管 V 和 I 在功率方程的同一边，而在电源完整性方程中它们在两边并不矛盾。I 乘以网络阻抗，该阻抗是电感和有用电容的平方根函数，在电流阶跃增加时为了保持功率恒定势必会降低电压。这导致 L 必须缩放为 $R_{\text{eff}}^2\cdot C$，其中 R_{eff} 是等效负载电阻，等于电压 V 除以负载稳态电流 I。当 V 减小和 I 增大时，R_{eff} 作为 (V/I) 的二次缩放特性结合了电压电流对 L 缩放的平方率影响，且强于任何由于 C 增大带来的影响。

式(2-17)最早在参考文献[15]中推导出来，目的在于强调微处理器中不断增加的频率和功耗能带更大的负载，如封装电容、基板和插座，这在技术上是不切实际的。与截止频率随线宽缩小继续增加，仅仅是一种巧合。

例 2-3 恒电场恒面积环路电感及按 2 次方根比例缩小。

重新考虑前面电路的仿真实验，不过 V、I、C 及其对应的 ΔV 采用相应的按比例缩小的值。前面的仿真实验使用了 1.0V 的工作电压，芯片总的电流为 100A，包括 10A 的漏电流，30A 的上升电流(上升时间～20ns)，60A 的快速上升电流(上升时间～1ns)。假设缩放因子为 $\sqrt{2}$ 的倒数。

恒电场缩放电压 V →0.7071V(凑巧与缩放因子相等)

对应的缩放阶跃电流值 ΔI →84.853A

裸片电容 C →282.84nF

所需的 ΔV(与 V 的比例相同) →(240mV/1.0)·0.7071=169.71mV

基于式(2-13)解出 $L=\left(\frac{0.16971}{84.853}\right)^2\times282.84\times1\text{E}-09=1.1314\text{pH}$

该 L 值与缩放前的 L 值之比等于 $S_L=(1.1314/3.2)=0.3536$，其三次方根为 0.7071，等于使用的共同的缩放因子。

现在考虑例 2-1 中描述的二次方根的缩放情况。此例中，当单位面积上升时，芯片面积对应减小使总电容保持不变。同时，当电压的变化比例为缩放因子的平方根时，频率增加为缩放因子的倒数(1/0.7071)倍以保持功耗不变，就像方程(2-17)中计算的那样。因此

四次方根缩放电压 V →0.8409V

对应的缩放阶跃电流值 ΔI →71.352A

---

① 式(2-13)可能会让人想到电容在增加，ΔV 在减小……有帮助吗？

裸芯电容 C →200.00nF

所需的 ΔV(与 V 的比例相同) → $\left(\frac{200\text{mV}}{1.0}\right)\times 0.7071=201.82\text{mV}$

基于式(2-13)解出 $L=\left(\frac{0.20182}{71.352}\right)^2\times 200.00\times 1\text{E}-09=1.6\text{pH}$

再次算出回路电感缩放因子可以发现，四次方根缩放需要回路电感缩放为工艺缩放因子的平方根倍，这点也可以在式(2-17)中令 $S_C=1$ 看出。

2. 电阻缩放

式(2-12)同时指出另一个影响电源完整性的重要因素，即 ULSI 芯片在大电流下电源传输网络串联电阻 r_s。在系统级上，这个电阻不仅造成可用电势差的 DC 下降，同时也带来了大量的能量损失和相应的散热问题。$I\cdot r_s$ 电压降与电流 I 成正比，这个回路电阻热损耗将呈平方相关，这对比例缩小原则提出挑战。

在恒定电压按比例缩小规律下，随着单位面积电容、集成度和工作频率的增加，很显然功率也会如图 2-2 所示的那样呈指数上升。功率等于 $V\cdot I$，V 保持不变，I 指数增加。电流的指数增加影响电源回路串联电阻 r_s 的缩放要求。这需要系统板上导电材料的横截面积显著增加以及改变插座和引脚的接触表面和接触电阻。同时需要引脚、基板通孔①和连接到 IC 的通路要指数增长。恒定电场按比例缩小不能缓解上述问题，因为电压按照缩放因子减小会使电流因芯片面积相同而按缩放因子的倒数增加。因此，I 在这个缩放过程中被认为也是指数缩放，同时要求路径电阻 r_s 按指数规律缩放。

r_s 与表 2-1 中其他的缩放参数没有简单的递推关系。但是我们可以容易地推导出在一个温度上限②，其中，所有子组件都会为获得高的性/价比进行优化，任何芯片因消耗电流 I 的增加都将增加在路径电阻的功率损耗，二者之间满足平方关系。这要求电源路径串联电阻 r_s 按照一个等于电流增加因子的平方的因子减小。在实际中，这会导致金属铜层更厚或加工层数、插座引脚、IC 基板层、芯片过孔，以及集成的金属层等更多。这些数目与成本、芯片和装配平台间机械缩放维度呈倒数关系。

例 2-4 电源路径串联电阻缩放。

考虑一个缩放因子 $k=1/\sqrt{2}$ 的恒定电场按比例缩小规律。从表 2-1 中可知，如果电压按照 k 缩放，单位面积的功率保持不变，在这个缩放过程中相同结构和相同面积的芯片的电流增加为：

电流缩放因子=功率缩放因子/电压缩放因子 $=1/(1/\sqrt{2})=\sqrt{2}$。

电源路径串联电阻缩放因子 $=\left(\frac{1}{\text{电流缩放因子}}\right)^2=1/2=0.5$。

现在考虑按四次方根缩放情况。如例 2-3 中所描述的那样，电压按照大小为 0.8409(或 $1/\sqrt{\sqrt{2}}$)的比例因子缩放。电流 I 因此缩放为原来的 $\sqrt{\sqrt{2}}$ 倍。所以：

电源路径串联电阻缩放因子=(1/电流缩放因子)$^2=1/\sqrt{2}=0.707$。

即使在恒定功率状态下，很容易受到串联电阻缩放的限制。

---

① plated-though-holes，即 PTH，是一个典型电子基板金属层之间的内连元件。

② 平台运行/成本缩放关键在于进一步运行缩放不成比例地增加温度。

回顾第1章的系统板极图，我们注意到100A甚至更大的电流流过印刷电路板很窄的区域。电流在电源转换系统和微处理器插座之间流动，依次流过插座引脚、芯片封装引脚、芯片固定焊点，最终流回电源变换器之前进入微处理器。保持路径电阻极低的阻值十分关键。例如，哪怕仅仅在电流流经的路径上大小为1mΩ的串联电阻上就会导致[$1\text{m}\Omega \cdot (100\text{A})^2$]或10W的功率耗散。不仅能量出现损失，电压损失也非常大，可达100mV。这需要变换器输出一个更高的电压来补偿这个微处理器电路中供电电压的下降(或者电源完整性的降低)。

正如本章所述，晶体管缩放和ULSI给支撑组件和系统带来了诸多挑战。基于此，很多结构和电路上的技术应运而生，目的是解决在芯片和系统级上的功率、能耗、电源完整性和漏电流等问题。这些技术包括自适应电压定位、电压步进、自适应和动态电压调整、动态阈值控制和衬底反偏电压，这些内容在前面的关于电源完整性和电源管理章节中已简要讨论。ULSI电源配送和电源完整性挑战潜在的解决方法也有所涉及。

2.4 练习题

2-1 有一个容值为C法拉的理想电容$C1$充电到V伏特，另一个有相同电容值的、电压为0伏的理想电容$C2$，计算$C1$和$C2$短接，让$C1$上的初始能量向$C2$充电而得到的最终电压。

同时计算电压为V伏的$C1$的系统初始储能，以及在最终电压下包含$C1$和$C2$的最终储能。在这个实验中电荷守恒与能量守恒冲突了吗？解释并解决任意种冲突。

2-2 将给定的单个电容拆分成几个容值和面积均相同的小电容，这些小电容通过彼此交换能量，其最终容值与原来电容容值相等——结果将是这些小电容也能达到与单个电容一样的效果，还是完成速度更快或者说单位时间内完成更多的操作。

特别需要讨论上述实验中的功率消耗的内在意义。

2-3 利用方程(2-13)和芯片工作状态在第二个谐振回路的电压下冲到约250V，发生时间为110ns的条件下，计算图2-7中的元件值。

2-4 一个ULSI电路，其裸片电容C、工作电压V、频率f基于恒电场按比例缩小规律进行缩放，缩放因子k为$1/\sqrt{2}$，即0.707的缩放。随着缩放进入纳米级，芯片的工作频率加倍。工作电压和裸片电容按照表2-1缩放。

(1) 假设所设计开关CMOS电路具有相同结构、面积和活动因子，缩放前后芯片功耗比例是多少？

(2) 为了在更先进工艺下不增加功耗，芯片面积和开关电容该怎样缩放？

(3) 对于集成元件，为了保证缩放后芯片封装引起谐振电路造成的电压下降与缩放前工作电压保持一致，芯片设计中还需要什么测试措施？

2-5 某ULSI芯片中的开关CMOS功能块(FUB)具有1nF(1×10^{-9}法拉)的开关电容，1nF的等效去耦电容，1A的漏电流，工作频率为1GHz(1×10^{9}周/秒)，工作电压为1V。与附近储存电荷(假设无限多)间的回路电感值为2.5pH(2.5×10^{-12}亨利)。FUB与电源轨之间是断开的以消除漏电流(该操作经常被称为电源门控)，时钟输入也是断开的(时钟门控)以消除动态电流消耗达到芯片的最小功耗。芯片电源电压容差设定为±5%。

(1) 如果FUB由休眠状态瞬间达到满负荷状态，不考虑路径电阻，此时在电压下降方面对芯片电源完整性的影响是什么？计算动态功率和电流时，假设活动因子为1。芯片满足PI

规则吗?

(2) 当保持设计不变时导通序列该怎样修改以满足 PI 规则?

参考文献

[1] Wikipedia, The Free Encyclopedia. 2009. http://en. wikipedia. org/wiki/Main Page, various information pages.

[2] Moore, G. E. 1965. Cramming more components onto integrated circuits. *Electronics* 38 (8): 114-117, April 19.

[3] Gordon E. Moore, *No exponential is forever*, International Solid-State Circuits keynote, ISSCC 2003, ftp://download. intel. com/research/silicon/Gordon_Moore_ISSCC_021003. pdf.

[4] Tsividis, Y. P. 1987. *Operation and modeling of the MOS transistor*. New York: McGraw-Hill.

[5] Nair, R. 2008. A power integrity wall follows the power wall. EDADesignLine web journal article and white paper, April, http://www. edadesignline. com/howto/207100271 www. edade signline. com/howto/207100271.

[6] Chandrakasan, A. P., S. Sheng, and R. W. Brodersen. 1992. Low-power CMOS digital design. *IEEE Journal of Solid-State Circuits* 27(4): 473-484, April.

[7] Dally, W. J., and J. W. Poulton. 1998. *Digital systems engineering*. Cambridge: Cambridge University Press.

[8] Crawford, A. M., et al. 2006. *Integrated inductor structure and method of manufacture*. U. S. utility patent application no. 11/554, 567, October, pub. no. 20070069333.

[9] Kreyszig, E. 1991. *Advanced engineering mathematics*, 5th ed. New York: Wiley.

[10] Chandrakasan, A. P., and R. W. Brodersen. 1995. *Low power digital CMOS design*. Norwell, MA: Kluwer Academic Publishers.

[11] Narendra, S. G., and A. Chandrakasan (Eds.). 2006. *Leakage in nanometer CMOS technologies*. New York: Springer.

[12] Markov, S. 2009. *Gate leakage variability in nano-CMOS transistors*. Doctoral dissertation, Department of Electronics and Electrical Engineering, University of Glasgow.

[13] Veendrick, H. 2008. *Nanometer CMOS ICs: From basics to ASICs*. New York: Springer.

[14] Kao, J. T. 2001. *Sub-threshold leakage control techniques for low power digital circuits*. Doctoral dissertation, Department of Electrical Engineering and Computer Science, Massachusetts Institute of Technology, May.

[15] Nair, R. 2001. Microprocessor assembly interconnect pathfinding challenges. *Intel Assembly and Test Technology Journal* (IATTJ).

第3章　芯片的电源完整性和功率传输优化

以作者的经验看来，集成电路的功率传输常给人们带来困惑与启发。涉及到的基本问题包括所需转换功率的大小、功率转换级、电压转换点等。此外还包括所需电容的数量与类型，功率传输网络各个部分的电感，去耦电容的频率响应，诸如串联寄生电阻等器件的寄生效应，环路电感，以及电容在系统、封装和芯片级的放置。随着集成电路超越 ULSI 继续发展，必须考虑电源在芯片中的连接，芯片内的电源分布，以及芯片的电源网络结构等问题。现在的 IC 中还包括多时钟和多电压域，并且伴随系统集成，引发了关于电容和电源网络划分与电气特性的问题。超过每秒十亿次的工作频率，及芯片上不断增加的电容和电源网络固有电感，将导致芯片电源网络多时钟瞬态响应的相互干扰。

本章学习集成电路中的电源网络及其完整性，并给出造成非理想功率传输的前提。

3.1　功率传输及效率

一个典型的功率传输系统是将电源以最小的能耗、最大的完整性传递给负载。低功耗保证了高的电源效率，这对于一些便携式系统，以及耗电量大的系统尤为重要。最大的电源完整性保证了鲁棒能。

ULSI 电路和系统给功率传输提出了很大的挑战。不仅是因为它们工作电压低、功大，而且源于它们对电源特殊的要求。系统级能量约束要求负载器件仅在需要时工作，以在不同功率状态下降低功耗。电源必须设计成对负载的各种运行状况进行响应。ULSI 的数字特性，如突变或瞬态负载电流的需求，要求功率传输系统能够对负载电流宽范围频率变化进行鲁棒响应。ULSI 的工作频率较线性转换系统高很多。最新的功率传输网络有效地将低速的线性功率传输电路与高速的、大范围变化的负载匹配了起来。

3.1.1　最大功率传输理论

雅可比(Moritz Hermann von Jacobi，1801—1874 年)①定律指出“在外电阻可变、内阻恒定时，当电源内阻等于负载电阻时，电路传输的功率最大”。如图 3-1 所示电路，可以简单地计算导出，在负载 R_L 等于电源内阻 R_S 时，传递到负载 R_L 的功率最大。效率 $\eta=R_L/(R_L+R_S)$，由于负载功率 I^2R 正比于负载电阻，效率即为负载功率与总功率之比。

尽管负载和电源阻抗必须互为共轭复数，该理论同样适用于电抗负载[1]。很容易理解表示为 $R+jX$ 的阻抗[2]的电抗 X 可为正或负，分别代表电感和电容。因此，消除阻抗中的电抗可以增大电路电流。阻抗匹配时总的阻抗只有实部或等效于纯电阻。在实际应用中会充分利用共轭根匹配为最大的实部功率来使负载或转换级获取最大的有用功(与无功功率相对应)，对于高电抗负载，由于电抗和视在功率，将使电流最小化。在无线电和传输线的应用中，使信号源阻抗与传输线特征阻抗相匹配来防止入射能量的反射。

---

① 雅可比是一位从事电流计、电动机、有线电报研究的普鲁士工程师和科学家。

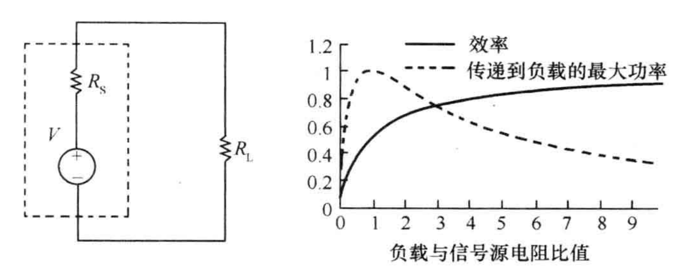


图 3-1　简单的功率传输分析，其实线表示效率 $\eta = R_L/(R_L+R_S)$；最大传输功率为 $[4R_SR_L/(R_L+R_S)^2]$

值得注意的是，图 3-1 中的信号源内阻降到比负载电阻更小时，效率达到最大。因此，在设计功率传输网络时要尽可能的减小其传输路径上的电阻。根据后面即将讨论的线性稳压器中电压转换采用低阻（以获低压降）开关来减小输入输出电压差，具有电感的 DC-DC 开关变换器，理论上可以将输入能量完全转换到负载电容上，仅仅在开关电阻和寄生电阻上消耗功耗。

3.1.2　电源芯片

大多数电源芯片以能量源或系统的电压转换或调节器的形式存在。手持设备通常用电压变换器将所带的电池转换成用于各种子系统不同需求的电压。绳系系统（通过连线接到一个固定装置）通常在系统模块中进一步转换前需要对交流电进行转换和整流。所有的如后面功率传输和完整性的参考文献中讨论到的这些系统都有办法转换和调节电压。

1. 线性调节器和 DC-DC 开关变换器

线性模拟变换器主要实现输入电压的降压功能，而开关变换器可以完成输入到输出的升压或降压功能。目前的各种电源变换系统各有优点：开关结构在宽范围输入下效率较高，线性结构变换器具有低纹波、宽带宽和易于集成的特性[3]。

2. 线性调节器

这类电路的基本构成包括串联传输或门控功率管、决定串联传输功率管的偏置程度和驱动的模拟（或连续变化输出）控制电路和反馈电路。系统还包括一个误差放大器，用于负载输出电压和参考输入电压的比较，并产生控制信号。

图 3-2 给出了电压或电流线性调节器的电路模块。该电路利用一个 P 型 MOSFET 管（PFET）作为串联传输功率管，其栅极由一个电压运放来驱动。电压调节模式中，反馈选择电路将输出电压转变成误差放大器的一个输入，参考电压接运放另一端。系统工作在负反馈模式，输出电压下降时，将产生一个放大的校正信号来使输出电压提升到期望值。

需要注意的是反馈控制系统有两个增益级：误差放大器和串联传输功率管，与输出端的等效负载一并组成一个简单的增益放大级。基于鲁棒性要求，补偿电容必须仔细设计。因为必须考虑环路的稳定性，它决定着电压调整器的环路带宽。典型的放大器电路中，输出摆率由第一级的偏置电流和补偿电容的大小决定，补偿电容必须足够大，以满足带载（电阻和电容负载）

根据最大功率传输理论，当 $R_S=R_L$ 时，负载 R_L 上可获得最大功率，为 $(1/2)(V^2/2R_S)$ 或 $V^2/4R_S$。

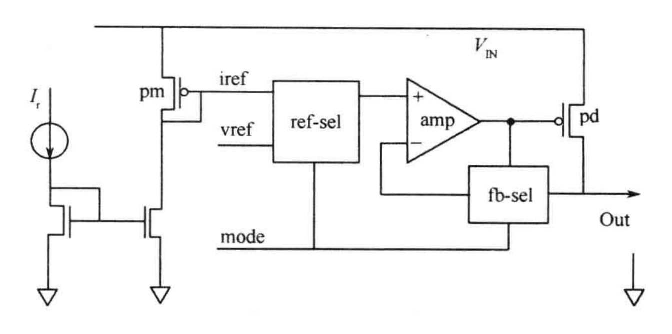


图 3-2 电压/电流线性调整器的电路框图

环路的稳定性。补偿电容对环路稳定性的影响详见参考文献[4]。放大器输出电阻的计算详见参考文献[5]。

由电阻 R_1 和 R_2 组成的反馈网络的反馈系数为 $\beta=V_f/V_o=R_2/(R_1+R_2)$，忽略输出负载。调节器前向增益或误差放大器的增益为 A，则

$$R_o=\frac{r_{oa}}{1+A\beta}\approx\frac{r_{oa}}{A\beta} \tag{3-1}$$

式中，r_{oa}是不带负反馈的放大器的输出电阻；环路增益 $A\beta\gg1$。读者不难发现，环路增益的降低程度与输出电阻的增大程度相同。不同的是闭环增益对开环增益 A 不敏感，而输出阻抗将正比于开环电阻 r_{oa}。由于两级放大具有高的增益，反馈系数通常在 0.1～1 之间，由式(3-1)可以看出，线性电压调整器的输出阻抗可以设计得很低。ΔI_o 为输出电流的增量，则

$$\frac{\Delta V_o}{V_o}=\frac{R_o\Delta I_o}{V_o}=\frac{r_{oa}}{AV_f}\Delta I_o \tag{3-2}$$

该表达式即为直流(DC)负载调整率，同样除以了开环增益 A。当$(V_{in}-V_o)$裕度足够大，使串联传输功率管偏置在合适的区域时，线性调整器具有良好的线性调整率。当不限制$(V_{in}-V_o)$裕度时，和低压差线性调节器(LDO)一样线性调整率会明显降低。这种串联传输①线性调节器效率不高，因为流过功率管的电流为负载电流，压降为$(V_{in}-V_o)$。存在最小$(V_{in}-V_o)/V_{in}$时，调整效率降低，其中还不包括驱动电路和放大电路的损耗。因此，线性调节器主要用于 LDO 模式，减小$(V_{in}-V_o)$来降低串联压降引起的效率损失。①

3. 宽带线性调节器

在某些应用中的，如在为噪声较大的数字电路供电时，通常会为了带宽而优化调节器结构，如牺牲调节控制器的增益、输出阻抗，以及负载调整率等。采用如图 3-3 所示的射随器可以获得此效果(宽带宽)，为分析简单，忽略了输入、输出和基极的去耦电容。

在如图 3-3 所示的射随器中，输出电压 V_o大约为$(V_z-0.65V)$。假设输入电压 V_{in}大于齐纳管②击穿电压，并向负载和齐纳管/晶体管基极提供电流，该输出电压与齐纳电压 V_2 相比有一个硅二极管的压降。该电路的核心是本征负反馈：V_o下降时，三极管 VT_1 的基极电流增加，基极电流经放大后，VT_1 的集电极电流和射极电流增加，发射极电流流过负载，使得输出电压

---

① 同样存在并联线性调节器，主要用作低电流电压参考电路或电压钳位。

② 因发现本效应的 Clarence Zener 而命名，二极管在反偏雪崩击穿时发生的恒电势差取决于器件的设计和工艺。

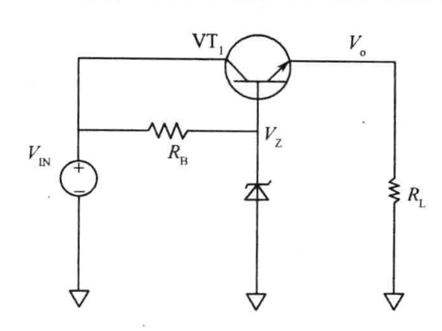


图 3-3　齐纳管偏置的射随器前置调节器

增加，用以校正负载电流变化而引起的输出电压变换。无反馈的电路，增益放大器或补偿电容对电路结构做出反应，可显示出很宽的带宽（校正高频能力强，能快速响应负载的变化）。此外，采用射随器的电路结构增益小于 1dB 或者 0dB，因此电路自然稳定。可以通过增加电容来对偏置电压变换退耦。高的本征带宽降低了对负载电容的要求。

与之相似，采用 MOSFETs 的电路结构[3],[6]已成功应用于商用微控制器上①。内含片内诸多分布式调节器的增强部分，所有的芯片供电网络都是并联的。这种功率传输结构称为分布式电压调节器。根据负载电流需求，通过分布于芯片内的小、快、线性稳定的线性调节器进一步增大调节带宽。这种方式强化了线性调节器的核心优势：不需要电感，从而适合单片集成。为方便开关调节器的集成，已在研究将功率电感集成封装在基板上[26]。

图 3-4 显示了一种采用中央电压基准的分布电压调节器结构。在这个结构中，芯片低噪区产生的精确的电压基准分布在芯片的中央（最好是差分形式）。它以平衡的方式进一步向芯片内部各区域传输。把分布电压作为基准输入的局域宽带宽调节器，根据需要把其输出与局部短路或隔离出来的电压区域相连。基准的产生可以是分布式或局部的。

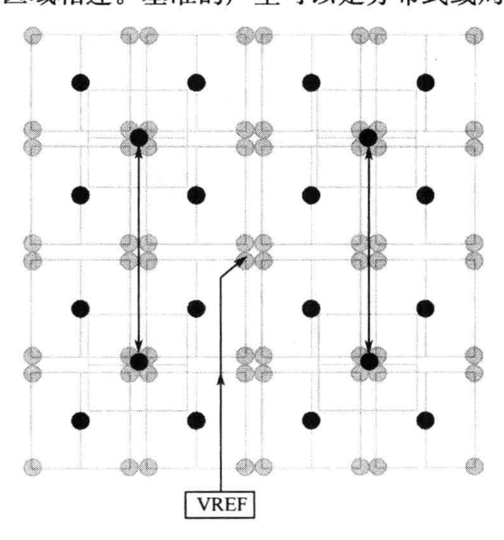


图 3-4　对大芯片，具有中央电压基准产生器的分布电压调节示意图。可以看到基准驱动和分布，灰色的圆圈表示分布调节或输出驱动

① Intel 80296SB 和 80196NV（1996 年、1997 年）采用了分布式电压调节器，进行 5～3.3V 的电压转换。

设计分布式电压调节器时，调节器之间的负载分配由负载调整率和调节器之间的电源网络的阻抗决定。例如，如果负载过大导致某个调节器的网络电压偏低，附近的调节器通过短接的功率传输感应到后，通过附加有源阻抗进行调制。[①] 瞬态电压的变化在网络中传输时通过局部反馈被每个调节节点抑制，并相应网络电压的降低，其速度取决于调节器的带宽。这些调节器在电源网络连接处还另外起到有源电阻调节器的作用。这减少了噪声传播、增强了电源完整性。第九章将对有源噪声控制进行详细讨论。[②]

4. DC-DC 开关变换器

DC-DC 开关变换器包括不含电感的开关电容结构，以及无处不见的包括电感的高效率 Buck、Boost 和 Buck-Boost 结构。开关电容结构可实现升压(电荷泵)或者降压(Buck)调节，但主要用于低效低功率输出。这种变换器在本章不做讨论，感兴趣的读者请参考文献[7]。本章着重讨论高效率功率传输结构。

图 3-5 为 Buck 开关变换器的示意图和理想时序图。Buck 变换器利用对输入电压的 PWM 调制，转换成平均值等于期望值的输出电压。由电容和电感组成的二阶滤波器对输出电压滤波，该低通滤波器的截止频率远小于变换器开关频率，以衰减 PWM 输出电压中的交流分量。对应于图 3-5 中，$LC_o \gg \omega_s^{-2}$，其中 ω_s 是变换器的开关角频率。

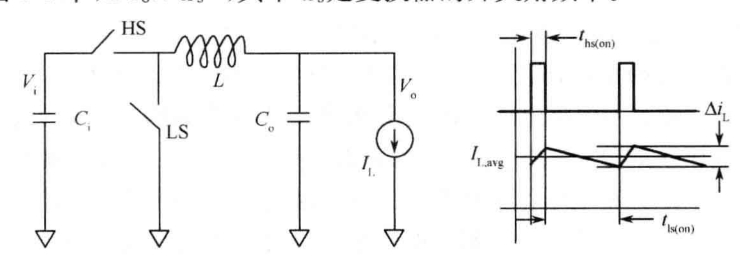


图 3-5 开关电压变换器原理(Buck 或 Boost)

如图 3-5 所示，开始时，Buck 转换开关管 HS 闭合，开关管 LS 打开。电感电流以 $(V_i - V_o)/L$ 的斜率增加；经过一段时间 t_{hs} 后，开关管 HS 打开，开关管 LS 闭合，其间有一个死区时间[③]，这是为了避免 V_i 到地短路而产生穿通电流。电感电流经过 LS 开关继续导通，在 t_{ls} 时间内，电感电流以 V_o/L 的斜率下降。电容 C_o 上不再有电荷经过负载 I_L 充电，变换器到达稳定状态，此时电感电流平均值为 I_L。输出电压被由 t_{hs} 决定的反馈时间调节。Buck 变换器输出输入之间关系为 $V_o = DV_i$，其中 D 是占空比，$D = t_{hs}/(t_{hs} + t_{ls})$。

Boost 变换器和 Buck 变换器相似，只需将图 3-5 的输出电压和输入电压的位置互换。Buck-Boost 变换器的传输函数为 $V_o = DV_i/(1-D)$，与图 3-5 的结构不同。顾名思义，它的输出电压可高于也可低于输入电压。DC-DC 变换器的详细讨论见参考文献[7]。这里只讨论常见的 Buck 变换器。

稳态时，如图 3-5 所示，V_i 和 V_o 通常设计为常数，流过电感 L 的电流为锯齿波，有

$$V_i - V_o = L\frac{\Delta I_L}{t_{hs}} \tag{3-3}$$

---

① 电压网络阻抗取决于其负载和当前连同电源的状况。

② 根据局域网络瞬态负载需求，充电所得实际电源上的电压变化范围因工艺变化而减小。

③ 无电路元件导通的很短时间段。

$$D=\frac{t_{hs}}{t_{hs}+t_{ls}}\rightarrow t_{hs}=D(t_{hs}+t_{ls})=DT=\frac{D}{f} \tag{3-4}$$

$$V_i-V_o=\frac{V_o}{D}-V_o=V_o\left(\frac{1}{D}-1\right) \tag{3-5}$$

联合式(3-3)到式(3-5)，可以得到

$$\Delta I_L=\frac{V_o\left(\frac{1}{D}-1\right)}{L}\frac{D}{f}=\frac{V_o(1-D)}{Lf} \tag{3-6}$$

假设电感电流的交流部分全部流过与负载并联的电容，由图可计算出平均负载电流，有

$$\Delta Q_r=\frac{1}{2}\frac{T}{2}\frac{\Delta I_L}{2}=\frac{\Delta I_L}{8f} \tag{3-7}$$

电容 C 吸收电荷而增加的电压为($\Delta Q/C$)，即纹波峰值为

$$\Delta V_{r,pp}=\frac{\Delta Q_r}{C}=\frac{\Delta I_L}{8fC} \tag{3-8}$$

将式(3-6)的 ΔI_L 带入，可得纹波的幅值(半峰峰值)为

$$\Delta V_r=\frac{V_o(1-D)}{16LCf^2} \tag{3-9}$$

从表征电源完整性的角度来说，可改写为纹波与输出电压的比值形式，即

$$\frac{\Delta V_o}{V_o}=\frac{(1-D)}{16LCf^2} \tag{3-10}$$

缩放比例讨论：对于特定应用的电源设计，输出电压的纹波因子应该很小。同样的，Buck 变换器的变换率通常很高，如从 48 到 5V 或者从 12 到 1V。虽然在不同设计中，占空比 D 可以改变，但是当占空比 D 很小，比如 0.1 或更小时，$1-D$ 改变不大。如果 D 变化系数为 0.7，$(1-D)$ 变化系数为 0.03，结合这些近似恒定值①，式(3-10)可以写成

$$k_{buck}=\frac{1}{L_fC_ff_s^2} \tag{3-11}$$

即

$$f_s\propto\frac{1}{\sqrt{L_fC_f}} \tag{3-12}$$

$$L_f\propto\frac{1}{C_ff_s^2} \tag{3-13}$$

该式与 Buck 变换器电源纹波或电源完整性的关系非常有趣。式(3-13)和式(2-17)在某些方面非常类似，重写环路电感缩放比例关系为

$$S_I=\frac{1}{S_CS_f^2}$$

假设两者都是二阶滤波器的阶跃响应，且都分析电源完整性，那么式 (2-17)和式(3-13)的

① 纹波，由($\Delta V/V_o$)给出，在恒定 k_{buck} 中，系数为[$16/(1-D)$]。

一致性并不意外。但是它们对集成电路和系统的影响不同，前者在集成电路比例缩放时面临着巨大的挑战，而后者则显示出整体集成的优点。根据式（3-13），假设保持恒定功率，增加频率和单位面积的电容，所需最小电感值以三次方的比例缩小。因此电源完整性和局部电源调整率（噪声，完整性将在随后的章节中详细阐述）才能得以保证。这些是先进的功率传输结构的基础，比如 Intel 公司[8],[27] 2001 年研究的硅夹层结构①。基于此，耗能元件能量转换完整性理论解决了超大规模集成上电源配送的挑战，但仍需进一步验证。

Buck 开关变换器最大优点在于它高的转换效率。当输入电压和输出负载在大范围内变化时，效率可超过 90%。然而，Buck 开关变换器仍然因为下列原因而损耗能量降低效率：①电感的有效电阻的损耗，②MOSFET 管的开关大电容的能量损耗，③开关管在导通时的导通损耗，④PWM 和驱动电路的损耗，⑤尖峰电流去耦电容的等效串联电阻的损耗。除此之外，t_{hs}内从输入电源 V_i流向开关管 HS 的均值为 I_L的电感电流也损耗一定能量。脉冲电流对电源的需求，要求输入的去耦电容能满足瞬态充电的要求。

Buck 开关变换器最明显缺点在于控制电路和输出滤波的复杂性，同时输出滤波器限制了环路带宽。典型的变换器结构与 RC 充电行为比较类似，通常需要 5 个转换周期才能满足负载电流阶跃上升的需求。对于 1MHz 的变换器，意味着环路带宽低于 200kHz，否则，对负载电流呈现一个高阻，导致明显的压降。因此，ULSI 中的 Buck 开关变换器，与分布式电压调节器类似[3]，往往通过并联或多相来降低对滤波电容的要求，且通过连接高频负载元件，减少电源配送网络。

诸如 Flyback 开关，正激开关和谐振工作模式[4]降低了输入电源的瞬态电流，增加了转换效率。其他诸如零电压开关，降低门限驱动摆幅，以及脉宽和脉频调制相结合的技术也进一步提高了转换效率[7]。

5. 电压基准

基准是电源调节的关键，它提供稳定电压与输出反馈电压进行比较、控制。具有温度补偿网络的齐纳二极管可产生精确的基准。集成电路中通常采用带隙②基准[9]，带隙基准利用受温度和电流密度影响的正向偏置的二极管的负温度系数在电阻上产生一个 PTAT（与绝对温度成正比）电压。流过 PTAT 电流的二极管上的电压和一个与绝对温度成比例的 CTAT 的电压相加，抵消了一阶效应，得到一个不随温度变化而变化的基准电压。该基准电压可以通过放大或缩小得到任意大小的基准。

图 3-6 所示的电路，采用了 0.6μm CMOS 工艺，可以产生一个 1.25V 的带隙输出，在温度从 0 到 100℃、电源电压从 2.7V 到 4.2V 变化时，输出电压变化仅为几个毫伏。该电路可以设计到只消耗几微安的电流，电路包括了必需的启动电路，以防止电路在零电流状态下的伪稳定状态。通过器件匹配和电流镜相，可确保图 3-6 所示的电路的 V_d 和 V_c 节点电压相等，器件底部两个二极管的电流密度比为 1∶8，由此 ΔV_{be}降落的第一个电阻上产生了 PTAT 电压。该电压经过第二个电阻比例缩放后，与一个匹配的 CTAT 电压 V_{be}相加后产生不随温度变化

① 在一个硅夹层上嵌入式集成了两个散热片间的对应的面对面的微处理器的所有高效、宽频带的功率变换器的元器件，即所谓的全集成电路的例子。

② 基准输出的典型值为 1.25V，接近 0 开尔文时的硅能隙或带隙电压。在−2mV/K 和 300K 时，室温下 V_{be}为 0.65V 下降到 0K 时产生的电压降是 1.25V。

而变化的基准电压。为了进一步提高精确度，采用高增益的运算放大器，通过反馈来实现 v_d 和 v_c 精确的相等，使二极管电流不依赖于电源电压，二极管上加上一个缩放 PTAT 的电阻得到一个 PTAT 电流，该电路在整个电源电压和温度变化范围内，均能实现的精度为几个 PPM/℃，或少于 1 mV 的基准电压的变化。带隙基准的详细讨论参见参考文献[5]。

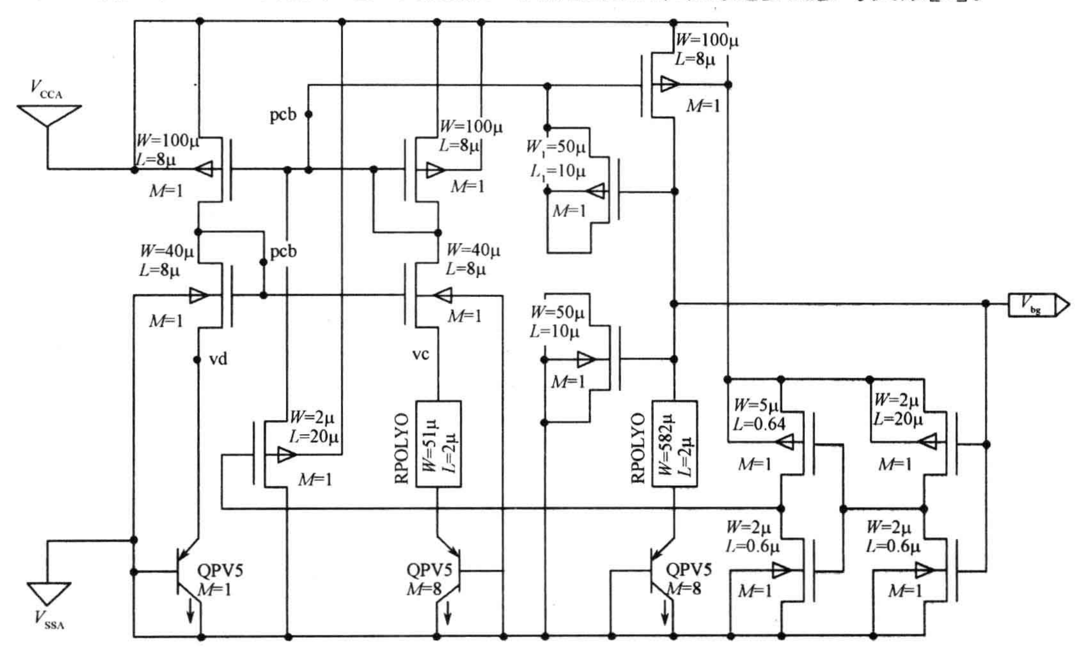
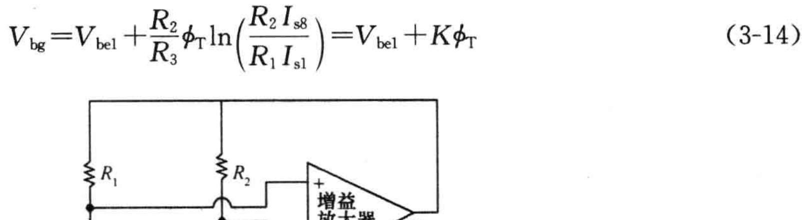


图 3-6　CMOS 带隙基准电路[ComLSI, Inc.]

忽略三极管的基极电流，图 3-7 所示电路中的输出电压 V_{bg} 为



$$V_{bg}=V_{be1}+\frac{R_2}{R_3}\phi_T\ln\left(\frac{R_2 I_{s8}}{R_1 I_{s1}}\right)=V_{be1}+K\phi_T \tag{3-14}$$

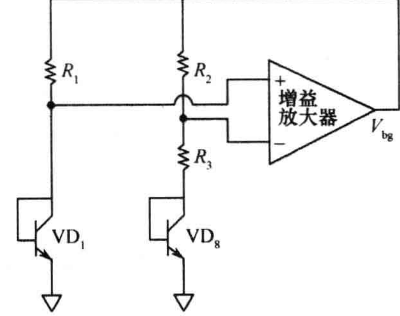


图 3-7　带运算放大器的 CMOS 带隙基准电路

式中，I_s 为与 e^{v_{be}/ϕ_T} 相关的三极管的集电极电流；$\phi_T=kT/q$，约为 25.85mV，带隙基准典型应用中二极管 VD_8 与 VD_1 之比为 8，即 $I_{S8}/I_{S1}=8$。

例 3-1　图 3-8 给出了带隙基准的 PTAT 电路，二极管连接的三极管比例为 1∶48，其中 R_1、R_2、R_3 为多晶硅电阻的实际阻值，R_1 的长宽分别为 300μm 和 2μm，R_2 与 R_1 一样，R_3 的长宽分别为 52μm 和 2μm。因为电阻值为 $R=\rho l/a$，因此电阻的比值由其长度之比决定。

本例中，假设 $V_{be1}=0.65V$，由式(3-14)可得

$$V_{bg}=V_{be1}+\frac{R_2}{R_3}\phi_T\ln\left(\frac{R_2 I_{s8}}{R_1 I_{s1}}\right)=0.65(V)+\frac{300}{52}\times26(mV)\ln\left(\frac{300}{300}\times48\right)=1.231(V)$$

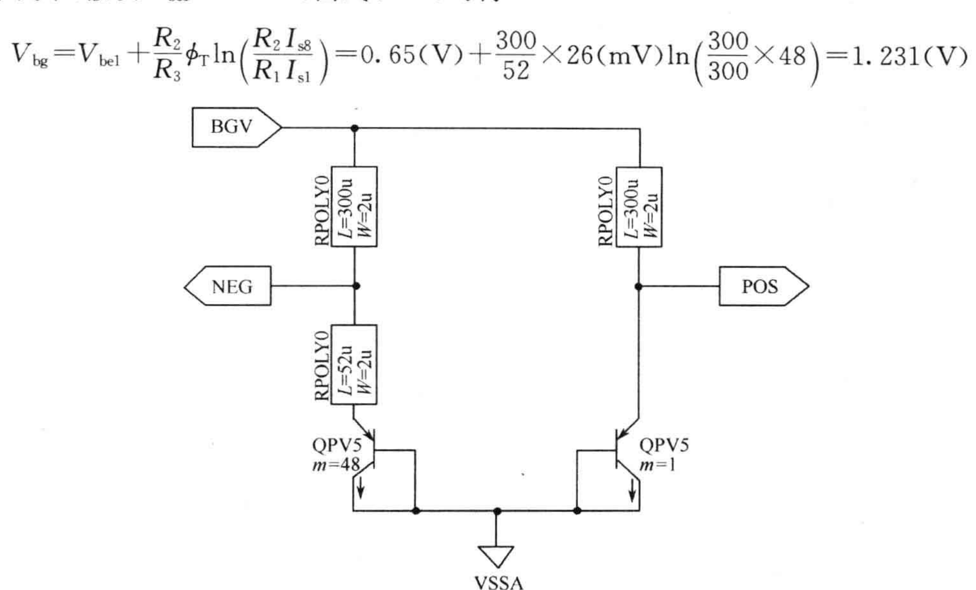


图 3-8 带隙基准电路

式中，V_{bg}为驱动的 PTAT 电路的运放的输出。典型的设计方法是利用晶体管的二极管连接的电压，该电压与静态工作点的电流有关，知道输出电压的大小，有助于确定第一个电阻的大小，紧接着是另一个电阻的取值，调节这两个值得到近似于平坦的与温度无关的输出电压曲线，即为带隙基准的原理。

随着 ULSI 的发展，使用的工作电压比基准所能提供的值更低，因此更多采用电流而不是电压模式来消除温度的影响[10]，这种方法可以产生小到 0.75V 的基准电压，反之，如图 3-8 所示，可以通过简单的电荷泵产生一个高于 1.25V 的带隙基准电压。

3.1.3 电源的噪声和闭环功率传输的差分特性

电源对电路施加电压差，并得到由电路决定的电流。电源电流以电荷的方式在流入电路，也从电路另一端流出相同大小的电流，同时在电路中储存电荷，阻抗和流入流出电流的变化在输入和输出两条通路上都产生噪声。假设两条路径上的阻抗和谱密度变化相同，相同的电荷以相同的变化率在相反的方向流动，因此，电路中储存电荷和在两条路径上阻抗产生的噪声大小相同、符号相反。

通常，流入流出端口分别与电源的正极、负极相连，这样使得正电荷从电源正极经过输入端流入电路，从电路的输出端流出回到电源的负极，尽管大多数电子系统中并没有正电荷(质子，离子)，却有负电荷(自由电子)在导体中相对自由地移动。通常所定义的流入端口实际上也是输出端口。我们的讨论采用习用定义，即常见电子电路系统中电源的负极就是反相输入端和输出端。

如 PCB 上的集成电子器件的电源通道通常是不对称的，可能是因为通常正端即电源端，而负端接地。这种惯用的方法可能起源于交流电系统中——相线和中线传输交流信号，有时通过实际地线或地基线返回。不对称也表明在很多电路的模型仿真中，地是理想的或零电势电路器件返回端，如图 3-5 和图 3-7 所示。这种表示仅是为了方便，且在电路实现中，电流最

终流入到地、或假想的零电势处或零阻抗端。这个点连接到设备的底盘，通过三相交流电的地线连接到地。

几十年来，电力电子设计中的地或零电势实际上是虚拟的。两个相联系的电子系统中的地电势差需要交流耦合或耦合电容来防止所需接收信号之外的可收到信号的串入。该绝对电势差称为共模噪声[4]。这可能是一个错误的定义，因为噪声定义为所需信号上叠加的一个不希望的随机量，尽管通过电势上的直流平移以很慢的速度可以产生随机变量，但这不能称为噪声。电流从低阻路径流过，在所有完整的系统中这条路径最接近最佳匹配。因此，多处布置的地线对于快速变化的电流有一点用处，特别是在高频，大多数情况下，电流经过小功率注入口流径最近的通道"返回"以此减小感应阻抗。衬底上的多个不同负载使得电流密度也不同，因此点到点不同时间的地电势也会变化。

相同的电路通路，流过互补电流，形成互补电磁场，这种电磁场下相近的信号源在时间和空间上可以相互消除，不对称的设计降低了这种电场相消性，使集成电路产生电磁辐射干扰。电源通路或环路流过的电流越大，电磁辐射越严重。因此，很早就意识到这一点而采用相线和地线形成的双绞线，导电时，相互作用的对称设计，即形成电源差分通路。

对于负载电路，如数字电路中信号经中间电势点在两种状态之间转换时，电源电流和电流的变化率引起的噪声在输入输出通路上都是对称的，因为幅值相等方向相反，如从高电势的降低与低电势处的回升是等量的①，这致使逻辑电路的中间电位点变化很小甚至不发生变化。这就消除了变换过程所产生的影响，换句话说，互补电源噪声对输入信号的完整性影响不大，这也是大多数数字电路利用电源轨电势的中间点作为状态转换阈值来增加噪声裕度的原因②，在设计电源通路，片内和片间等电压模式都是通过对称的设计来保持信号的完整性。然而，电位差的变化的确会影响缓冲器和门电路的延迟，改变信号通路的传输时间，重复通过一些低压区域。因此电位差的静态和动态的变化都必须最小化。

图3-9和图3-10显示了集成电路中差分结构和不对称结构在功率传输路径上的区别。对称的差分结构能更好的匹配，电流互补，能量辐射最小，且可以提供一个局域电磁场，用于预估与频率相关的集肤效应③——导致电阻和电感中的相对变化。而非对称的传输网络会导致能量从电源轨耦合到附近的信号线上，更为严重的是，由磁圈面积决定电源线的电感会明显增加。CMOS和ULSI中经常变化的负载电流和不对称的电源和地通路结构都会加剧的噪声。而对称结构的PI影响较小，SI影响较大。

单级电源没有流入和反馈电流，不会形成电位差，过去所谓的单电源，俗称"接地反射"仍然存在通过地耦合的噪声。比如，从一个漏开通的芯片到另一个芯片之间的信号传送，电流仅参考芯片电源节点单向流动。这种情况下，通过电容传递的电源交流短路信号将在两个电源轨产生共模噪声，仔细设计从芯片到基板的电源连线可以使电流很快地流出芯片，减小电源网络内电源的抖动。在电子系统中供电通路通常都是成对的，理论上的对称差分传输网络的设计在实际中还需要进一步优化。过去几十年的研究证明，差分驱动和互联结构是高速和宽带信号的最佳选

---

① 电源轨即互连线的低阻通路，也称为电源总线，用于电源电流的流通。

② 在两种状态转换时，电压出现误差，而保证输出无误差的裕度。

③ 集肤效应，电流在高频时通过导电材料的低阻通路时，导致导体中不均衡的电流密度，存在互补电流是表层区域流过更多的电流，因此等效电阻增加，等效电感减小。在集肤深度处，电流密度减小到1/e，或约37%，其中e是自然对数，为$\delta=\frac{1}{\sqrt{\pi\mu\sigma f}}$[1]，其中$\mu$为导体在频率$f$处的磁通率，$\sigma$为导体的电导率。

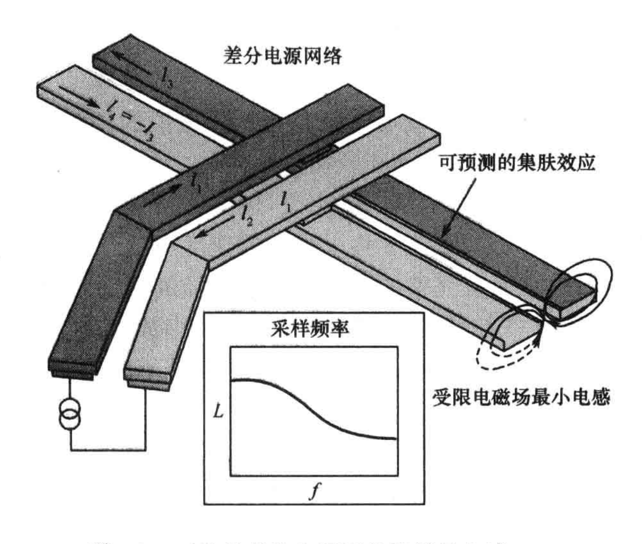


图 3-9 对称的差分电源网络及等效电感

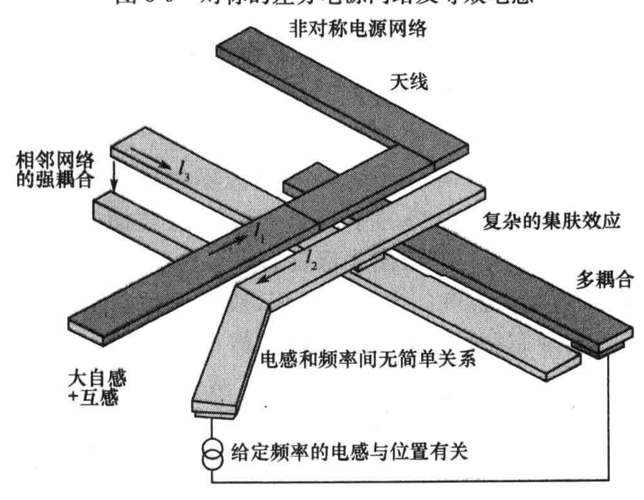


图 3-10 不对称电源网络状态及其影响

择，基于单导线的单电源结构已经被差分低压信号结构所取代。电源通路也不例外，差分结构的电源更容易优化电源的传输效率和宽带 ULSI 的电源配送。功率传输设计的原理为进一步分析第 4 章和第 7 章中高级系统的电源完整性打下了基础。

3.1.4 噪声和电源完整性

通常将电源电压在时间上随负载电流变化而发生的变化定义为电源的噪声，如第 2 章所描述的，电源的噪声主要来源于阻抗和感抗上的压差。除此之外，传输噪声和谐振效应也会引起电源电压的变化。随着 ULSI 芯片的电源电压缩小到 1V 以下，理解其他因素对电源完整性的影响为设计最小化噪声起到了非常重要的作用。因此，设计鲁棒性电路和芯片时要留有一定电压裕度，称为“余量(headroom)”。

1. 电阻，电容，电感和 d*i*/d*t*

互连线的电阻可以简单地通过 $R=\rho\cdot l/a$ 计算得到，其中 ρ 为互连线材料的电阻率，l 和

a 分别为互连线的长度和横截面面积。衬底上形成的电阻通过方块电阻来表示，而不能通过厚度、表面的光洁度、势垒层等简单的表达式来表达。方块电阻是单位面积下的欧姆值，乘以内连线的长宽比即得电阻大小。芯片上的金属层的方块电阻 sheet-ρ 大约在顶层的 15Ω/□到底层的 40Ω/□之间，图 3-10 中长度为 l 的每条连线阻值为 $R=\square\cdot l/w$。

需要注意的是，图 3-11 中并未包括和周围连线所产生的寄生电容，也没有包括两条连线之间的互感。但是包括了连线单位长度所产生的电感，通过重新组合其中的部分单元，即将两个半电感值平均对称分布在两条连线上，得到如图 3-11 所示的等效电路模型，两条连线分别流入流出。为了简便起见，该模型假设两条连线之间是强耦合的，并且忽略它们与其他连线之间的耦合效应。

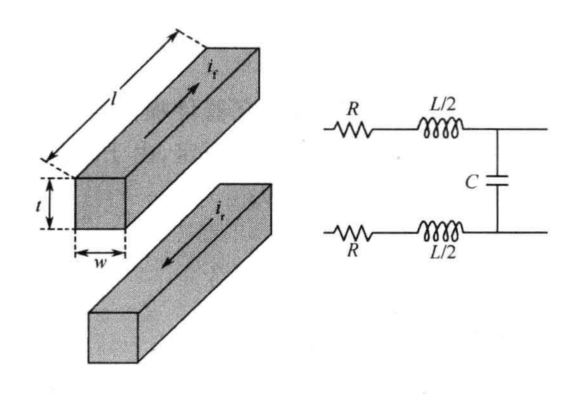


图 3-11　一对差分互连线的电气仿真模型

2. 电阻

两条电阻为 R 的连线均有电流，其阻值大小可以通过前面方块电阻的公式计算，当电流快速变化时，这种计算方式不再精确，因为存在如前面章节所讨论的集肤效应。当工作频率达到 GHz，甚者更高时，在高速同步的数字逻辑时钟边沿，其瞬态电流变化率可以超过 GA/s，或者 10^9 A/s。这么高的工作频率，铜的集肤深度可达 2μm。因此，需要更宽的连线承受这么大的电流，而连线越宽越易于产生集肤效应，此时等效电阻加倍，甚者更大，原因就是表面电流密度增加，表面的粗糙度起着非常重要的作用。由于上层的电源线通常会宽几微米，最容易产生集肤效应，低层的电源线为了更好地与逻辑单元匹配通常小于 1μm，在 GHz 工作频率条件下 di/dt 电阻增加不明显，需要注意的是，流入 CMOS 电路的瞬态电流持续时间仅为信号或时钟的上升或下降的时间，远远小于时钟周期。然而，时钟频率和三阶甚至更高的谐波通常决定了受频率影响的电阻和电感值的大小。

因此，必须测量流入电源网络各个部分电流的频谱来提取出精确的电阻值。片上噪声通常是由电阻和电感共同影响产生的，如前面所述，电阻的影响为主，当考虑集肤效应时，整个功率传输线的电阻就不能再认为很小了。

3. 电感和 di/dt

片上互感已经研究很多年了[11,12]，大家希望能定义一个交越频率，或影响互连线延迟的互连线电感的工作频率点。也希望能建立一个与连线长度和信号上升(下降)沿相关的分布式 RC 或 RLC 的精确模型。以前提出的部分元件等效电路(Partial element equivalent circuit,

PEEC)模型，一种对不确定内联分布状况的电感表示法，虽有发展，但由于器件数量多对仿真时间有需求，未被广泛采用。将单个电感简单地表示为环电感，在一个电路环中计算其自感和互感，简化了仿真模型。但是仍然没有确切地表明在电源完整性分析时，什么时候应该考虑电感的影响。

如 2.2.1 节所述，比较 RLC 和 RC 传输信号，采用电感可以减少 40%(从 $5RC$ 到 $3RC$)的建立时间，不过，当建立时间小于工作频率相关的时钟周期时，或信号延迟主要由门电路的传输延迟决定时，不再需要提取互联线的电感来模拟仿真。这不属于信号和波形传输，尤其是噪声通过芯片电源网络的传输延迟或研究噪声在宽的互连线，如比典型内联信号传输的等效电阻小的电源总线传输的情况，具有快速变化的总线电感上的瞬态电流变化会产生明显噪声。这会增加电阻上压降，即工业上所说的动态压降，随着 ULSI 向大电流和高频率不断发展，电源完整性越来越受到关注。

随着 ULSI 中晶体管尺寸一代代地缩小，研究器件噪声性能的变化非常重要，考虑如 2.1.2 节所述的恒场按比例缩小，假设芯片面积保持恒定，由于单位面积功率按比例 1 缩小，面积乘以相同的因子，则 $L \cdot \mathrm{d}I/\mathrm{d}T$ 的缩放比例为：

芯片功耗 P 缩放比例	1
因为电压 V 缩放比例为 k，电流 I 缩放比例为 P/V	$1/k$
延迟时间 CV/I 缩放比例为 k，或 $\mathrm{d}t$ 缩放比例	k
因为等效长度 L[①] 缩放比例为 1，$L \cdot \mathrm{d}I/\mathrm{d}T$ 缩放比例为	$1/k^2$

对于缩放比例为 $1/\sqrt{2}$的恒电场按比例缩小的下一代工艺，电感的压降或反相变化的电流加倍，在 2.3.1 节中，电压降低与功率传输中滤波电路阶跃激励或电流变化下的压降截然不同。电压降低是受到了容性和感性电抗的影响，由式(2-13)所示：

$$\Delta V=\Delta I\sqrt{\frac{L}{C}}$$

假设电流瞬态变化量 ΔI 缩放比例和 I 的缩放比例一样，芯片的电容缩放比例为 $1/k$，按恒电场按比例缩小理论，V_{droop}缩放比例大约为$\frac{1}{k}\cdot\sqrt{k}=\frac{1}{\sqrt{k}}$。

分析例 2-1 中$\sqrt{2}$缩放，V_{droop}因工艺的变化和尺寸减小 k 倍，或 ΔV 正比于$(1/k)$。

不管是恒定功率密度还是恒定功率，随着 ULSI 芯片一代一代的缩小，V_{droop}持续上升，缩放因子通过电源电压的减小来实现，电源完整性的缩放比例为 V_{droop}与电源电压之比，因此缩放比例呈指数增长，为 $1/(k\sqrt{k})$。

片上的集成电容 C，决定了功率传输 PCB 系统中最高频率时的 V_{droop}。电源网络是进入芯片内部进行功率传输的主要通路，电源网络通常设计成几个单独的网络，每个网络的连线或总线都较宽，其顶层比底层的电阻小，如前所述，这样容易产生集肤效应，而使集肤电阻增加，这个在简单的 V_{droop}公式中并未体现。在片上电源系统模型中把电感考虑进去非常重要，因为电容在芯片中是个分布式电量，它使得电流以有限的速度流动。纯电阻网络好似无实体存在，电流以无限的速度从芯片的表面或假想点或集总电容流过。因此，这样的近似对于片上电源经历多个时钟周期的不同行为很不精确。

---

① 芯片面积保持一样，封装形式和整片电源配送和分布也一样，因此封装电感和片上电源线通路电感也保持恒定。

因此,我们将电源配送实体系统中的所有的电磁现象定义为总的电源完整性(total power integrity),以便与传统的 PI 近似分析方法加以区分。分析工具和例子如前所述。

4. 电容及系统级影响

ULSI 由晶体管组成,因此包含由栅氧化层电容、漏源电容、结电容、连线和器件端的电容。其中一些电容会影响其功耗和瞬态电流,大部分集成电容以连接到电源轨的等效电容的形式减小电源噪声。这是因为一般工作状态下,数字电路中并不是所有节点都同时开关,那些未进行开关的休眠节点像电阻一样连接在电源轨或者地,那些未进行开关的休眠节点的输入电容在数字电路里起到电源滤波的作用,与信号上升下降时相比,可认为其时间恒定。

有人认为 ULSI 芯片中的活跃因子仅为 0.15,即仅有 1/7 的器件在同一时间处于开关状态,因此余下的部分足以保持电荷的恒定,而不会明显的降低电源的完整性(称之为电荷充分理论)。但是,直观的结果却与这种看法相反,即活跃的器件只消费 1/7 的全部电荷,以此会导致 14.3%的电压变化,这个变化量超出集成电路中设定的 10%的限制。其次,看到的并非人们所认为的那样,电荷足够让全芯片电容立即出现在临近想要电荷的地方,也就是说能够在需要的时候满足电荷需要。开关动作中电荷的需求发生在、甚至可能是来自于临近电容元件的信号转换的瞬间和响应延迟时间,可能与信号升/降时间有相同的时间量级。通过电阻连接到电源轨的电容,在节点开关的正常过程中,表现出相同的传输延迟。注意,作为电容的集成晶体管,其带宽由有效的沟道电阻决定,尽管数字电路中通常取最小的沟道长度,能对 IC 的转换电流进行高频旁路,但是其带宽仍然是有限的。距离需要充电的地方越远的电容,由有限信号传输时间决定而需要更长的延迟时间,如前面所述,延迟时间取决于环路电感值。所以不管活跃因子多低,数字电路中都要通过增加大带宽的电容来进行同步开关,因此要强调电容空间分布①和低的环路电感或电源差分连接对于电源完整性的重要性。

根据“电荷充分理论”,可以通过增加电容的方式来自动补充所需增加的电荷,或随着工艺尺寸的减小,更多的电荷消耗不会降低电源的完整性。因此假设点电荷或电流的需要,采用相同的电容,可得到电压的变化量 $\Delta V=I\cdot T/C$。不考虑这些假设,因为恒电场按比例缩小定律下,I 和 C 的缩放比例都为 $1/k$,因此虽然 V 缩小 k 倍,但是 ΔV 却保持不变,降低了电源完整性。换句话说,电压的缩小比例只是 $1/k$。“电荷充分理论”还认为 T 也应该随着工作频率的缩放而变化,然而因为 T 涉及所有组成部分的响应时间,这个响应受到电容和功率传输网络的影响。并不是简单的以一个缩放比例进行变化。考虑整个功率传输网络,包括了延迟响应,如式(2-13)所示,V_{droop}或 ΔV 的缩放比例与功率传输网络的电阻成比例,而不依赖于缩放系数 $1/\sqrt{k}$。电源完整性下降 $1/k\sqrt{k}$,换句话说,如果周围有可用电容,局部的电荷需求导致的 V_{droop},如式(2-13)所示,尽管功率密度保持不变,随着工艺尺寸的缩小,V_{droop}持续上升。正如参考文献[8]和 2.3.1 节描述的,电源完整性的缩放比例按指数形式降低,这对供电部件提出了更高的要求。

需要指出的是,ULSI 芯片中的电荷分配和消耗都是呈分布状的,目前工艺下,电容的密度大约为 4.5μF/cm²,其中栅氧化层的面积占芯片面积的 5%。电感的密度大约为 2.5nH/cm,电源总线占了 1cm×1cm 芯片面积的 1/40,一个波动信号通过整个芯片需要 3.75ns。在 1GHz 的工作频率下,这大概是 3.75 个时钟周期,这样的芯片不再是点电流源或

① 芯片内的电容根据瞬态电流的需求进行逻辑分布。

者集总电容，因为空间中的一个点不可能包括这么长的波长，电源网络也不再是一个等效的RC网络。

图3-12是一个简单的集总功率传输网络的仿真结果。极小管芯或芯片集成电容的片上电容加倍时，根据式(2-12)，V_{droop}和振荡频率都减小。

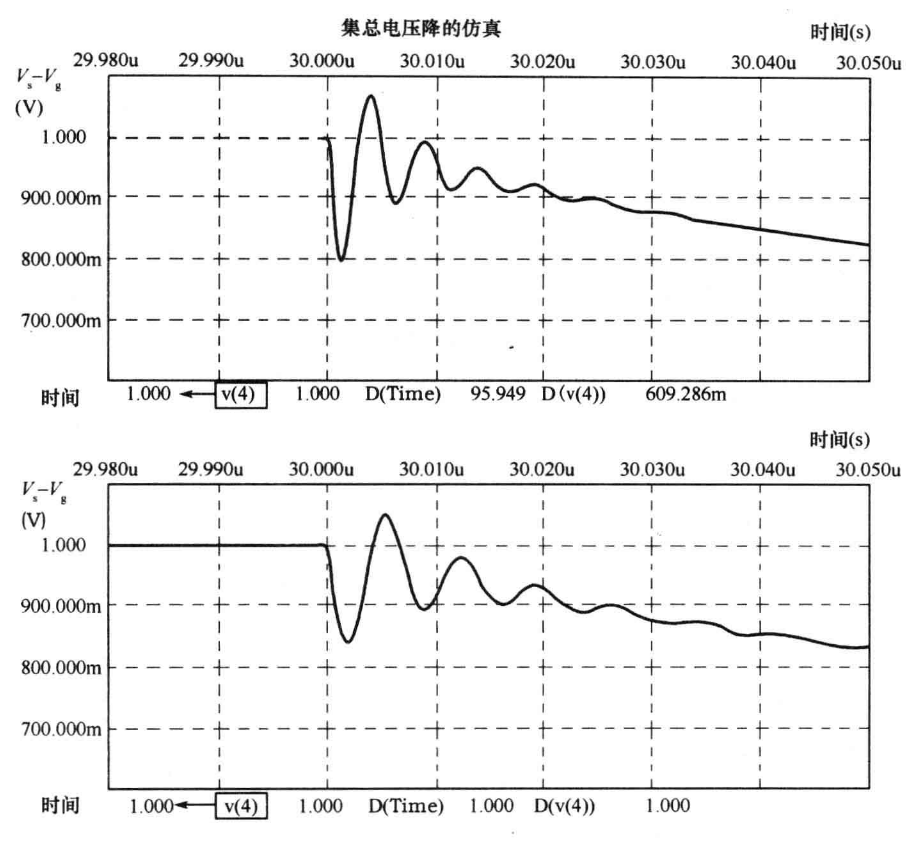


图3-12　片上电容加倍对V_{droop}幅值和频率的影响

图3-13给出了利用Altera Stratix III系列的FPGA芯片做功率传输网络的频域和时域仿真结果，频域仿真显示，通过减小电源通路的电阻和增加每个I/O口或者输入输出端口的片上电容，使得产生的瞬变电流噪声能满足要求，宽带宽的片上电容在高频时起主要作用，增加合适的封装电容，使得在最大阻抗处会出现振荡，并且有必要串联电阻来减小电源配送网络中的等效阻抗。可以发现明显的将传输噪声减小到了可接受范围内(图3-12中0.01μF OPD，50pF I/O ODC)。片上集总参数模型通过相关噪声得到了验证。

不过，电源完整性按指数规律下降的话，ULSI芯片再也不能通过集总电流源或电容来近似，先进的计算机辅助设计(CAD)工具可以提取出物理级芯片的R,L和C的值，设计、建立SPICE仿真网表。提取出来的网表包含大量的元件及其相互间的连线。这取决于提取的精度[①]，因为物理结构的每一段都包括了R,L和C，常形成附加器件以表示和邻近段的相互作用，随着ULSI芯片线宽的进一步缩放，仿真的复杂性也增加了。[②]

① 列出有源和无源器件的连接形式，作为仿真工作的输入。

② 专用于集成电路的仿真软件，由加州大学伯克利分校开发，能仿真电路对电压、电流、温度等激励的响应。

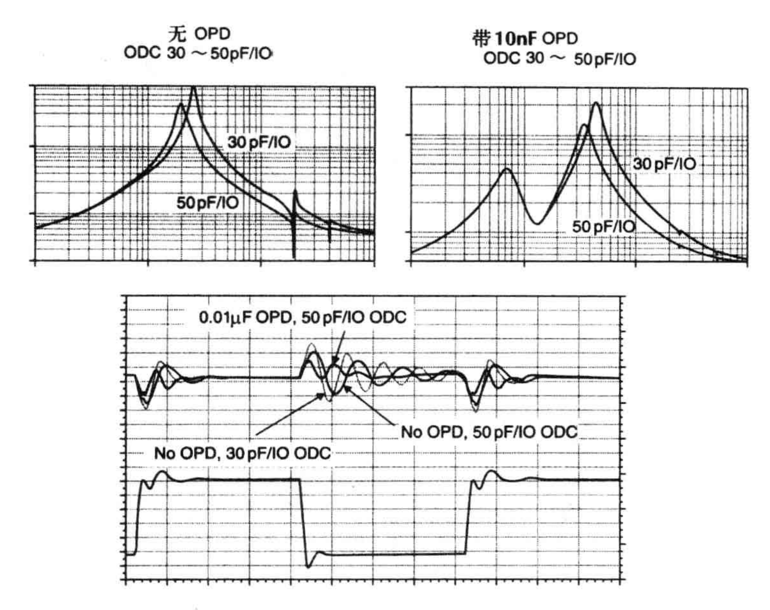


图 3-13 FPGA 内电容和封装电容对频域和瞬态响应的影响
ODC 是片上去耦电容(on-die decoupling),OPD 是封装电容(on-package decoupling)

3.2 优化芯片的功率传输:片上电感和网格设计

片上电源/地网络分析时通常考虑封装、焊线的电感、连线电阻和晶体管/结电容所带来的影响,相反,片上连线电感和封装、焊线电感相比可以忽略。此外,低频时,电抗主要由电阻决定,但是一些诸如倒装晶片封装的低寄生电感封装技术逐渐流行起来。随着时钟频率的增加,电源的噪声包括很多高频分量,电感的电抗 ωL 增加,不可再被忽略。将来高速电路的电源/地分析需要考虑片上电感的影响,但是什么情况下必须考虑片上电感的影响尚不清楚。

本节基于一个典型的例子,讨论考虑带片上电感的电源/地网络的行为,并定量计算它们影响[13,14]。关注功耗分布和去耦电容的位置,得出在什么条件下必须考虑片上电感的影响。证明去耦电容位置对减小片上电感的影响,及如何减小电源噪声。最后讨论电源网络的栅距设计、电源/地线面积和电源地线之间间距对电源噪声的影响。

3.2.1 片上电源网格分析的等效电路模型

因为片上系统分配网络往往非常大又非常复杂,通常通过一个简单的等效电路模型来分析,用于分析的电源网格结构如图 3-14 所示,同一层的电源线和地线相互平行,图 3-15 为一个通用的等效电路模型[11]。片上电源/地线模型通过集总电阻、自感、互感和电容来建立。逻辑门内的结电容和栅电容通过 MOS 管的导通电阻将电源和地连接起来,包括阱的结电容。电路工作时的负载电流可以用一个电流源来模拟,对硅衬底建模时,电阻网络和地线是连在一起的[15],尽管图 3-15 中并未标出衬底模型。片上电感取决于连线的结构尤其是连线的长度,一对 10μm 宽的电源/地线走线长度为 100μm 时的自感为几百 pH/mm,从 PCB 向芯片供电的 I/O 口常用电感和电阻串联等效,该电路模型与绑定线和封装连线模型一致,当分析片上功率传输系统网格时,往往把片外电源视为理想的电压源。

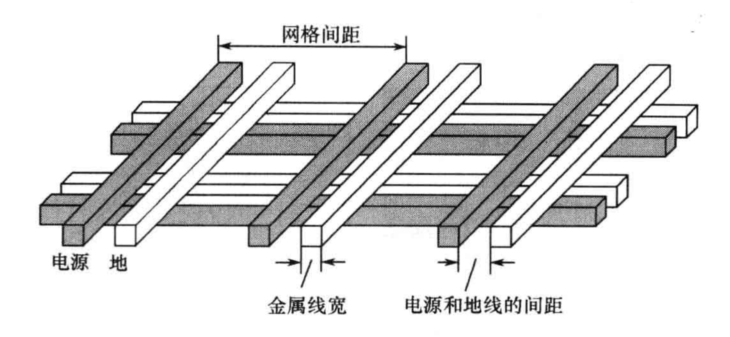


图 3-14　片上电源网格结构[14]　© 2005ACM,Inc.

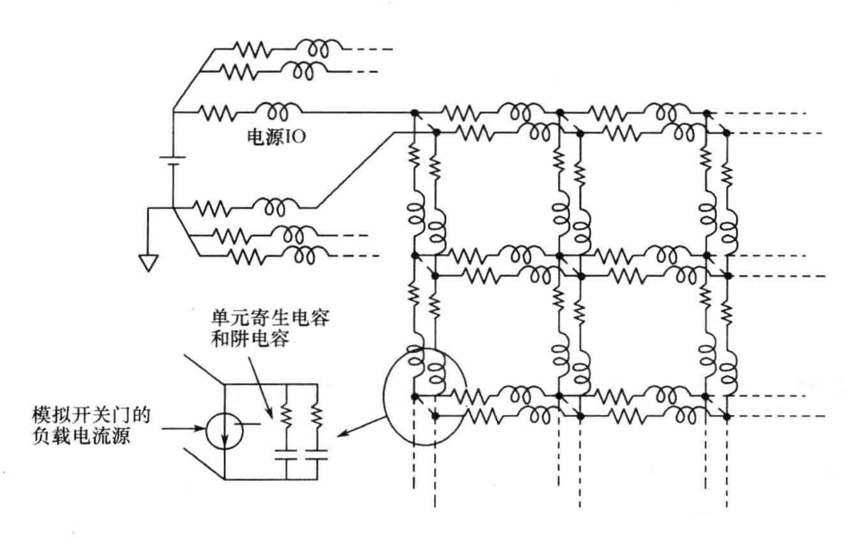


图 3-15　片上电源配送网络系统的简单模型[14]　© 2005ACM,Inc.

全 PEEC 和简化的 PEEC

带片上电感电路和不带片上电感电路相比,仿真时所需的时间更长。因为考虑了所有互感的电路 PEEC 等效模型中电感矩阵太密集,分析功率传输网格的大小受到了限制,因此提出了一种考虑了很多电感的简化电路模型(参考文献[17]给出了该简化模型概况)。

这里作为一个例子,给出了简化的电路模型存在的误差。当一对电流环形成封闭回路时,电源/地线的耦合电感,可以通过它们之间的自感 L 和互感 M 来去耦,其中 0、L 和 M 为它们去耦前的值。图 3-16 给出了采用 PEEC 模型和去耦模型中的噪声波形,所采用的实验条件与 3.2.3 节描述的一样,没有加上去耦电容。尽管和不均衡电流分配相比有些不同,但是由于误差不大却可以节省 98%的时间,因此去耦模型还是在下面的一些实验中得到应用。

在下面 3.2.2 节和 3.2.3 节的分析中,没有去掉任何互感,精确地考虑了片上电感对系统的影响。而 3.2.4 节采用了一种简化技术来分析更精确的电源网格。

3.2.2　负载电流的斜率和电容位置对噪声的影响

为了更清楚地理解片上电感对电源噪声的影响,本节讨论单电流源的功率传输网络。

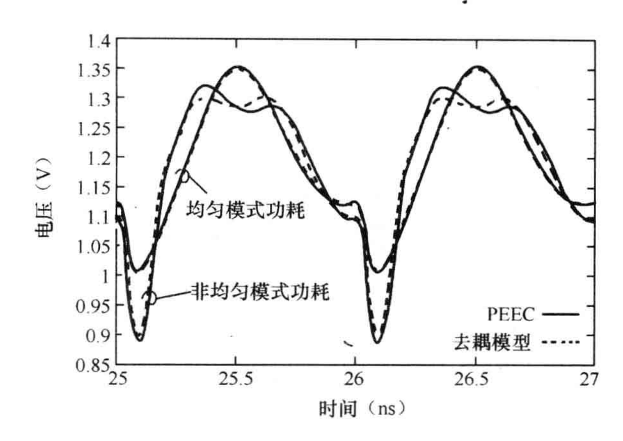


图 3-16　PEEC 和去耦模型比较[14]　© 2005ACM, Inc.

1. 电流斜率与噪声大小

先考虑负载电流斜率(di/dt)对电源的影响。图 3-17 中，通过改变负载电流转换的上升时间 T_r，估算 0.13μm 工艺下电源噪声的大小。分析用的电源网络为：芯片面积为 2×2mm²，连线材料为金属铝，电源线距离为 100μm，连线宽度和厚度分别为 10μm 和 1μm。地线和电源线参数一致。基于几何距离方法(geometrical distance，GMD)可计算得到了包含了所有互感的全 PEEC 模型中平行连线之间的自感和互感[18]。电源线的部分自感为 585pH/mm，电源电压为 1.2V，有 9 对电源/地 I/O 单元的电感和电阻分别为 0.5nH 和 1Ω，假设芯片的逻辑门(与非门)电路占了芯片一半的面积，它们的栅电容连接在电源和地之间，硅衬底不做考虑，负载电流源置于芯片的中间，电流由面积为 3000μm² 的与非门的开关产生。电流的转换时间 T_r 分别设为 50ps、66ps 和 100ps。当 T_r = 50ps 时，峰值电流为 32.8mA，假设系统中门电路同时转换(最坏情况)，实际上芯片会在一个周期分开栅的开关时间，但仍以最坏情况考虑。先进工艺中，工作速度越快，电流的尖峰越明显。

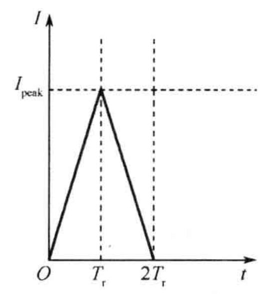


图 3-17　负载电流的三角波形[14]
© 2005ACM, Inc.

图 3-18 为带片上电感和不带片上电感的仿真结果。不带片上电感时，电源波动不随 T_r 的变化而变化。而片上电感影响了电源波动的大小，产生了从 5.6mV、10.3mV 到 16.4mV 的峰值，几乎与 T_r^2 成反比，这种情况下，只有小部分电路消耗功耗，而此时芯片中的大量去耦电容起了作用。但是电流源附近的去耦电容还是不够，片上电感的存在会引起额外的电压波动。

2. 去耦电容的大小和位置

接下来，通过电路仿真估算网络中去耦电容对噪声抑制的影响。结果如图 3-19 所示，其中去耦电容分别位于负载电流源处和距离负载电流源 100μm 处的两个不同的地方。

将去耦电容置于负载电流源处时，68.4pF 的电容就足以抑制电源的波动。68.4pF 的电容对应面积为 5000μm² 的 MOS 门电路。因此当去耦电容置于负载电流源处时，电源的波动得到了很好的抑制，而当去耦电容置于距离负载电流源 100μm 处时，去耦电容不能有效地抑

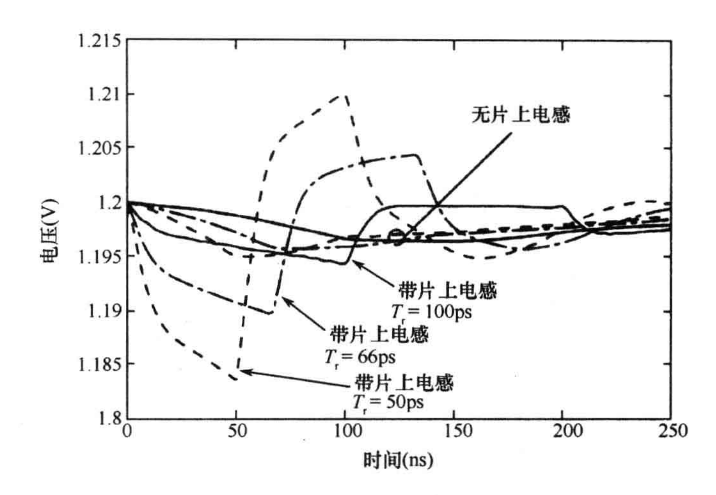


图 3-18　不同的 T_r 下带片上电感和不带片上电感对应的电压波动[14]　© 2005ACM，Inc.

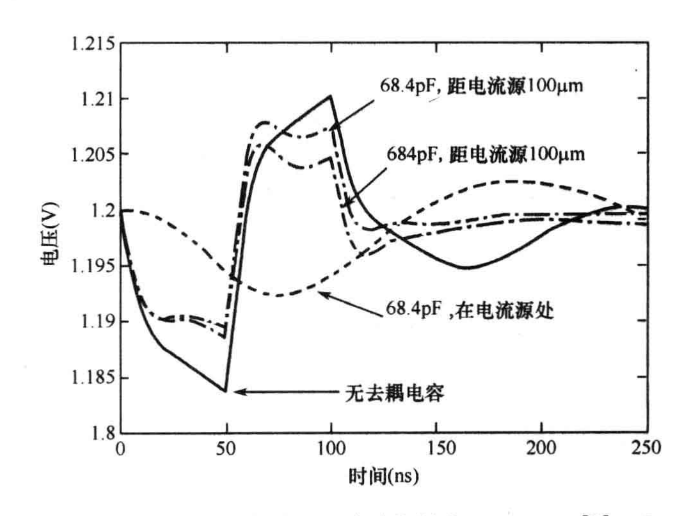


图 3-19　去耦电容与负载电流源距离对电压波动的影响(T_r=50ps)[14]　© 2005ACM，Inc.

制电源的波动，即使去耦电容增加到 684pF(此时电容已经不能集总在网络中)还是不能有效地抑制电源的波动。

3. 对电流的斜率与电容位置的定量分析

让我们来定量验证上节的仿真结果。片上去耦电容的影响取决于电源/地线的电感、去耦电容的寄生电阻、负载源和去耦电容之间电源/地线的电阻，图 3-20 是包括了去耦电容和电流源的功率传输局域网络的简化等效模型。尽管图 3-20 不能完全模拟整个电源网络，为了理解局域电源供电机制，还是采用了图 3-20 所示的简化模型。其中包括了电容的电抗 Z_{eff}(由线电阻 R_{line}、电流源与电容之间的电感 L_{line}组成)，去耦电容的串联电阻 R_{decap}，当负载电流为图 3-17 所示的三角波时，电抗 Z_{eff}变为

$$\frac{dI}{dt}=\frac{I_{peak}}{T_r} \tag{3-15}$$

$$Z_{eff}=\frac{L_{line}}{I_{peak}}\frac{dI}{dt}+R_{line}+R_{decap}=\frac{L_{line}}{T_r}+R_{line}+R_{decap} \tag{3-16}$$

式中，T_r 为负载电流源的上升时间，I_{peak} 为负载电流的峰值，如果去耦电容足够大，使得电容上的电压保持恒定，则最大的压降可表示为

$$V_{drop}=I_{peak}Z_{eff}=L_{line}\frac{I_{peak}}{T_r}+(R_{line}+R_{decap})I_{peak} \quad (3\text{-}17)$$

片上电感构成了 V_{drop} 的第一项，此项还包括了上升时间 T_r，因此电压降落 V_{drop} 由 I_{peak} 和 T_r 共同决定。

线电阻 R_{line} 和电感 L_{line} 与电流源和电容之间的距离成正比，因此随着它们之间距离的增加，去耦电容的影响变小，如图 3-19 所示。也即，考虑片上电感或开关速度越快时，去耦电容的位置必须离负载电流源更近。

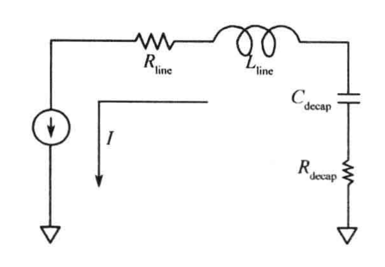


图 3-20 电源线和去耦电容的等效模型[14]

与图 3-18 一样，当开关管的数目和尺寸不变，即平均消耗功率一定时，I_{peak} 和 T_r 的乘积保持不变，I_{peak} 与 T_r 成反比例关系。当 T_r 较小时，由电阻决定的 V_{drop} 与 T_r 呈线性关系，由电感决定的 V_{drop} 与 T_r^2 呈线性关系。准确来说，R_{line} 和 L_{line} 与表面和电流环的频率有关，并且它们的关系更复杂。不过，此处的分析结果仍与图 3-18 所示的结果一致。

由式(3-17)得到，由片上电感引起的阻抗 L_{line} 与从电流源看过来的总的阻抗 Z_{eff} 的比值为

$$比值=\frac{L_{line}/T_r}{L_{line}/T_r+R_{line}+R_{decap}} \quad (3\text{-}18)$$

当假设去耦电容距离电流源 100μm 时，$R_{line}=0.36\Omega$，$L_{line}=117\text{pH}$，$R_{decap}=0$。当 T_r 为 50ps 和 100ps 时，比值分别为 0.87 和 0.76。这说明，负载电流上升越陡或 T_r 越小，片上电感的电抗占总电抗的比例越大。考虑这里讨论的目的主要是为了利用局部等效电路定量分析片上电感的影响。因此，上述大量实验并不能完整代表整个电源网络供电噪声的行为。但是，这个简化的模型可以直观地得出去耦电容与负载电流源之间距离对电源噪声的影响。

4. 频域范围内去耦电容位置的分析

此处，采用图 3-20 的等效模型，将去耦电容置于距负载电流源 100μm 处时，显示了频域内噪声受电容的影响。去耦电容 C_{decap} 为 68.4pF。图 3-21 给出了频域内从电流源看到的电抗值。在频率低于 2GHz 时，100μm 处的电容起到去耦的作用，而当频率高于 2GHz 时，起不到去耦的作用。原因在于片上电感引起的阻抗与频率成线性关系，并且与其他元器件相比逐渐起主要作用。此结果说明噪声主要体现在 2GHz 以上的高频情况，此时去耦电容必须放置离负载电流源邻近的地方。图 3-22 所示为图 3-19 所示整个电源网络总的电抗，其中，没有考虑去耦电容寄生的串联电感。从中可以看出，当频率低于 2GHz 时，置于距负载电流源 100μm 的 684pF 大电容可以减小从电流源看到的电抗，而频率高于 2GHz 时，大的去耦电容并不能减小电流源处看到的电抗，而小的电容反而能做到。

3.2.3 电源网格功耗分布分析

上一小节讨论的是带单个电流源的功率传输网格的行为，然而实际芯片中往往有多个负载电流源同时工作。本节着重讨论每个电路模块开关动作、去耦电容的大小和位置变化时的功耗分布及电源噪声的变化。

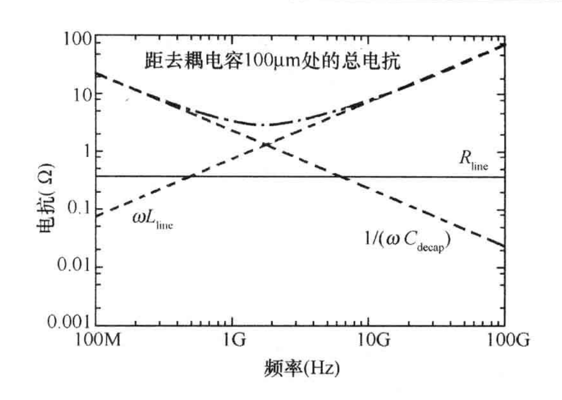


图 3-21 从图 3-19 电路中计算的电流源看到的于负载电流源 100μm 处的去耦电容的总电抗
其中，R_{line} = 0.36Ω，Cdecap=68.4pF，L_{line} = 117pH，and R_{decap} = 0[13].

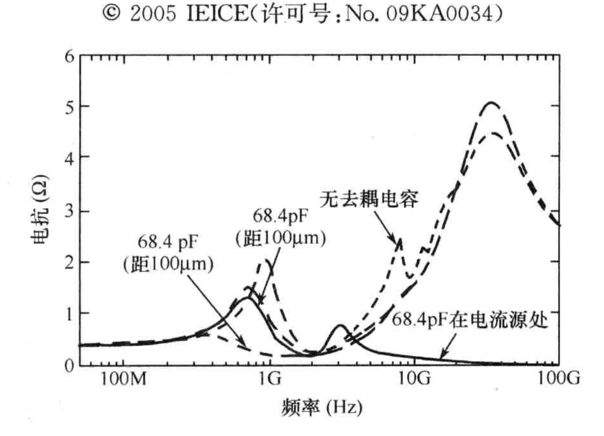


图 3-22 从电流源处看到的电抗[13].

考虑一个 0.13μm 工艺下类似芯片的模型，电源线之间的距离为 300μm，线宽和厚度分别为 30μm 和 1μm。地线和电源线的连接相似。电源网格大小为 20 × 20，芯片面积为 6×6mm^2。电源有 100 对电源 I/O 口，每个电源 I/O 口的电感和电阻分别为 0.5nH 和 1Ω。

负载电流源放在模拟的工作电路的电源网格的连接处，以近似负载的连通性。时钟频率为 500MHz，如果负载电流在时钟的上升沿和下降沿都跃变，则负载电流源的频率相当于 1GHz，电流源的转换时间为 50ps。芯片的仿真条件如下：(1)各节点的功耗相同(均匀分布)；(2)芯片中心各网格点的功耗是外围网格点功耗的 5 倍(非均匀分布)。在第一个条件下，20%的晶体管在转换。第二个条件下，芯片中心网格的 50%的晶体管在转换，而外围的仅有 10%在转换。两种情况下，整个芯片的峰值电流都为 590mA。

1. 无去耦电容的情况

片上电感同样受到电流源(或功耗)分布的影响，图 3-23 和图 3-24 均为无去耦电容的情况。如图 3-23 所示，均匀分布下不考虑片上电感时有 10%的电压误差波动。图 3-24 所示为非均匀分布时的影响，误差大约为 35%，这已经超出电路设计中所能接受的范围。

图 3-25 给出了解释，负载电流在每个节点相同时，各个网格交接处来自电容的电流相同，考虑片上电感时，流向各个网格分支的电流很小，因此均匀分布时，片上电感对电源波动的影

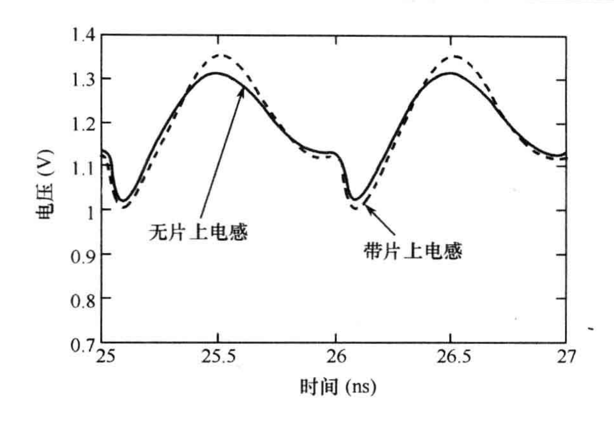


图 3-23　芯片中间网格的电压波动(均匀分布时)[14]　© 2005ACM, Inc.

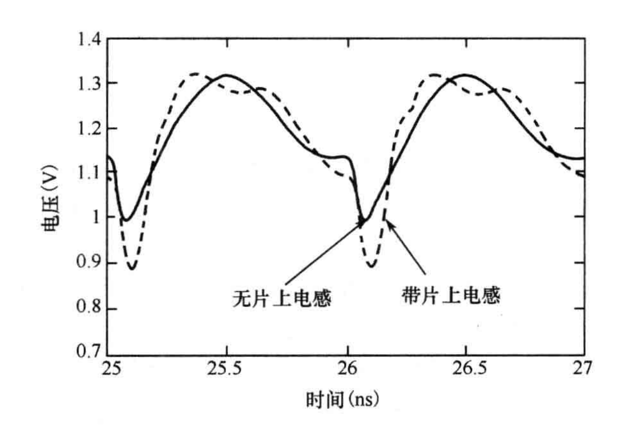


图 3-24　芯片中间网格电压波动(非均匀分布时)[14]　© 2005ACM, Inc.

响很小。非均匀分布时,如果不考虑片上电感,几乎所有的电容均抑制电源波动,而考虑片上电感时,距离电流源远的电容抑制电源波动的能力变弱。

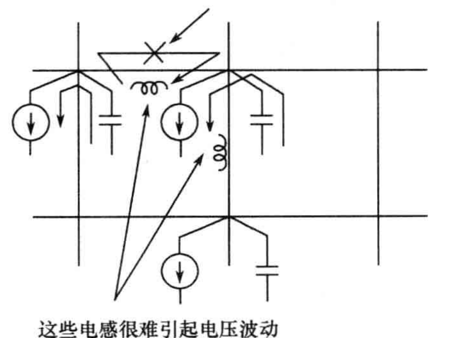


图 3-25　负载电流非均匀分布时电源波动不受片上电感和去耦电容影响的原因

总之,当功耗均匀分布时,不考虑片上电感时的误差也很小,反之,当功耗分布不均匀时,不考虑片上电感时存在很大的误差,ULSI 中的功耗的分布通常是不均匀的,因此在电源完整性仿真时必须考虑片上电感所带来的影响。

2. 带去耦电容的情况

现代 LSI 的功率传输网格中包含了大量的去耦电容。这里，根据简单模型计算出那些所需电容的大小[19]，人为地加入到电源网络中，并由此估算电源噪声。

首先计算将电源波动限制在 10%之内的去耦电容的大小，然后对电压波动影响为 20%，50%，100%的去耦电容的三种功率传输系统进行仿真。去耦电容分别通过如下两种方法放置。一种是均匀地放置在芯片中(均匀放置)，换句话说，这种放置方式不考虑芯片的功耗分布，但可插入芯片级电容。另外一种是在大负载电流源附近放置大的去耦电容(自适应放置)。两种方法放入芯片的去耦电容大小相同，接下来观察随去耦电容的大小及位置变化引起的片上电感对电源波动的影响。

可以通过如下的办法来计算所需的去耦电容[19]。去耦电容 C 的大小必须满足在最大纹波时，能在半个周期内完成充放电，即 $Q=I_{peak}\cdot T_r/2$，因此

$$C=\frac{Q}{\Delta V} \tag{3-19}$$

根据上面的公式，如果采用均匀放置，需要在每 400 个网格中插入 12.3pF(相当于 $1000\mu m^2$ 的栅面积)的电容。如果采用非均匀放置，需要在每个网格中插入 6.15pF 到 30.7pF 不等的电容。

图 3-26、图 3-27 所示分别为均匀放置和非均匀放置时的电源波动，当根据负载电流源的大小插入足够大的去耦电容时(图 3-27 中 100%的大小)，片上电感对电源波动的影响很小，而当去耦电容较小时，片上电感对电源波动的影响较大，从图 3-26 和图 3-27 可以看出，去耦电容的位置对电源波动的影响也很大，即使去耦电容足够大，均匀放置时也不能很好地抑制电源的波动。

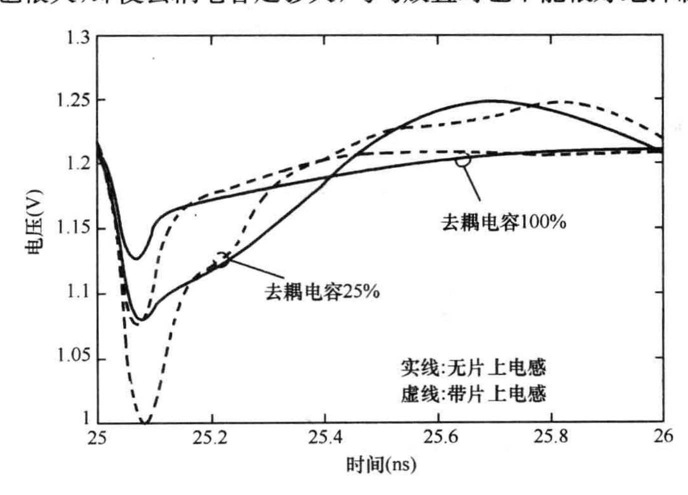


图 3-26 电压波动:均匀放置(在芯片中心)[14] © 2005ACM,Inc.

图 3-28 显示了去耦电容的大小与最大电压降落的关系，如果去耦电容均匀放置，当去耦电容增大时，电压降最小。如果去耦电容采用非均匀放置，去耦电容增大时，电压降也会减小，只是没有均匀放置时那么明显。为了抑制片上电感对局部 di/dt 的影响，未来根据功耗来选择插入去耦电容的位置会越来越重要。注意图 3-27 中电压峰值在去耦电容值增加 4 倍时，下降一半，与式(2-13)一致。

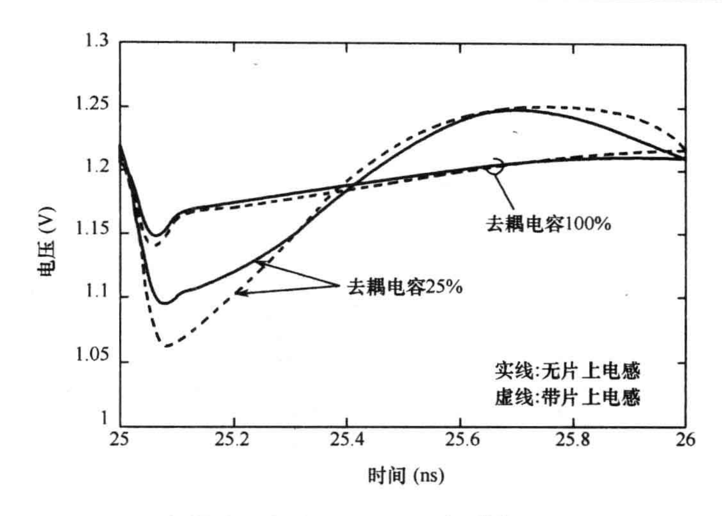


图 3-27　电压波动:自适应放置(在芯片中心)[14]　© 2005ACM,Inc.

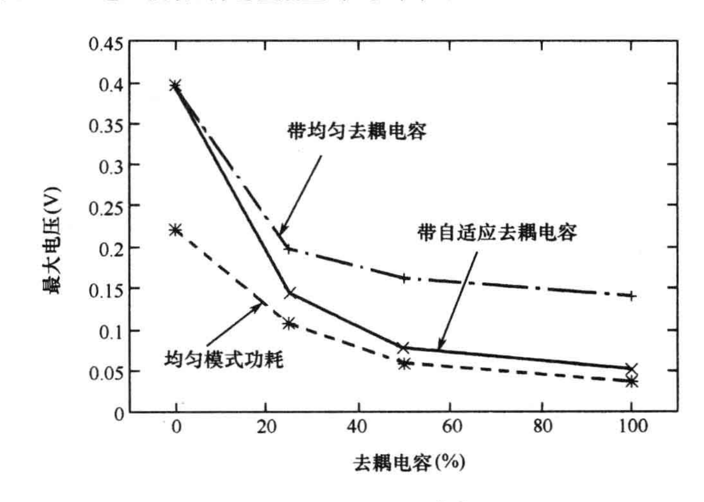


图 3-28　去耦电容大小与最大电源波动[14]　© 2005 ACM,Inc.

只要去耦电容对局部电流来说足够大,片上电感对电源波动的影响就可以忽略。这时,几乎所有的负载电流均来自于去耦电容,它意味着流到网格分支处的电流很小,因此片上电感的影响很小。此结果同上面讨论的一样(见图 3-25),只要正确地选取去耦电容的大小和位置,模型中可以忽略片上电感的影响,然而很难估计负载电流的大小,所以也就很难对去耦电容进行优化,这时,片上电感对电源噪声的影响是比较明显的。

3.2.4　带片上电感的电源网格的鲁棒设计

为了设计一个鲁棒的功率传输系统,本节讨论电源线间距、连线面积变化时,片上电感带来的影响(见图 3-14)。

1. 电源线间距和线面积

首先计算当线面积一定,电源线间距改变时的电源噪声。连线电阻由其面积决定,但是连线的电感却不与面积成比例,电源线距离从 50μm、100μm 到 150μm 变化时将电源噪声和前面一节中的 300μm 时相对比。连线和面积比为 20%,其中连线面积比定义为 2×(线宽)/(线间

距)。电源线和地线的间距为 10μm,其他的情况和上节的一样,图 3-29 和图 3-30 为电流源非均匀分布时的结果,尽管保持连线面积不变,当线间距从 300μm 变到 50μm 时,电源波动减小了 80%。

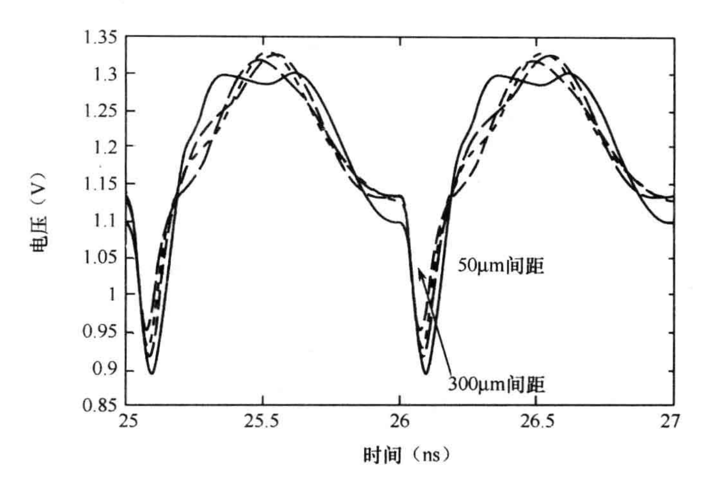


图 3-29 线间距改变时的电源波动[14] © 2005ACM,Inc.

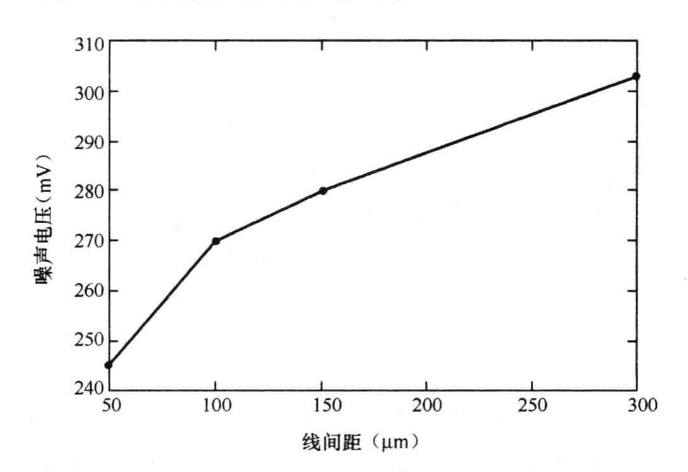


图 3-30 最大电压降落与线间距[13] © 2005 IEICE(许可号:No. 09RA0034)

接下来说明其原因,部分自感可以通过下式表示[20]:

$$L_{\text{partial}}=\frac{\mu_0 l}{2\pi}\left[\ln\left(\frac{2l}{w+t}\right)+\frac{1}{2}+\frac{0.2235(w+l)}{l}\right] \tag{3-20}$$

式中,l、w 和 t 为连线的长度、宽度和厚度;μ_0 为真空下的迁移率,通常情况下,电源/地线都满足 $l \gg w$,部分自感 L_{partial} 成了宽带 w 的弱函数,即 L_{partial} 受 w 的影响小。如果并联的电源/地线条数为 n_{wire},假设 L_{partial} 与 w 无关,则有效电感可近似表示为 $L_{\text{partial}}/n_{\text{wire}}$,降低网格间距可以减小等效电感。这就是为什么在好的电源网格下可以减小电压波动,如图 3-30 所示。

接下来改变电源网格导线面积,图 3-31 和图 3-32 所示是电源线间距固定为 300μm 和 50μm,线面积比为 20%、30%、40%和 50%时的仿真结果。图 3-31 表示电源线间距固定为 300μm 时的电压波动。图 3-32 所示为间距为 50μm 的情况。图 3-33 描述了考虑片上电感后,最大电压降落 V_{drop} 和线面积比之间的关系。图 3-31 中可以看出线间距较大时,考虑片上电感

时，线面积比从 20%提高到 50%可以减小 10%的电压变化，而不考虑片上电感时仅可减小 7%的电压变化。考虑片上电感时，噪声降低比更大。当线间距小时，不管是否考虑片上电感，噪声均下降 7%，如图 3-32 所示。

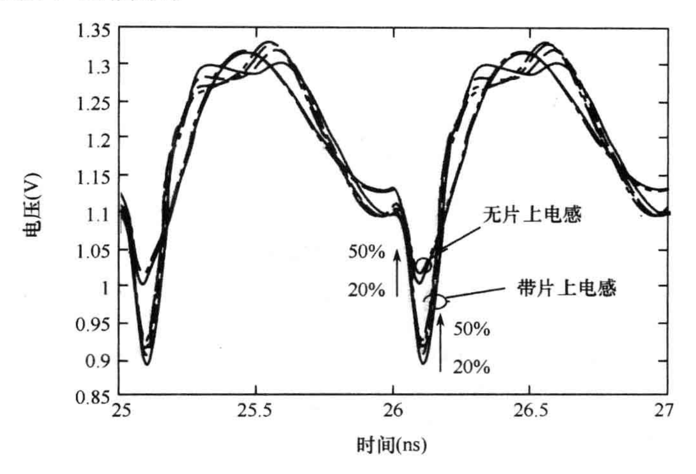


图 3-31　电源波动与线面积比(线间距为 300μm)[14]　© 2005ACM. Inc.

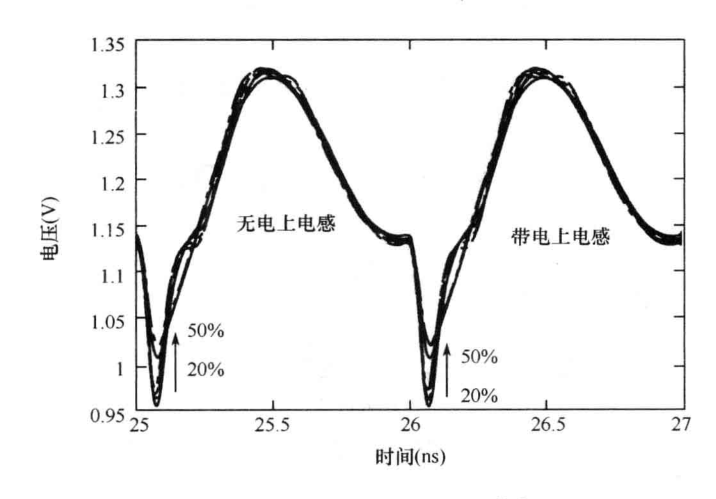


图 3-32　电源波动与线面积比(线间距为 50μm)[14]　© 2005ACM, Inc.

可以发现，小的线间距能更好地抑制电压波动。尽管增加线面积也能减小噪声，但是却不如减小线间距明显，因为增加线面积可以减小电阻，但是在大的 di/dt 或高频时，这个变化却不再明显，因为高频时片上电感决定了导线等效电阻，减小电阻对电压波动的抑制就不再明显。

2. 电源线和地线之间的间距

上面的结果都是基于电源线和地线之间距离很小而得到的。这也使得因电流环回路小而导致线电感很小[21]。下面估算电源/地线之间间距对电源噪声的影响。考虑电源线间距为 300μm 和 50μm，线厚度为 1μm，线面积比为 20%的情况，观察电源/地线之间间距为 2μm、5μm、10μm、30μm 和 120μm 时的电源波动，这里仅计算当电源/地线之间间距为 30μm 和 120μm，网格间距为 300μm 时的结果。

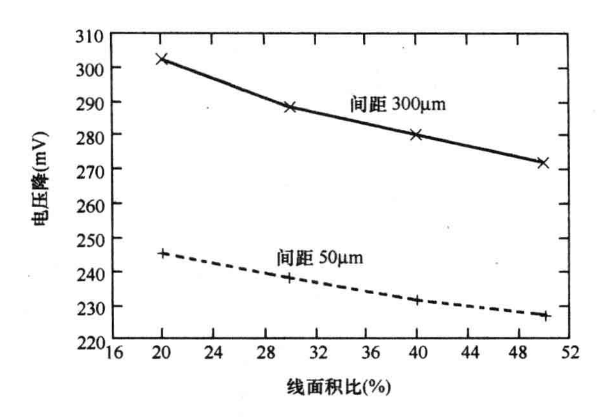


图 3-33 最大电压降与线面积比(考虑片上电感)[13] © 2005IEICE 许可号：No. 09RA0034

图 3-34 和图 3-35 给出了电源噪声的波形。图 3-36 描述了最大 V_{drop} 和电源/地之间间距的关系。线间距为 300μm 时，电源/地线之间间距从 2μm 变化到 120μm 时，电压噪声从 285mV 增加到 320mV，变化范围为±5%～6%；以及电源/地之间间距为 10μm 时的 303mV 的噪声电压相比，50μm 的线间距时的电压噪声下降了 8%（电源/地之间间距从 10μm 变到 2μm）。因为电压噪声不只与片上电感有关，还与封装电感、片上电容等有关。图 3-36 所示的最大 V_{drop} 并不是关于电源/地之间间距的单调函数，但是当电源/地之间间距很小时，电源/地线之间的耦合能力增强，因此电源/地之间间距越小，电压噪声越小。

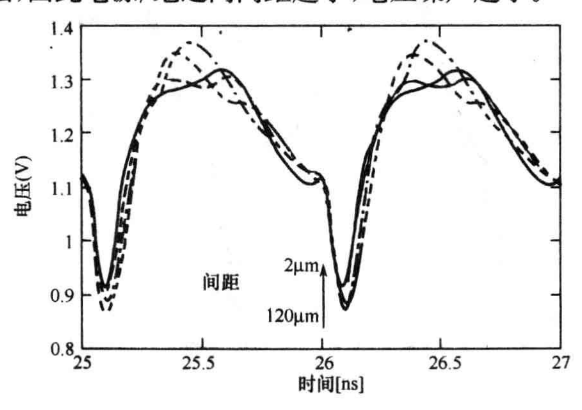


图 3-34 电压波动与电源/地之间的间距(线间距为 300μm)[14] © 2005ACM, Inc.

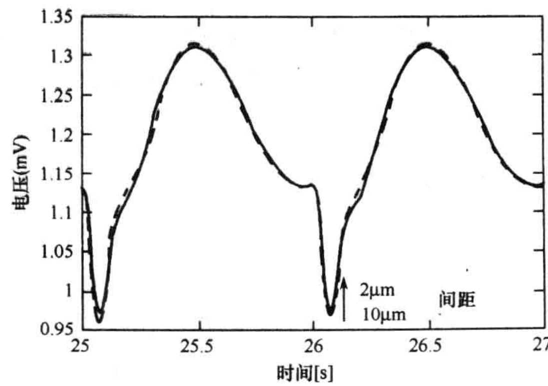


图 3-35 电压波动与电源/地之间的间距(线间距为 50μm)[14] © 2005ACM, Inc.

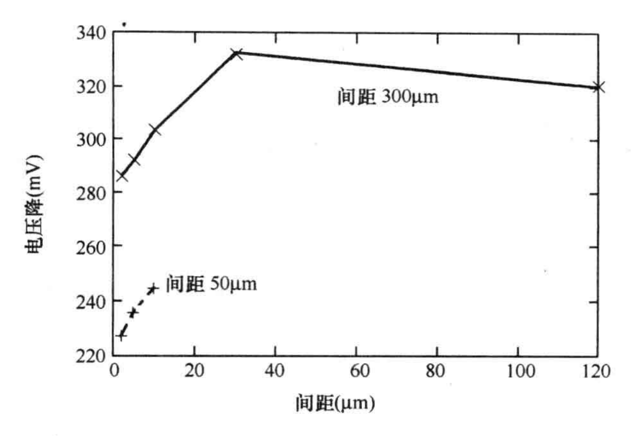


图 3-36　最大电压降 V_{drop} 与电源/地之间的间距[13]　© 2005IEICE(许可号：No. 09RA0034).

结果和预料的一样，电源/地之间间距会影响电源电压的波动，间距应该最小化以抑制电源的噪声。

3.3　电源网格成本因素的折中分析和设计

电源网格设计中最关心的因素是电源噪声和网格中线面积。其他因素如较大的延迟、低的器件驱动能力、低噪声容限等都是由电源噪声引起的。考虑阻抗和感抗，电源噪声还可以衡量电迁移率的可靠性，但主要是受大的电流密度和网格振铃电压的影响。网格占用的金属面积直接影响成本，因为它减小了电路信号通路的可用面积，早期设计时，主要考虑如何得到小的电阻和金属面积，而次要考虑网格宽度(或者电源网格的位置)。比如通常采用面积较大的连线来获得小的电阻。但是随着片上网格电感对高频电源噪声的影响，网格设计考虑得更多，因此在电源网格设计之初就需要在众多因素中权衡折中[22]。

3.3.1　功率传输网格设计的成本因素

1. 电源网格电感

当考虑电源网格的电感时，图 3-14 所示的电源线必须仔细设计，因为每一对电源/地线距离很近，它们之间的耦合效应较强，而与毗邻的电源/地线对之间由于距离较远，因此它们之间的耦合作用较弱。成对的电源/地线提供了较近的电流回路，也即电流回路的面积和电感都很小[23]，这个结构给出了最小网格电感，且电感随连线的宽度及长度的变化呈线性地变化[21]，通过下面简单的公式可以相对精确地估算连线的电感，即

$$L_{grid}=0.004l\left[\ln\left(\frac{S}{W+T}\right)+1.5\right]\frac{P}{W_g}\quad \mu H \tag{3-21}$$

式中，S 是两个成对的电源/地线之间的间距；P 为网格间距(也即两对电源/地线对之间的间距)；W 为每根线的的宽度；T 为金属层的厚度；l 表示电源网格的长度(单位为 cm)；W_g 是网格宽度。

电感的压降与电源网格上电流的变化率成正比，最坏情况下电感的噪声为

$$N_L=\frac{[L(di/dt)_{peak}]+[L(di/dt)_{peak}]_{package}}{V_{dd}} \tag{3-22}$$

为了得到电流变化的最大值$(di/dt)_{peak}$，假设一个如图3-17所示的三角开关电流波形，电流从0到最大值$(di=I_{peak})$所需时间为T_r。

2. 电源网格电阻

电源网格的电阻可以直接通过金属的电阻率和网格维数得到，即

$$R=\frac{\rho l}{WT}\frac{2}{n}; \qquad n=\frac{W_g}{P} \tag{3-23}$$

式中，ρ为铜线的电阻率；n为网格中电源/地线对的数目，因为每对电源/地线的串联电阻是每条线的2倍，且有n对并联，所以阻值乘以$2/n$。

电阻的压降与电源网格中的电流成正比，因此最坏情况下，电阻带来的噪声（IR降）为

$$N_R=\frac{I_{peak}R}{V_{dd}} \tag{3-24}$$

式中，I_{peak}为图3-17所示的峰值电流。

3. 电源网格面积比

功率传输网络中的面积比是指电源/地线所占的金属面积与总的金属面积之比，因为电源/地线与其他逻辑通道相比更重要，因此在设计中面积比应越小越好。假如一个金属层的所有信号连线的间距和宽度相当，则总的面积为$lW_g/2$（W_g为网格宽度，l为网格长度），电源/地线所占面积为$2WlW_g/P$，其中每个电源线/地线宽度为W，则面积比为

$$A=\frac{4W}{P} \tag{3-25}$$

3.3.2 功率传输网格设计的折中分析

总之，一个电源网格设计总的成本与电源噪声（包括感性和阻性）和所用的金属面积有关，而设计者的目的就是使成本最小化。设计限制因素（如芯片的用法）可以为与金属面积相关的电源噪声的重要性提供指导意义。

从遵循典型物理层密度的网格初始化设计开始，通常是改变其中的一个参数（比如是线宽）来观察它对总成本的影响，通过这种繁琐的方法来降低总成本。先改变一个参变量，然后改变其他参变量，直到(a)总成本不能再优化了，或者(b)基本达到了设计要求。功率传输网格可通过线宽增量成本$IC(W)$来进行优化：

$$IC(W)=\frac{\Delta N}{N}r+\frac{\Delta A}{A} \tag{3-26}$$

其中与成本相关的电源噪声和网格面积比分别用N和A表示，利用

$$\frac{\Delta N}{N}=\frac{\Delta W\frac{dN}{dW}}{N}; \qquad \frac{\Delta A}{A}=\frac{\Delta W\frac{dA}{dW}}{A} \tag{3-27}$$

可得到：

$$IC(W)=\Delta W\left[\frac{\mathrm{d}N/\mathrm{d}W}{N}r+\frac{\mathrm{d}A/\mathrm{d}W}{A}\right]=\Delta W\cdot \mathrm{ICF}(W) \tag{3-28}$$

$IC(W)$为宽度增加 ΔW 时的成本增加量。r 表示功率传输网格成本中与面积比相关的 PSN 的重要因子。对于一些特殊的设计，如果 $IC(W)$为负，表示当线宽增加 ΔW 时，总的成本降低，反之亦然。式(3-28)中的 $ICF(W)$为宽度的增量成本函数[22]：

$$ICF(W)=\frac{\mathrm{d}N/\mathrm{d}W}{N}r+\frac{\mathrm{d}A/\mathrm{d}W}{A} \tag{3-29}$$

其中

$$\frac{\mathrm{d}N/\mathrm{d}W}{N}=\frac{-\left[\frac{2\rho lP}{W^2T}+\frac{0.004lP}{\mathrm{d}t(W+T)}\times 10^{-6}\right]}{\frac{2\rho lP}{WT}+\frac{W_{\mathrm{g}}L_{\mathrm{pkg}}}{\mathrm{d}t_{\mathrm{pkg}}}\times 10^{-9}+\frac{0.004lP}{\mathrm{d}t}\left[\ln\left(\frac{S}{W+T}\right)+1.5\right]\times 10^{-6}} \tag{3-30}$$

$$\frac{\mathrm{d}A/\mathrm{d}W}{A}=\frac{1}{W} \tag{3-31}$$

式(3-29)是包含了 PSN 和面积比的简单表达式，通过该式可以折中分析并对功率传输网格进行优化，通过同样的办法可以得出其他参数(如电源线间距)对总的成本的影响。

为了得到一个合理的 r 值，可以通过如下的方法得到 PSN 和面积比对总成本的影响。假设所设计电源网格的物理参数是已知的，通过式(3-22)、式(3-24)和式(3-25)计算 PSN 和面积比。因为连线的多少直接影响网络的成本，增加连线数量，观察 PSN 和面积比的微小变化量。

面积比的微小增量与 PSN 增量之比用 r 表示。比如，一个 90nm 工艺节点下的电源网格将电源/地线从 13 对增加到 14 对时，面积比增加了 7.7%，电源噪声减小了 1.83%，因此 r 就是两个变化量之比(7.7/1.83 = 4.2)，如果设计中对 PSN 的要求非常严格，允许面积稍微大一点，则 r 的值应较大，若对面积比的要求比较高，则 r 的值应较小。

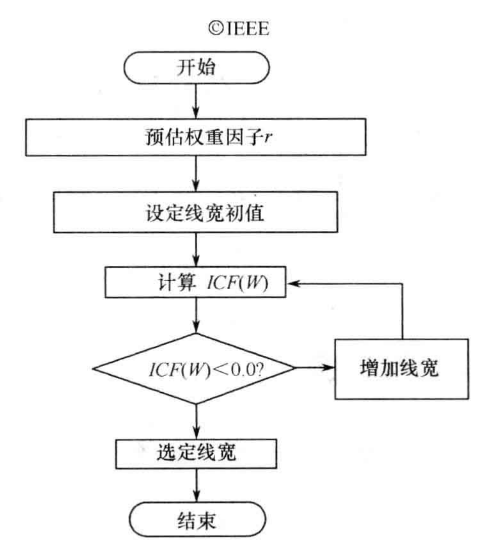


图 3-37　估算最优电源线宽度方法[24]

图 3-37 描述了纳米工艺微处理器中，功率传输网格通过上述增量成本函数的方法求出线宽最优值的步骤[24]。一般地，一半的外部引脚都要与电源相连，因此整个芯片面积分由很多局部网格(如图 3-14 所示的一个个小部分)组成。每个网格在其 4 个角处都有集总电容①和片外电源网格相连。可以通过上面的优化方法对每个电源网格进行优化设计。

对于每个网格，其两对电源/地线之间的距离 $P=25\mu$m，电源/地间距 $S=2\mu$m 的网格，为了保留“网格对”的结构，其他与工艺相关网格的尺寸如表 3-1 所示。片上电感噪声产生的电

① 控制可拆分芯片的连接。

流跃变的上升时间(T_r)为普通逻辑门延迟的一半,而封装内的传输时延比 T_r 大一个数量级($T_{rpkg}=10T_r$),假设封装电感是常数为 1 nH[25],可通过表中的参数来计算上述权重因子 r 的值,假设 PSN 较面积比更重要,将 r 扩大 2 倍。

表 3-1 功率传输网格参数

工 艺 节 点	90nm	65nm	45nm
芯片引脚数	3000	4000	4009
芯片面积(mm^2)	310	310	310
局域电源/地网格面积(mm^2)	0.413	0.310	0.309
电源/地网格边长(μm)	640	560	560
与非门延迟(ps)	24	16	9.8

图 3-38 显示了不同工艺下,ICF(W)随线宽变化的曲线。曲线与 X 轴交点,即总成本不可再优化的点,也就是最优值点,该图显示了忽略电源网格中电感对电源噪声影响时,成本最优值时线宽的巨大差异。考虑了片上电感时,最小尺寸较小,最优线宽较小,最小尺寸缩小,器件的开关时间(这里为转换时间 T_r)也会减小,电感对电源噪声的影响变大。

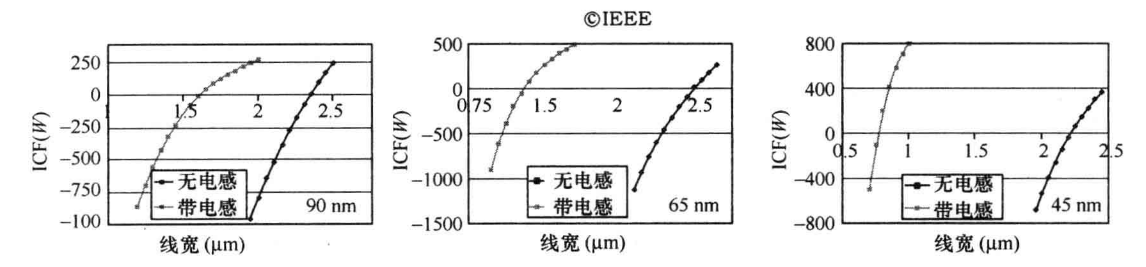


图 3-38 ICF(W)是电源网格线宽(W)的函数,在不同工艺节点、有无片上电感的优化情况[22]

3.4 练习题

3-1 参考图 3-1,给出负载功率 P_L 为

$$P_L=I^2R_L=\left(\frac{V}{R_S+R_L}\right)^2R_L=\frac{V^2}{R_S^2/R_L+2R_S+R_L}$$

对上式 R_L 进行一、二阶求导。P_L 在 $R_S=R_L$ 时取得最大值。功率在最大值时,负载功率表达式的分母最小。

借鉴一阶导数为 0 时,可求得最大最小值的方法,对其求二阶导数可分别判断是正值还是负值。

将此方法推广到源和负载的复数阻抗的情况,可以看到采用共轭匹配的意义。从功率传输网络阻抗的角度来看,考虑简单的感性电源(L 和 R)和容性负载(R 和 C)的情况,两个电抗的时间常数匹配有什么意义?其中电感和电容的时间常数为 L/R 和 RC。

3-2 面积为 600× 600μm^2 的电源/地网格采用厚度为 400nm 的金属布线,相邻两对电源/地线之间距离为 20μm,每一对电源线和地线之间距离为 2.5μm。

(1) 计算电源网格中电源噪声与面积比对成本的相对影响 r。

(2) 如果网格中所有的电源线和地线尺寸相同,片内片外电流的上升/下降时间分别为 10ps 和 100ps,封装电感为 1 nH 时,试计算电源网格线宽的最优值。

3-3　用本章求 ICF(W)相同的条件求出关于两对电源/地线之间距离的增长成本函数的表达式 ICF(P)。

3-4　在练习题 3-2 中,如果将线宽固定为 1.5μm,通过 ICF(P)的表达式求出两对电源/地线之间距离的最优值。其中,r 采用练习 3-2 (1)中求得的值。

参考文献

[1] Wikipedia, The Free Encyclopedia. 2009. http://en,wikipedia.org/, various information pages.

[2] O'Malley, J. 1992. *Schaum's outline of theory and problems of basic circuit analysis, 2nd ed*. New York: McGraw-Hill.

[3] Nair, R., and B. Tang. 1998. Low cost on-die CMOS distributed voltage regulation for microcontrollers. *Proceedings of the 24th European Solid State Circuits Conference (ESSCIRC)*, pp. 188-191, September.

[4] Dally, W. J., and J. W. Poulton. 1998. *Digital systems engineering. Cambridge*: Cambridge University Press.

[5] Gray, P. R., and R. G. Meyer. 1993. *Analysis and design of analog integrated circuits*, 3rd ed. New York: Wiley.

[6] Nair, R. 1999/2000. *Multi-mode low power voltage regulator*. U. S. Patent 5,955,870, September 1999; and U. S. Patent 6,081,105, June 2000.

[7] Chandrakasan, A. P., and R. W. Brodersen. 1995. *Low power digital CMOS design*. Boston: Kluwer Academic Publishers.

[8] Nair R., et al. 2003. *Silicon interposer-based hybrid voltage regulator system for VLSI devices*. U. S. Patent application pub. no. 20030081389, May.

[9] Hilbiber, D. F. 1964. A new semiconductor voltage standard. *International Solid -State Circuits Conference*: Digest of Technical Papers 2:32-33.

[10] Banba H., H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, et al. 1999. A CMOS bandgap reference circuit with sub-1-V operation. *IEEE Journal of Solid-State Circuits* 34(5):670-674, May.

[11] Chen, H. H., and D. D. Ling. 1997. Power supply noise analysis methodology for deep-submicron VLSI chip design. *Proceedings of the Design Automation Conference*, pp. 638-643.

[12] Kim, S. Y. 2004. *Modeling and screening on-chip interconnect inductance*. Stanford University doctoral dissertation, July.

[13] Muramatsu, A., M. Hashimoto, and H. Onodera. 2005. Effects of on-chip inductance on power distribution grid. *IEICE Transactions on Fundamentals*. E88-A (12), 3564-3572, December.

[14] Muramatsu, A., M. Hashimoto, and H. Onodera. 2005. Effects of on-chip inductance

on power distribution grid. *Proceedings of International Symposium on Physical Design* (*ISPD*). 2005, pp. 63-69, April.

[15] Ogasahara, Y., M. Hashimoto, T. Kanamoto, and T. Onoye. 2008. Measurement of supply noise suppression by substrate and deep N-well in 90 nm process. *Proceedings of the Asian Solid-State Circuits Conference* (*A-SSCC*), pp. 377-400.

[16] Ruehli, A. E. 1974. Equivalent circuit models for three-dimensional multiconductor systems. *IEEE Transactions on Microwave Theory and Technique* MTT-22(3): 216-221, March.

[17] Gala, K., D. Blaauw, J. Wang, V. Zolotov, and M. Zhao. 2001. Inductance 101: Analysis and design issues. *Proceedings of the Design Automation Conference*, pp. 329-334.

[18] Kurokawa, A., K. Hachiya, K. Tokumasu, and H. Masuda. 2003. Fast on-chip inductance extraction of VLSI including angled interconnects. *IEICE Transaction Fundamentals* E86-A(4): 841-845, April.

[19] Smith, L. 1994. Decoupling capacitor calculations for CMOS circuits. *Proceedings of the IEEE 3rd Topical Meeting of Electrical Performance of Electronic Packaging*, pp. 101-105, November.

[20] Lu, Y.-C., M. Celik, T. Young, and L. T. Pileggi. 2001. Min/max on-chip inductance models and delay metrics. *Proceedings of the Design Automation Conference*, pp. 341-346.

[21] Mezhiba A., and E. Friedman. 2002. Inductive properties of high- performance power distribution grids. *IEEE Transactions on VLSI Systems* 10(6): 762-776, December.

[22] Srivastava, N., X. Qi, and K. Banerjee. 2005. Impact of on-chip inductance on power distribution network design for nanometer scale integrated circuits. *Proceedings of the International Symposium on Quality of Electronic Design*, pp. 346-351.

[23] Restle, P. J., A. E. Ruehli, and S. G. Walker. 1999. Dealing with inductance in high-speed chip design. *Proceedings of the Design Automation Conference*, pp. 904-909, June.

[24] Grover, F. 1962. *Inductance calculations: Working formulas and tables*. New York: Dover.

[25] Bakoglu, H. B. 1990. *Circuits, interconnections, and packaging for VLSI*. Reading, MA: Addison-Wesley.

[26] Crawford, A. M. et al. 2006. *Integrated inductor structure and method of manufacture*. US Patent application no. 11/554,567, October, pub. no. 20070069333.

[27] Nair, R. 2001. Microprocessor assembly interconnect path finding challenges. *Intel Assembly and Test Technology Journal* (*IATTJ*).

第 4 章　电源完整性预分析及抽象

自早期集成电路发展以来，Jevons 悖论①被运用于精确预测这几十年以来晶体管集成度、运算能力、频率和芯片功耗的发展趋势。Jevons 观察到，更加有效的利用资源往往会带来更大规模的资源开发，而这通常与提升效率所产生的效益相抵。因此减少晶体管集成的成本，往往会造成使用更多的晶体管或者达到更高的集成度，以至于超出了最初的成本计算。同样地，增大芯片运行频率，或提高芯片性能，带来的会是对更高性能的需求。因此为维持相同的电源消耗需要无限缩小晶体管尺寸以增大其频率。正如本书第 2 章所详细介绍的那样，这些因素都将给功耗、能源，以及电源完整性设计带来一定的挑战。可以说，Moore 观察到了一种集成的趋势，而Jevons则预见了一般意义上技术进步所产生的潜在后果。

在能源消耗这个具体问题上运用 Jevons 悖论，这就是：能源利用效率的提升增大对能源的消耗，潜在地造成能源结构的高度紧张。不过这种思维的实验忽略了该提升过程中很多的实际限制，比如在电子系统级中的有限能源传输效率，这些限制实际增加了成本以及消耗能源的可用载体。对于复杂系统更是如此，往往是在提升其中一个重要模块效率的同时，也给其他协同模块带来相似的效率提升。

呈指数增长的晶体管集成度已经给其他如电源传输网络等支持系统的设计带来诸多挑战；而同时接受挑战的还有集成电路设计，以及计算机辅助集成电路设计工具。当极大规模集成(ULSI)系统的规模进一步扩大，传统的利用多边形摆放进行的芯片设计、验证，寄生参数提取和仿真的难度都将以指数级增大，因此我们亟待一种新技术用以进行电源完整性的分析及管理。

本书第 3 章讨论了电源完整性的各个方面，涉及了在 ULSI 芯片规模持续扩大下，电源完整性分析所遇的挑战，并且建立了在分析或者最优化集成电路电源网格时必须考虑电感的概念。考虑到在电源完整性分析和优化中电感起到了较大的作用，我们接下来将继续讨论良好的芯片设计中的共生关系，如：对称性、不同电源路径、电源完整性分析中的整体电源完整性研究，以及改善前端设计方法来显著提升流片一次成功的概率。我们也会讨论在纳米级工艺下如何有效地取得整体电源完整性信息，而不用成倍地增加其仿真的复杂度。本章将重申电源完整性分析在纳米领域晶体管集成中的考虑及期望，再次强调完成充分的真实—物理分析的需要，同时强调了芯片设计的早期阶段进行电源完整性研究的重要意义，并提出我们对整体电源完整性含义的充分理解。

---

① 最早由 Walter Stanley Jevons 在他 1865 年的专著《能源问题》中所提出。在这部专著中 Jevons 观察到 James Watt 所引进的烧煤蒸汽机极大地提升了由 Thomas Newcomen 早期发明的“蒸汽引擎”的能效[1]。这个观点表明在利用资源的情况下，技术的进步带来生产效率的提升，却同时也会使资源的消耗速度提升。对于集成电路产业而言，通过提升工艺及电路水平所带来的集成晶体管成本的降低，会带来集成度的不断提高，而这种提高通常会丧失本来以降低成本为目的的方法所带来的利润。

4.1 工艺,电压和温度:设计验证空间

随着金属—氧化物半导体场效应晶体管(MOSFETs)的结构变得越来越小,其宽度、长度、结深、掺杂等的变化对晶体管特性的影响激增。由于这些变化中有许多的不确定性,使得传统的工艺建模、设计验证需要开始考虑统计规律,从而更难达到设计上的最优化。晶体管参数变化增加的一个直接的后果就是减少了一个 ULSI 芯片供电电压所允许的波动空间。我们在前面的章节中已概述了这个问题。给出了其于 PI 鲁棒性和 PI 分析的准确性有直接的关系。

4.1.1 电源波动分配

传统的额定电压参数都存在高于 10%或者低于 10%的波动,这源于交流电源规格,比如在 100~120V 之间变化(基本上是 110V±10%)或者类似地在 200~240V 之间变化。使用交流电源的设备通常会允许这样的电压波动。

只要额定电源电压保持一个合理的电源电压与器件开启阈值电压比,即 V_{DD}/V_T,对ULSI芯片而言,其性能的变化在±10%的电压变化范围内基本保持一致。例如,考虑下面两种情况:一个是 V_{DD} 为 1.8V,V_T 为 0.4V (V_{DD}/V_T 为 4.5),另外一个 V_{DD} 与 V_T 分别为 1V 和 0.25V (V_{DD}/V_T 为 4)。可以看到,当电源电压按比例缩小,V_{DD}/V_T 的值随之减小,这是因为器件的漏电流限制了其阈值电压的减小。电压降低 10%,在第一种情况下,有效驱动电压占额定有效驱动电压的比例下降,或者说是电源电压由额定电压减小到有效驱动电压,其 $V_{DD}-V_T$ 之比下降为 0.871。在第二种情况下,这个比例是 0.867,显然两者的差别并不大。换句话说,器件驱动电流的减少(回顾纳米级工艺下 MOSFET 的漏电流是与$(V_{DD}-V_T)^{\alpha}$ 成正比且 $\alpha\approx1$)在两种情况下大致相同,这对于限制电源电压波动的必要性提出了疑问。

然而,约束电源电压的波动需要结合很多因素。尽管工艺、温度、电压波动对电路性能会产生影响,但对于电路性能的设计及验证必须满足外部的性能参数指标。考虑到规模化的趋势,其电源电压从 1.8~1V 的变化意味着跨越了两代工艺技术。表 2-1 给出了在工艺因子为 k 的条件下每个器件的面积(涉及到每个子器件面积,如源级、漏极、PN 结、沟道等)以 k^2 因子减小。考虑到器件尺寸减小的同时,器件的结深同样减小,这就使得这个因子增大到 k^3。在两代工艺技术中,器件各部分电压急剧减小,达到了原始值的 1/8 左右。因此,尽管杂质、缺陷能级、掺杂变化,以及其他随机产生的缺陷可能会因为生产设备的改善而减少,但决不会随着器件缩小而减少,相反还会对器件性能变化产生更大的影响。从另一个角度而言,在温度变化参数保持一致的情况下,从 1.8~1V 的工艺差异大幅度增加。减小电压波动范围,或许是缓解设计环境所带来的挑战的唯一方法。

图 4-1 是随着器件参数的变化增大其最终的结果曲线。器件良率(在额定频率下能正常工作的芯片数量分布在按比例缩小的工艺下随着其器件参数变化的增大而分散开。这种情况并不利于设计,因为它在减少了理想性能下的器件数量,增加了低性能下的器件数量,同时增大了漏电流及高功耗范围。尽管先进的技术诸如自适应衬底偏置①[2,10]可以协助解决这些参

① 自适应衬底偏置是一种闭环电路技术,这种技术对芯片指定区域的晶体管衬底加正偏或是反偏电压,用以调制其阈值电压使其更接近理想的阈值电压值。参考文献[10]中具体讲解了这种技术的一个简单实例。

数的变化，但是当芯片的性能依赖于电源电压时，一个简单的系统级的办法就是减少电压波动。

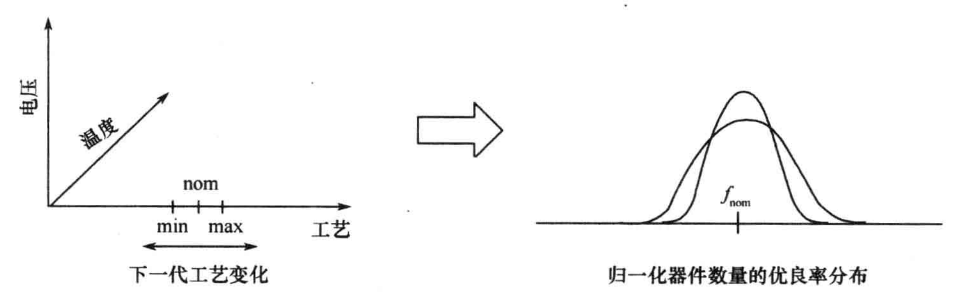


图 4-1　工艺变化增大的影响曲线图

考虑到噪声容限参数（输出错误出现之前的最大噪声容限）与设计电路的鲁棒性相关。当工作电压减小到 1V 及以下时，噪声容限的缩小与电压的缩小成正比。正如同我们之前所讨论过的那样，在芯片缩小的时候噪声往往会增加。因此减小电源电压的波动范围再次成为一个补救措施。然而最重要的是，最小化电路及集成电路能源消耗的需求已经将工作电压从系统常量转变为设计变量。使用变电压技术的先进芯片，通过自适应电压调制①[3]或者动态电压调制，往往带来二次方甚至三次方的功耗降低（通过减少频率）。这些技术也提供了一种能耗方面的好处，就是通过把工作电压降低到可能的最低值，实时地适应不断变化的系统和芯片功能的要求。这些芯片的工作电压变化范围受电源波动性所限：±10％的参数指标在这个范围的下限减小了 10％，因此也减弱了低能耗下的运行能力。

非对称电源波动参数，例如，最近出现的 1.2V＋10％/－5％，正是为了试图解决这个问题。不过，线性组件具有对称性，在电源传输网络中，采用这样的组件，被认为是对称的但有着较低的变化范围，通常在±5％，可能会更好的用于纳米级的系统。但是值得注意的一点是，减少电源波动性参数会极大增加对电源完整性的挑战，特别是在高电流、高功率系统中更需要谨慎使用。电源电压波动范围的减小需要进行精确的整体电源完整性分析，这就需要运用先进的计算机辅助设计（CAD）工具和方法[4]。

4.2　后端和前端电源完整性分析

传统上电源完整性分析在集成电路中属于后端验证工作。不论是芯片功能（如功能模块中的平均功耗或峰值功耗），还是电源网格本身（如路径电阻），都是在集成电路设计接近完成之后才会得到。在仿真中它们被用来计算电源电压噪声，我们称之为 IR 压降分析。这种分析采用芯片功能模块的平均电流法或者峰值电流法，可提供电源电压的典型值和峰值波动曲线。

图 4-2 显示的是对某一芯片进行 IR 降噪声分析的结果，结果表明在物理设计中电源互连元件中有毫伏级的电压下降。由于电阻的下降导致互连线上的电压下降，在图 4-2 上用不同灰度的标识（图释在该图的左侧）以识别严重的电压下降区域。从图中可以看出在芯片的右下

① 电压调制通常运用于片上系统中的功能模块，模块的电源电压可以减小到满足其性能要求的最小值，并进行动态调制。

角区域以及芯片中央延伸到顶部的区域，有明显的电压降低。这个 IR 降噪声分析还有助于确定电迁移①热点，例如，通过数据差异分析可显示存在过多压降的互连元件。这一点将有助于电路设计师改善电源网格中稀疏的连接部分，并提高芯片的鲁棒性。

图 4-2 中所示的 IR 降分析通常在使用动态的、时变的供电电流作为电源电阻网格激励源的情况下得以增强。这可以检测与相对应的供应电流 IR 压降峰值(0 di/dt 的点，但不包括电感和芯片上 $L \cdot di/dt$ 噪声)。此外，封装噪声的计算需要考虑封装引脚上连接的粘结线相应的电感。在这种分析方法中，芯片上连接电源垫脚到封装引脚的电感元件提供了 $L \cdot di/dt$ 噪声值，这与根据时间从芯片封装接口所推导出的供电电流相一致。这种增强的 IR 降噪声分析在 EDA 工具②中常常被厂商称为“包含电感”的 IR 压降分析。

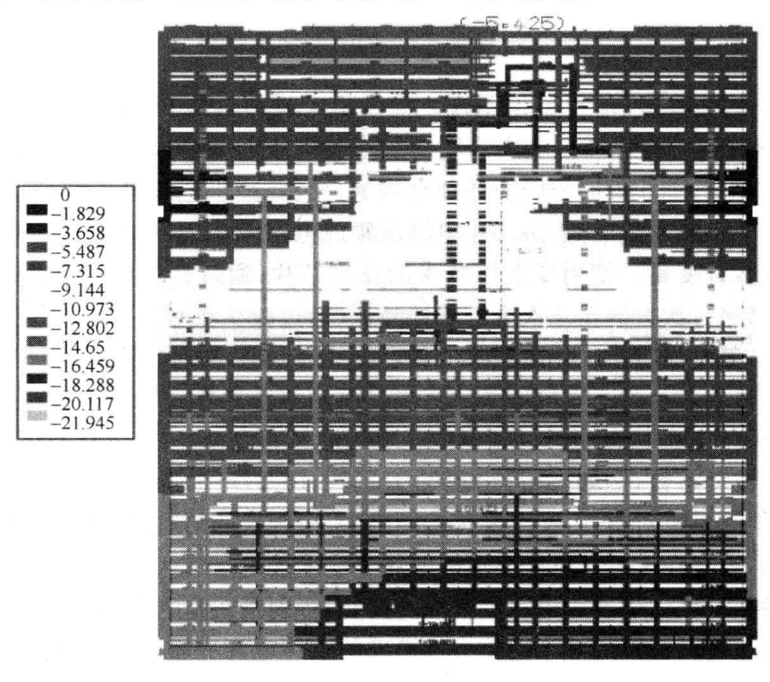


图 4-2 传统芯片 IR 降噪声分析，左边图释显示的是电压呈毫伏级下降

注：原书为彩图，电压变化区域较明显，译时正文为灰度图。译者

目前先进的 EDA 工具其提取寄生参数和计算仿真的能力使得设计师可以对任何互连线(包括信号线，电源线及地线)提取所有的电气参数，并添加时变激励进行电路仿真。在 IC 每段互连线上所提取的电路参数通常都包含电阻，电容和电感。提取电路参数往往会产生非常大的输入文件，这就对 EDA 工具的仿真能力提出了挑战，因为这需要数小时甚至数天才能完成一次仿真。这样的验证环境可以为芯片电源电压的瞬态噪声分析提供全面的时空视图。然而，这样的分析只能在 IC 设计流程的后期，或在后端设计流程中进行，并不能协助早期的版图的设计或优化。最低电源电压的后端检查并不能决定早期的物理设计方案，譬如对电源电压的限制，芯片上用于电源传输网络布线的金属资源分配，以及去耦电容区域的分配和最佳摆放位置等。

---

① 电迁移是指由于电子动量转移使得半导体内部原子迁移，这种现象出现在集成电路里有高电流密度的导体中。电迁移会导致连接错误。

② 电子设计自动化(EDA)是指辅助集成电路设计的软件工具。

4.2.1　集成电路中的电源完整性分析差距

正如上文所讨论的那样，主要是因为缺乏一个可行的办法或者得力的工具，造成了对多边形 IR 降及其衍生物分析能力的局限。电源完整性衰减不仅限于电流流经电阻所引起的电压下降。在第 2 章中讨论了片上电容和回路电感在引起电源完整性衰减的主要作用，将其分为电压下降①和 IR 下降，如式(2-12)中所示。第 3 章讨论了在集成电路设计中片上电感发挥的有益作用，特别是针对电源网格线的尺寸设计和去耦电感电容的添加。电源完整性衰减主要是由板上封装芯片，系统电源传输网络交互作用，以及为满足瞬态充电需求而产生的片上延迟所导致的。因此，我们明确了电源完整性分析需要考虑在系统和芯片物理互连层的电感。特别是考虑到在纳米级工艺中更快的传输边缘速率和更高的 di/dt 值所导致电源电压噪声的增加，这点就尤其正确。

另一个同样重要的“差距”是：后端物理设计优化和电源完整性验证已经无法满足目前的设计需求。一般认为，集成电路物理设计中，电源总线的互连在各级(功能块，核心和芯片)的线宽会直接影响到芯片信号路径上可用的金属资源。对 PI 问题的悲观假设可能会导致过多的金属资源分配到电源总线结构上，从而导致信号路径上可用的金属资源的减少，进而导致的布线拥塞及芯片面积增加。通常会在一个芯片布局规划的后期插入去耦电容，但这可能对防止电源完整性衰减并不那么有效，因为高性能的驱动区域常常会布满高电流功能模块，以尽量减少互连延迟，这样就减弱了早期正确设计的去耦电容的作用。在模块级别，电源完整性分析往往不是设计方法的一部分，这样就丧失了设计过程中的去耦规划和每个功能模块固有的 PI 鲁棒性。后端验证往往导致在芯片设计过程中的多次迭代，结果增加了设计投入和时间上的成本。

4.2.2　前端电源完整性分析

图 4-3 是一个基于前端电源完整性分析的布局规划概念图②[5]。该图显示了一个典型的 IC 物理实现的流程，其中嵌入了一个额外的工具模块，包括早期平面布局，芯片/系统抽象，以及物理的分析。

嵌入的模块采用了有关各电路模块的早期信息(如 X,Y 尺寸，预期内部时钟周期的电源电流，内在去耦电容和布局)，并结合芯片和系统电源分配网络方面的信息进行电源完整性仿真。这种仿真通过检查芯片的 X,Y 尺寸(空间)和时间(时间)，粗略估计第一次布局规划中的不足之处。这些不足之处包括电路模块的摆放位置，插入去耦电容的情况，电源分配网格的尺寸，以及电气参数等等。由于这种分析使用的是早期阶段高级的抽象信息，因此运行仿真只需要很少的时间，使得优化过程的可行性大大增加。

如图 4-3 所示的前端的分析方法，可以有效地弥补我们在 4.2.1 节中所讨论的电源完整性分析差距。任何方法从本质而言都是将 IC 设计抽象推向一个更高的层次，这种真实-物理仿真能力的抽象可以在芯片设计的早期阶段提供准确的指导，允许前端优化和快速收敛直到最终的电路实现。

---

① 在某一情况或突增的电流需求下，电源传输网络滤波系统所产生的瞬态，共振响应。

② 电源完整性及具节能意识的布局工具缩写为 Pi－Fp 或者 π－Fp【资料来源：Anasim 公司】。

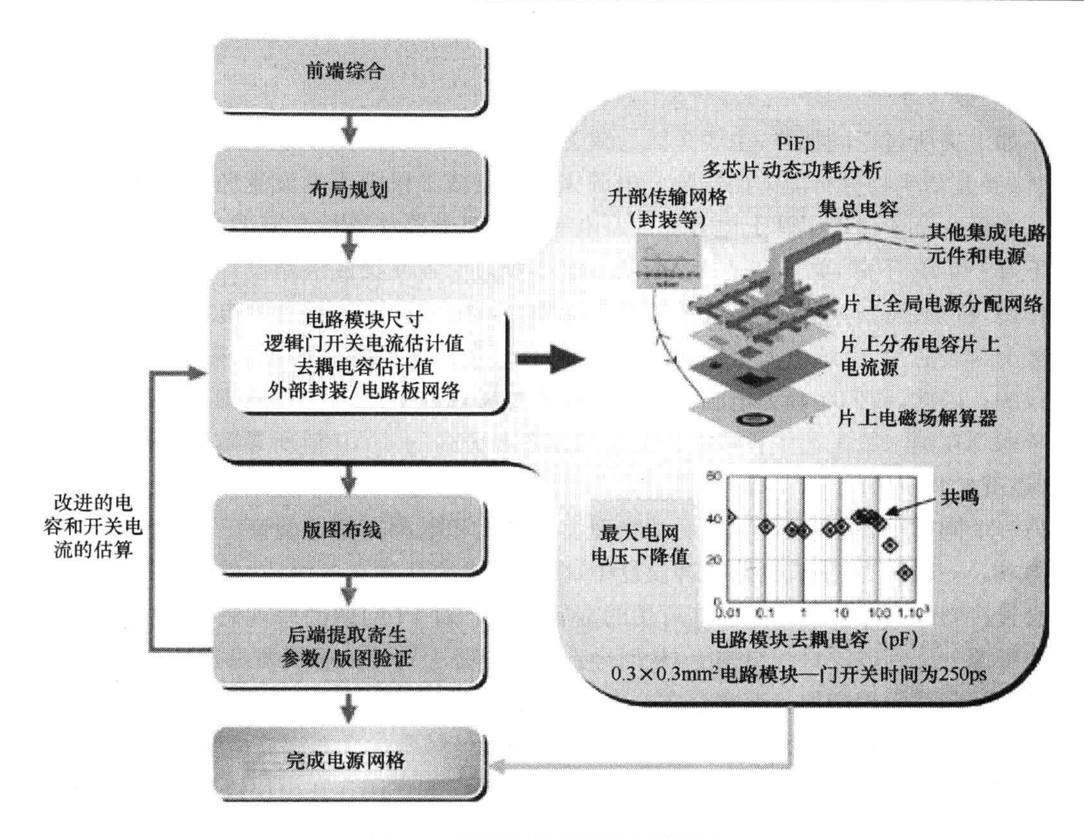


图 4-3 前端电源完整性布局分析

4.2.3 芯片组件的抽象

电源完整性仿真复杂度激增是进行IC组件抽象的主要目的。我们在3.1.4节中简要讨论过,从IC多边形数据库中提取网表,特别是在纳米尺寸下,往往需要数小时完成对电源完整性衰减各方面的仿真。但这样长的仿真时间并不利于进行芯片优化设计的微调。因此,一种获得片上电源分配网络主要的电气参数,而不用诉诸于多边形的交互提取的方法显得尤为重要。而这种方法的实现可以通过对片上电源分配网络进行分区以及用简化模型来代表电路主要参数,换句话说,也就是抽象法。

抽象法利用分布式电子组件而不是集成器件。这也有助于片上区域的建模,同时以真实物理模型代表芯片组件,比如去耦电容区域,这个区域占据了一个芯片相当大部分的面积,并且如前文所讨论的那样,在这一区域显示出信号从中传播通过的实际延迟。

1. 片上电源网格抽象

纳米工艺下的芯片电源网格设计复杂且拥有多层的芯片金属互连线。它们往往被细分为"电压域"或者独立的电压岛和电流消耗域。一个典型的大型SoC系统中一般以现有工艺下最上面的两层金属作为全局电源分配网格的布线,而用其他低层的金属作为各个模块的电源布线。在某些情况下,一个芯片内的电源分配网络会用到四层、甚至更多层的金属。通常全局电源分配网络将外部电压供给到内部芯片,而后传输到芯片内部的模块,或者直接供电,或者通过一个稳压系统给各个模块的电源网络供电。

在大多数情况下，片上电源分配网络可被视为一个相对低阻及分布稀疏的全局电源网络，该网络扇出至芯片电路的各个模块区域，并为高阻路径提供电源。全局电源网络承载着相对大得多的流入、流出芯片的电流（相对而言，模块电源分配网络互连承载着模块级的电流）。全局芯片电源网络在大部分情况下是在整个芯片范围内由电源总线等间距成对搭建。芯片金属互连设计在任意金属层都是相互平行的，并严格按照一个方向连线[①]。这些电源总线对在某一金属层中以一定的间距形成总线对[②]到总线对的平行带。考虑到电流到达芯片任意区域的路径要尽可能短，因此在第二层也会重复着同样的平行带并与第一层正交，用电源总线对相互连结构形成一个网络，如图 4-4 所示。该图显示了一个芯片与它的全局电源网络、电路模块以及去耦电容模块，通过传输线连接到另一个全局电源网络。图中还包括一个电感计算器。

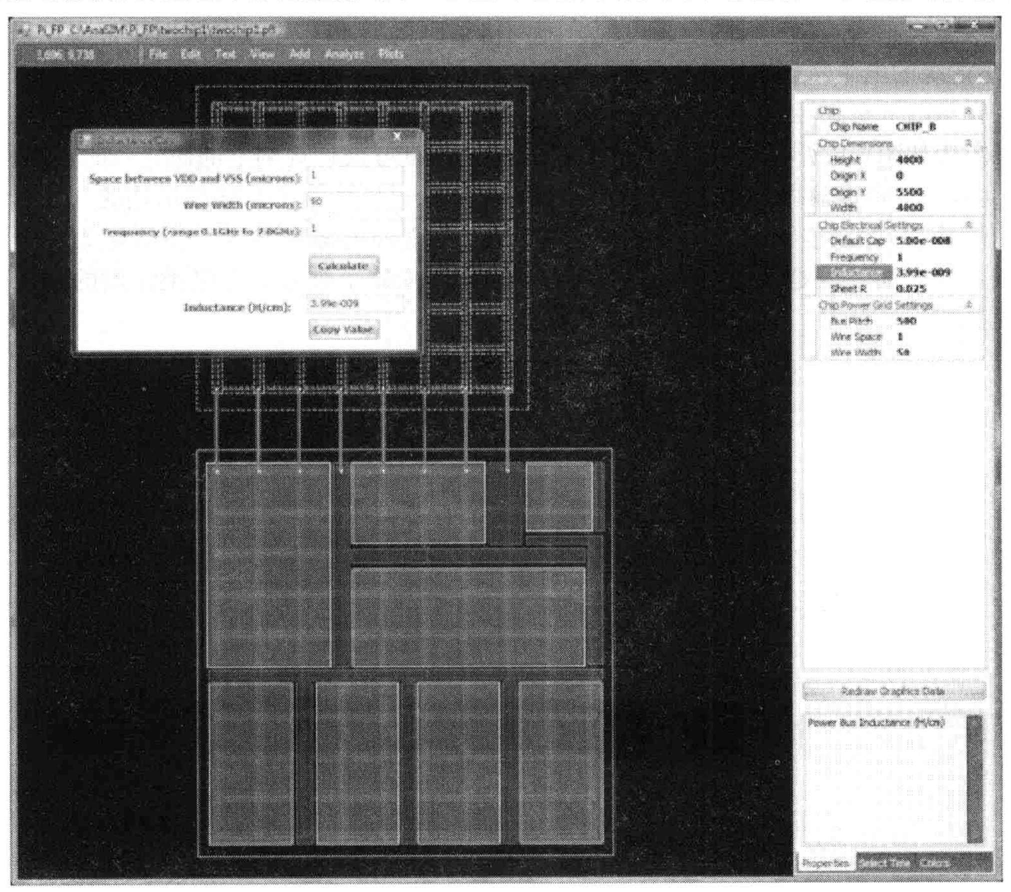


图 4-4　pi—fp（可考虑电源完整性的布局规划器）中全局芯片电源网格，
子电路以及电容阵列视图。
图中选中了一个全局电源网格，同时显示了一个电感计算器
图片来源：Anasim 公司

① 对于可用的连线层而言，金属路径上任意一层的绕线方向与其上一层或下一层正交的这种限制，实际上可以使得 IC 芯片上所有电路的绕线更为有效。

② 电源总线经常以“电源”和“地”的形式成对出现，以有效减小电感。

考虑到全局电源网络是由长电源总线段和相对较高的电感①组成的电流路径构成的，承载着更高的电流和电流密度。尽管电源总线都会有较厚的金属，即较低的直流电阻，但由于瞬态或电流变化，电源总线中的电压降依然占了整体电压下降的主要部分。将这种电源网络设计成一种网状形式以平衡整个芯片上的电压差，也有助于瞬态电势差的变化在芯片各个区域间的传播。

这种有意设计的低阻抗网格最大限度地减少了传播噪声的能量消耗，使得传播于芯片不同区域的噪声波中出现破坏性的干扰信号。因此，从整体电源完整性的角度来看，全局电源网格是片上电源分配网络的一个关键性组件，需要对其进行抽象。诸如在高性能微处理器等一些电路中，一种电源分配网络可以包括用两层金属布线的功能块电源网格(FUB)，以及用最上面两层金属布线的芯片级的全局电源分配网格。FUB 级和芯片级电源网格都需要进行全面的、芯片级的电源完整性抽象分析，当然 FUB 级的分析可能需要的只是 FUB 网格。

假设从芯片有源层到电源网格的电路连接是对称的、有差别的，那么全局电网电气参数可以被抽象为如图 4-5 所示的电磁交互作用的示意图。良好设计规则下的简化(如全差分电源路径)允许用一个传输线网络来代表全局电源网格。通过应用第 7 章详细描述的一种有效的电流密度算法，即以连续模型代表一个网络，可以将全局电源网格进一步简化为一个两维电磁波传输表面。但是值得注意的是，这种抽象概念忽略了被假定为电阻性质的“局部”电源输送互连。

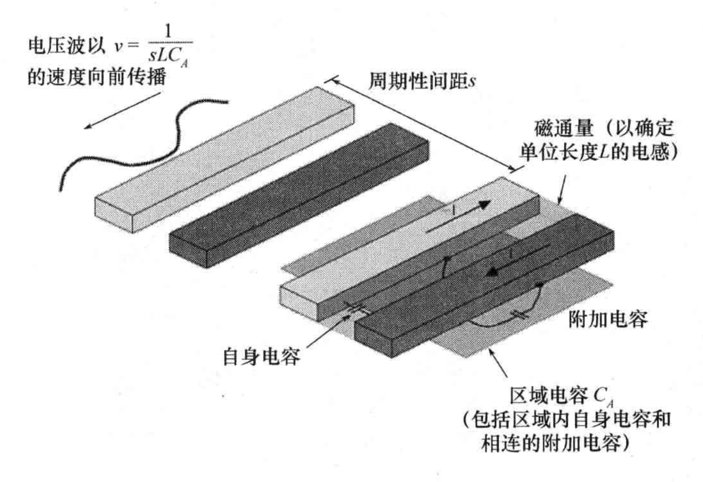


图 4-5 一段典型的全局电源分配网格的电气参数说明

2. 电路模块及去耦电容抽象

纳米级的芯片往往包含多达上亿个晶体管。仅从仿真网表来看，现代芯片里的晶体管及其互连线信息，很显然，那将是一个无法计算的问题。正是电路模块及流经它们的电流消耗，再配合现有的电源分配网格导致了电源完整性的衰减。因此，我们需要对一块芯片的有源层(包括所有的晶体管，电路和器件)工作状态进行抽象，而不改变影响电源完整性模块的主要参数。这种抽象将一块芯片的有源层细分为“块”，每个模块关联一个分布式的电流源和电容[6]，

① 网格线上电感值可以通过计算单个电源总线对上单位长度的电感值得到。较厚的上层金属需要更大的最小金属线宽并呈现更高的电感值。

图 4-6 即是对这样一小部分的电源网格的说明图示。此处所用的是基于电流源的电路模型。

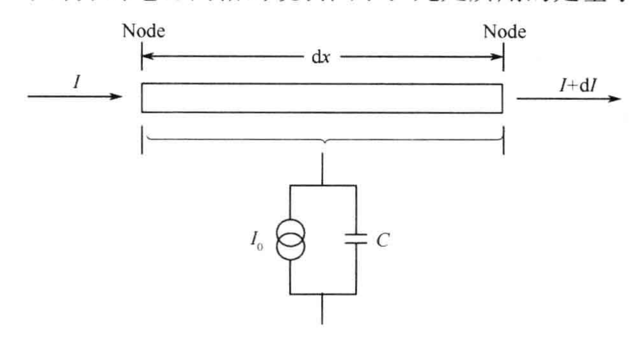


图 4-6　部分电源网格图示，表现电流源和分布式电容的连接

在模块有源器件上的电流可利用分布式电流源来建模。每个电路模块的单个电流配置文件(可从一个晶体管或者子电路级仿真获得)可被用来预测该模块最差情况下的工作状态。一个模块也可以用一个晶体管或者子电路形成的电流来表示，不过对电源完整性分析而言，这样的详细程度通常是不必要的。最坏情况下的电源噪声一般出现在大量紧密排列的电路同时开关的情况下，或者是在电路模块进入或退出省电模式的时候。

一个代表电路模块的电流源可以均匀分布在整个模块的范围内。这种近似对于连接较好的模块是有效的，或者说对有很多(对称的)均匀分布的探点的模块来说是可行的。每个模块也包括一定的去耦电容，这种去耦电容也是均匀分布在整个模块区域内的。

将每个传输线对分为若干小段，参考图 4-6，每小段的电压变化由以下公式给出：

$$-\mathrm{d}V=\left(\frac{\mathrm{d}x}{w}\right)R_{\mathrm{s}}I+L\mathrm{d}x\,\frac{\mathrm{d}I}{\mathrm{d}t} \tag{4-1}$$

$$-\mathrm{d}I=I_0\mathrm{d}x+C\mathrm{d}x\,\frac{\mathrm{d}V}{\mathrm{d}t} \tag{4-2}$$

式中，$\mathrm{d}x$ 是一小段的长度；w 是线宽；R_{s} 是表面电阻；L 是每单位长度的导线电感；I_0 是单位长度电流；C 是单位长度电容。高效算法可以解决所有片外片内的传输线对方程。

为进行电源完整性分析，一个 4mm×4mm 大的芯片抽象结果如图 4-7 所示。该芯片被划分成若干块，每块占据芯片区域内一个特定的(x, y)点，利用相关的内部循环、周期性、供电电流消耗等描述来代表电源网格互动。这种抽象能够捕捉电路模块与芯片全局电源网格间的时空互动关系，同时还可将芯片有源区域简化成几个关键部分。

每个电路模块都有其自身内在的，及外部添加的去耦电容，并且假设这些去耦电容均匀分布在模块内部。非均匀电容分布可以在必要时以进一步细分模块进行描述。非均匀电源网格，同样可以通过细分成多个网格加以描述，这些细分的网格之间以简单传输线适当连接。

3. 系统级特性

图 4-8 将迄今为止讨论的抽象概念延伸到一个完整的、系统级模型。该模型可用于进行前端电源完整性分析，同时也描述了额外的芯片外互连，比如球栅阵列(BGAs)、或者传输线的连接点线对，还包括集总电容等外部元器件。这种模型可以用来分析电气性能，通过一个片上的场解算器、或者相关的二维解算器来计算电源网格上的电压变化。对电源传输系统中的其他互连线及组成元器件的分析，可通过连接一个传输线解算器来解决。

因此，这种抽象和分析可以用时空法，在很宽的频率范围内解决整个系统中的电源完整性

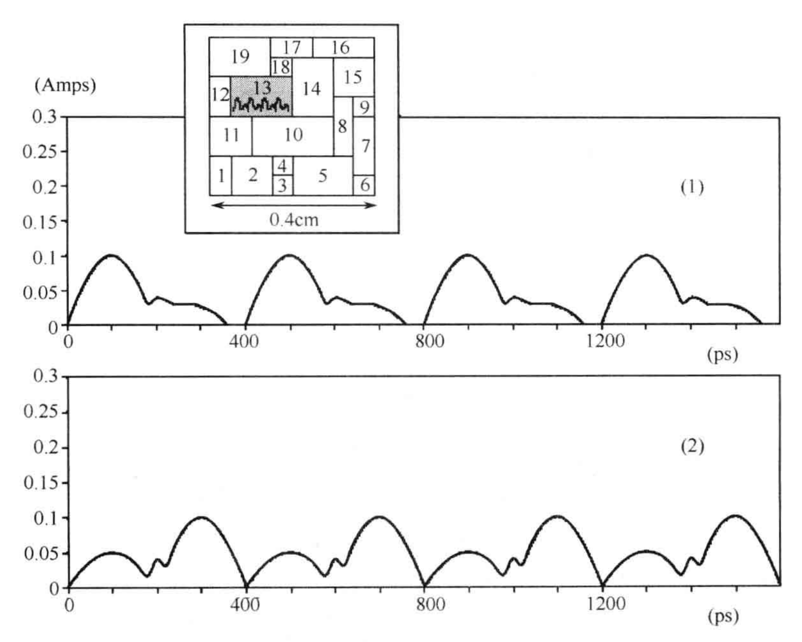


图 4-7 集成电路和相关的实例电流源波形模块组成了一个芯片有源层的抽象表达例示集成电路模块划分及其以电流源波形表达的芯片有源层抽象

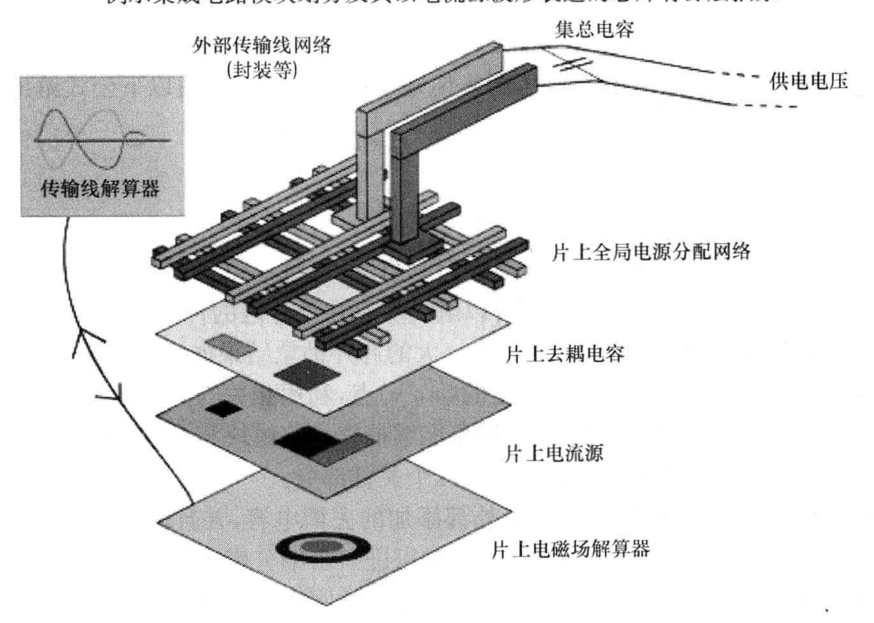


图 4-8 拓展到系统级(IC、封装、板级和电源)的 PI 分析、抽象

衰减问题。在这种仿真环境中,充分表现出在片外的电源分配网络激励下的低频瞬态特性(压降,共振),以及在片内电源网格中可观察到的高频瞬态特性(压降,噪声传播,和交互共振)。

但需注意的是,尽管这种抽象最大限度地减少了计算的复杂性,它依然受到模型的精确度限制。例如,在这些模型中所有的组件都被设计成对称且有差别的。在这种模型环境下电压降低与地的反弹是无法区别的,同时它也不能简单地描述诸如电容等器件中那些与频率相关的器件的阻抗特性,例如电容器。当然,这种抽象本身是完成前端电源完整性分析和优化,这是一个比较容易达到的目标。

4.3　高层次抽象模型的仿真环境

一个实例中的仿真语言和相关的电流数据文件的结构如图 4-9 所示。通常在仿真网表的开头会包括几个"点声明语句",这些语句被认为是仿真的控制命令。在这个例子中前四行就是控制命令,之后是对芯片内部元器件的调用。其中包括 4 个抽象组件:芯片网格、电流源、传输线和一个节点。每个区域组件包括了其空间位置和在芯片内的面积信息,以及其他必要的电气参数。例如,在芯片全局电源网格中"Ggrid1 0.2 0.2 0.0005 0.0080 0.030 10e—9 10e—9"的语句描述的是该网格的尺寸为 0.2cm×0.2cm,电源总线线宽为 5μm,总线对之间间隔为 80μm,其中电阻 R,电感 L 和电容 C 分别为 30mΩ,10nH/cm 和 10nF/square · cm。这些 R,L 和 C 的值[①]体现了全局电源网格中信号传播和能量消耗特性。

一个代表芯片内有源区的电流源陈述语句为"Igrid1 0.1 0.1 0.02 0.02 pulse.txt 1",这个语句描述的是一个电流源模块尺寸为 200μm×200μm(默认单位是 cm),在 0.2cm×0.2cm 芯片中位于左下角(0.1, 0.1)cm 处。

Simulation netlist

```
.TRAN 200e—12
.PLOT 20
.ACC 0.0060
.PRINTNODE ALL
Ggrid1 0.2 0.2 0.0005 0.0080 0.030 10e—9 10e—9
Igrid1 0.1 0.1 0.02 0.02 pulse.txt 1
Ttline1 1 2 0.01 10e—9 100e—12 0.3
Ngrid1 1 0.11 0.11
```

pulse.txt ： Current Source

```
0 0
22E—12 0.030901699
40E—12 0.058778525
60E—12 0.080901699
80E—12 0.095105652
100E—12 0.1
120E—12 0.095105652
140E—12 0.080901699
160E—12 0.058778525
180E—12 0.030901699
200E—12 0
```

Source：Anasim Corp.

图 4-9　π-Fp(pi-fp)提取仿真网表的控制命令和输入电流数据文件

图片来源：Anasim 公司

电流的配置文件是由数据文件 pulse.txt 决定的,而且这个文件在仿真中只重复一次,这

① R 可从金属的方块电阻计算而来,C 从电源网格内部电容计算而来,L 则从对线结构计算而来。

在语句结尾处表述为数字 1。文件 pulse. txt 包括了时间步长和相应的电流值。仿真数据文件中的时间步长决定仿真时间的步长精度。

剩下的语句包括了对分布式(电路模块或栅极电容)和集总电容(平板电容)的调用实例，这里不做详细讨论。这些语句和仿真控制命令可能可以在 π-fp 仿真手册①中找到[7]。

这些便捷性的语句能够精确表述对芯片组件的抽象，其中也包括了影响电源完整性的各方面参数。π-fp 使用的语言包括约 6 组芯片元器件的陈述以及一些仿真控制命令。这些简单的语言设置简化了仿真代码，提高了仿真运行的速度。

4.3.1 连续介质模型

正如在 4.2.1 节中简要讨论的那样，芯片电源网格可以用连续介质模型描述，而不是传输线组件的网状网格，更不是传统方式下以平面多边形法提取的大量电阻、电感和电容器件的互连网格。这种描述之所以正确是因为包括电源网格的物理表面电势(包括互连和金属绝缘体之间的物质)是不断变化的，因而表面电势是连续的。简单地说，在网格中的任何一点导线上的电压与这一点附近的绝缘材料上的电压绝对相同，在不同电势的两条导线之间任何绝缘材料都会形成一个电位梯度。

电源网格的“表面”(或者广义上说是“整体”电源网格，因为网格采用双层金属，双层金属之间是有一定厚度的绝缘材料)的电压是连续的，它主要的电气特性对电源完整性分析而言，被包含和存在于嵌入的金属导线内部。因此，利用嵌入的导线电气特性源可以代表任何电源网格表面的面积块(或者体积块)。这种描述允许把电源网格设置成一个连续的表面，用于电源完整性分析，从而理论上来说，可以将计算的复杂性降低至相当于一个单位的运算。换句话说，采用这种表示方法，只需要分析单个大型表面的电压变化而不是去分析以百万计多边形之间的互相作用。

第 7 章将详细讲述并正式提出了有效电流密度(ECD)算法，这种方法提供了一个连续介质模型，用以表示在绝缘介质中的导线。结合了全局芯片电源网格，以及有源电路(像之前讨论过的那样)和片上电感的表面表示法，我们通过连续介质模型可获取一种高度抽象的芯片元器件及其之间电磁相互作用的简化表示法。这可以将计算复杂度(模型目的是减少[MOR])降低一个及以上的数量级，获取高速仿真能力，同时大大增加了进行布局的前端分析和芯片/系统的电源完整性分析的可行性。

4.4 抽象和电源完整性实例分析

图 4-10[8]是一个简单但是有揭示意义的芯片电源网格仿真的例子，利用之前讨论过的抽象概念②。对于一个面程为 9mm×7mm，拥有一个密集的电源网格和默认的穿过整个芯片面积电容的芯片，可以利用一个指向芯片底部的噪声源和一个在芯片中部呈透镜状的电容阵列进行仿真。以一个连续介质模型来表示这个密集的电源网格，该模型为一个具有电阻、电感和电容属性的表面，对应于实际电源总线对所构成的网络。这个噪声发生器用一个分布于很小面积的电流源表示，标记为“源”。图中添加的分布式电容或者面积电容由结构 1～7 所构成，

① π-fp 仿真器的用户手册可从 Anasim 公司获取(公司网址：www. anasim. com)。

② 更多利用抽象模型进行 PI 仿真的实例将会在第 7 章讲述。

近似一个凸镜截面。图是一个电源网格噪声分布快照，该噪声由噪声源产生且有足够的脉冲宽度，并通过透镜形状的电容阵列传播。考虑到噪声源（和电容阵列）集中放置，沿着芯片轴，所以传播的噪声波在图中的同一轴线上是对称的。在这个实验中没有包括芯片外部到内部的连接以表明噪声的传播和性状。

芯片底部的正方形的噪声源产生的噪声（电压差异及下降）往各个方向传播。当噪声波遇到电容阵列，会在较高电容密度的区域减速，并改变其形状。噪声传播至电容后，并不是像遇到栅氧化层的额外去耦电容那样被削弱，而是被这种透镜形的电容结构所聚焦，创建一个略高于其自身的高瞬态噪声区域。这个现象相当于光的光学镜像聚焦现象。这个例子通过使用对芯片元器件和资源的抽象进行真正的电磁分析。它也指出与抽象和基于物理仿真相关的快速仿真①能力，这一点可以从一个较大的集成电路领域的实时动画仿真观察到。

图 4-10(b)展示了另一个仿真结果其电容阵列仿真结果类似凹镜。在这种情况下，在仿真结果后期的快照表明噪声偏离镜头结构的中心轴，就好像在光学特性中观察到的一样

请注意在此仿真结果中噪声的二分性质。这可以解释为：通过两个半凸镜[如在图 4-10(a)中所采用的]形成一个凹镜结构因此它们会沿着一个中心轴分离，然后在薄边处汇聚。类似于图 4-10(a)中所示的特性也可能出现在两镜片汇聚的厚边缘处，表现为比图 4-10(b)中的电容阵列更高噪声的分裂区域。

还要注意的是图 4-10(a)和图 4-10(b)的仿真只包括电源电网，有源网络，电容和集成电路。总功率完整性分析需要整个电源输送网络的交互检查。这种仿真，包括 IC 封装和板级元器件，被称为系统级的电源完整性分析。

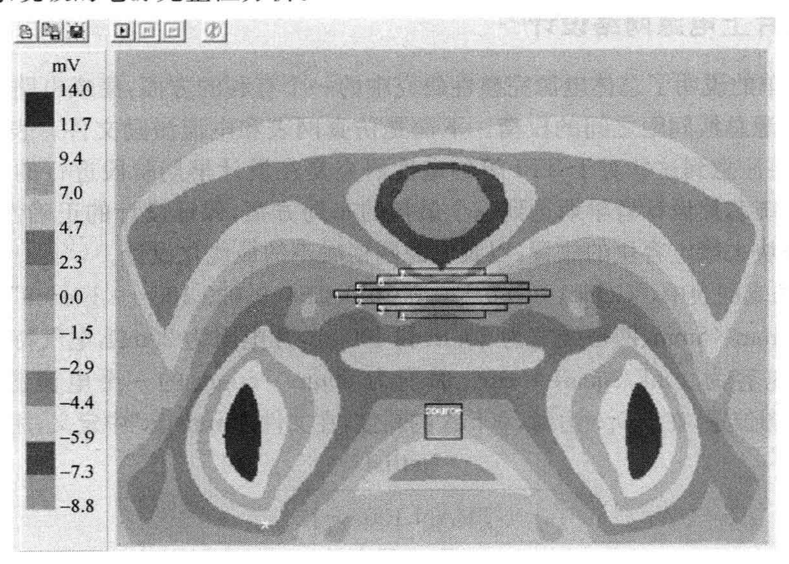


图 4-10(a)　一个面积为 9mm×7mm 芯片的电源网格仿真快照仿真采用了抽象，连续介质模型。其中包括一个标记为“源”的噪声发生器，以及一个电容阵列，电源电压噪声在镜状电容阵列结构上的分布集中程度以 1～7 标识

图片来源：Anasim 公司，软件：RLCSim. exe14②

① 从这个实时仿真中得到的电压变化的多个快拍能看到噪声的动画效果图。

② 动画效果图片可通过以下链接获取：www. anasim. com/pi_book/images/cap_lens. gif。

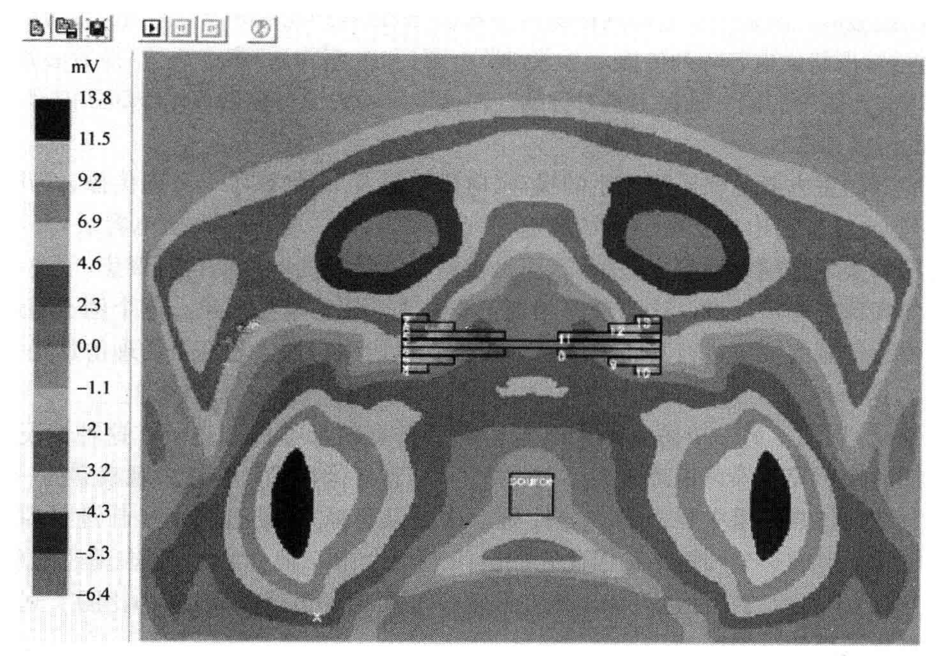


图 4-10(b) 一个面积为 9mm×7mm 芯片的电源网格仿真快照,包括一个标记为"源"的噪声发生器和一个类似凸透镜的电容阵列,电源电压噪声降在电容阵列结构上的分布集中程度以 1～13 标识
图片来源:Anasim 公司,软件:RLCSim. exe

4.4.1 最佳片上电源网络设计[9]

π-Fp 中简单的说明了总体电源完整性研究中的一个有利的方面:集成电路全局电源网格中线宽和 IC 电源总线间距之间的权衡。下面是仿真网表和电流激励文件。表 4-1 显示了相关的结果。需要注意到这些对于 TPI 等的定性研究是在设计早期阶段进行的。它们是为了帮助 IP 核和系统芯片设计者早期达到一个最初的布局方案,保证设计的正确性,包括金属资源使用、电路模块去耦电容块的放置,以及电源网格噪声的最优化设计。

在上面的仿真网表中,"Gchip1 0. 5 0. 5 0. 0010 0. 0100 0. 020 10e−9 10e−9"一行描述了电源网格面积为 5mm×5mm,网格线宽为 10μm 和 100μm,片电阻为 20mΩ,电气特性中线电感为 10nH/cm 和线电容为 10nF/square · cm。面积为 50μm×50μm 的一个电流源,位于(2mm, 2mm)的物理版图位置,在 100ps 达到 500mA 的斜坡,在文件"ramp. txt"中定义,用来当做激励。

Netlist

```
. TRAN 100e−12
. PLOT 10
. ACC 0. 0040
Gchip1 0. 5 0. 5 0. 0010 0. 0100 0. 020 10e−9−10e−9
Ichip1 0. 2 0. 2 0. 05 0. 05 ramp. txt 1
```

ramp. txt

0	0
100e−12	0. 5

表 4-1 中的数据为最大电压下降值与电源网格尺寸关系，这个定性的实验结果表明：考虑到片上的感应电压下降随着传统 IR 降的降低，增加导线宽度对 TPI 而言无益。另一方面，采用更薄的线宽以减低电源总线间距对电源网格电压噪声起到相当大的作用。

表 4-1　最大电压下降值与电源网格尺寸间的关系

Width(μm)	Pitch(μm)	dV_{max}(mV)
10	100	223
20	100	215
40	100	211
10	50	132
10	25	76

4.4.2　系统级前端仿真

抽象和简化模型的一个最大优势是有能力进行电源完整性的全面的系统级仿真。这样一个例子如图 4-11 所示，图中芯片、封装和系统级功率传输网络同时进行模拟仿真，以更好地确定芯片内去耦电容的摆放位置。

在图 4-11 的例子中，一个面积为 4mm×4mm 的芯片与封装网格和输电线路一起仿真，过些网格和传输线代表从芯片到封装连接，与封装到板级和电源连接一样。仿真实验通过电源完整性分析观察加入前和加入后的工作情况，调查电容 C_3 在电路中所起的作用(值为 200pF)。

实验结果表明，在图 4-11 中该区域增加的值为 200pF 的电容 C_3(左上角)限制了电压的变化，与没有添加电容之间相比，在该区域内的电压变化降低了一半。图 4-12 和图 4-13 显示在 1.25ns 的时间内仿真结果的快照。可以看出，瞬态电压的变化在芯片其余部分保持一致，而在 C_3 区域内其暂态性质和噪声幅度都有所变化，在这种情况下，增加电容消减了噪声。

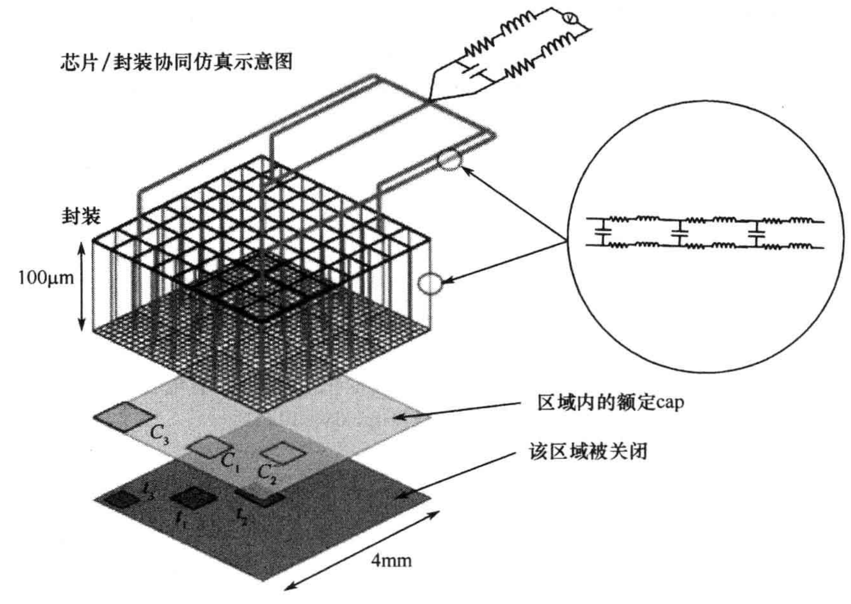


图 4-11　芯片，封装和板级模型电路对电源完整性的协同仿真示意图

图片来源：Anasim 公司

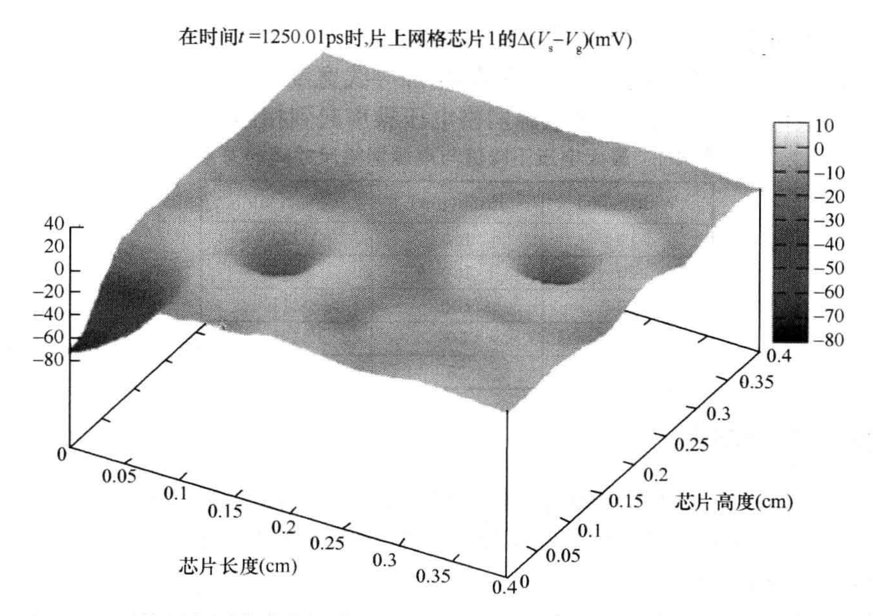


图 4-12 系统级协同仿真中芯片电压差异变化示意图[在(0,0)附近没有电容 C_3]①

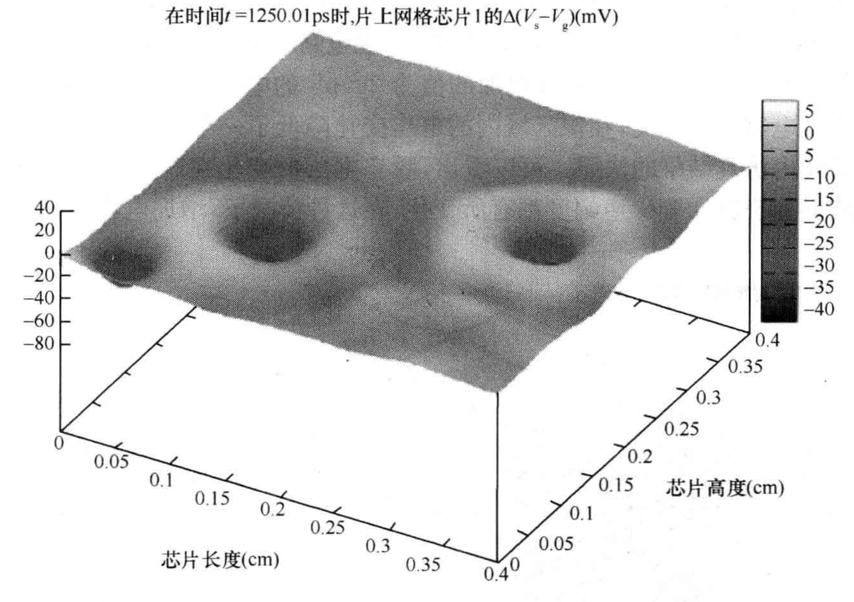


图 4-13 系统级连续仿真中芯片电压差异变化示意图(带有电容 C_3)

图片来源:Anasim 公司,软件:π-fp, GNUPLOT②

4.5 本章小结及巩固

高层次的抽象和基于物理模型的仿真提供了快速的 TPI 分析能力,有利于早期前端设计中对资源分配或优化的因果分析。抽象简化了芯片电源网格和有源/无源器件的表示形式,与

① 动画效果图片可通过以下链接获取:http://www.anasim.com/pi_book/images/anim_chppkg1.gif.

② 动画效果图片可通过以下链接获取:http://www.anasim.com/pi_book/images/anim_chppkg2.gif.

基于传输线的建模方式和基于SPICE的多边形交互仿真方式相比，这种抽象方法使得其计算复杂度降低了一个量级。抽象和基于连续介质模型的仿真能有效地应用于早期IC设计流程中，提供前端"正确设计"的电源网格金属分配、电路模块摆放、去耦电容的分配和放置，以及噪声最小化。最大限度地减小片上噪声，可帮助设计师确定芯片可能的最低操作电压，减少能源消耗。这种早期、前端分析能力可以最大限度地降低芯片设计工作和器件制造成本，并显著缩短产品上市时间。

具有抓拍实时、时空特性的电源完整性快照的能力提供了进行动态时序分析的可能性，而不是目前的逻辑电路静态时序分析①，也不是如第9章中讨论的那样，将静态噪声纳入静态时序分析中。这就增加了芯片电源完整性分析/性能合作设计的可能性，在芯片设计和时序验证中充分考虑到时空上的电源完整性衰减，工作电压不再是"有裕易的"运行参数。在未来的芯片设计中，这也意味着我们可以充分利用整个可用的工作电压范围，包括电源噪声的一部分频谱。

在纳米级芯片中关键性的挑战，比如晶体管的漏电，可以简单地抽象为芯片内与电压相关的电流，如第7章中简要讨论的那样。利用漏电流和其他类似的非线性特性，可以提高电源完整性分析的准确性，有利于更低的工作电压的电路设计并降低能耗。

4.6 练习题

4-1 开关互补型金属氧化物半导体(CMOS)芯片内功能模块正常工作所需的最低电压的绝对值是1.08V。FUB设计师允许选择±10%或±5%之间的特定电源电压变化(包括所有形式的噪声)参数。FUB最关键的设计参数是能源效率。

针对上述情况，请问最能满足FUB设计要求的供电电压和变化参数是什么？假设在任何情况下电路性能保持不变，在额定工作电压下，计算所节省的工作能源百分比。

4-2 数字电路模块经常有"无刺"的电源电流，在工作时钟周期内的短时间内电流迅速上升和下降。IR降分析可以利用互连电阻乘以电流来确定片上电源电压的降低值，利用模块平均电流损耗(在一个或多个时钟周期的总电流平均)或者峰值电流(通常包括内循环电流信息)来求得。

IR降分析可否采用峰值电流来捕获峰值片上噪声？并说明其理由？

4-3 集成电路的全局电源总线线宽和间距的早期设计决定需要考虑到很多因素，例如导线上的芯片总电流损耗、封装互连(从侧面或者通过引脚阵列区域连接)、在芯片各区域电流损耗的不对称性、电源完整性等。下图显示为IC上全局电源网格结构利用的顶层金属层上的总线对在给定的制造工艺下线宽的总线电感变化。图中一个线对上的电感理论值估计随线宽变化，最小间距为1μm。

假设一个面积为1mm×1mm的芯片内其100mA的电流损耗呈均一分布，分配给芯片的全局电源网格面积为总面积的30%(或者30%的芯片尺寸)，导线能够通过连续的1mA/μm的电流。

(1) 如果芯片实际电路的损耗主要是静态电流(DC)，那么可用的最大电源总线宽度是多少？考虑到一个电源总线包括流入和流出的路径，两者有着相同的电流，并以最小间隔分开分隔。

① 是指电路在一定的静态工作条件(比如工艺变化，电压以及温度)下所进行的时序分析。

(2) 如果片上的 $L \cdot \mathrm{d}i/\mathrm{d}t$ 噪声是主要噪声组成部分，继续假设统一电流损耗，从图表中选择最佳的导线宽度是多少？

(3) 导线宽度(或电源网格结构)的选择是怎样变化的如果在任何全局电源总线段上芯片峰值电流都为 15mA？

4-4　在图 4-11 中，负载电路模块 I_3 面积为 0.12mm^2，比模块 I_2 的 0.16mm^2 略小。I_3 是一个峰值电流为 100mA，时间基准为 200ps 的电流源，而 I_2 的峰值电流同样为 100mA，但时间基准为 100ps。因此，I_2 具有较高的分布式 $\mathrm{d}i/\mathrm{d}t$。

但在图 4-12 中，芯片角(0,0)处在没有增加电容 C_3 的情况下，有一个高达 70mV 的峰值噪声，这比负载模块 I_2 的峰值噪声、约 40mV，甚至比模块 I_3(0,0)位置的对角线处的峰值噪声中都要高。请陈述其原因。

参考文献

[1] Wikipedia, The Free Encyclopedia. 2009. http://en. wikipedia. org/, various information pages.

[2] Tschanz, J. W., J. T. Kao, S. G. Narendra, R. Nair, D. A. Antoniadis, A. P. Chandrakasan, et al. 2002. Adaptive body biasing for reducing impacts of die-todie and within-die parameter variations on microprocessor frequency and leakage. *IEEE Journal of Solid-State Circuits* 37(11):1396-1402, November.

[3] Tschanz, J. W., S. Narendra, R. Nair, V. De. 2003. Effectiveness of adaptive supply voltage and body bias for reducing impact of parameter variations in low power and high performance microprocessors. *IEEE Journal of Solid-State Circuits* 38 (5): 826-829, May.

[4] Nair, R. 2008. *A power integrity wall follows the power wall*. Online journals, March, www. anasim. com/papers/pifp2. pdf.

[5] Nair, R., & D. Bennett. 2008. *Power integrity and energy aware floorplanning*. Online journals, January.

[6] Bennett, D. 2004. *"Symmetric" design techniques facilitate power analysis*. Online journals, September.

[7] Anasim Corp. 2007-2009. *π-fp simulator manual*, www. anasim. com/.

[8] Nair, R. 2007. *Power delivery, integrity analysis, and management in nanoscale SoCs*. SoC 2007, Tampere, Finland, November, http://soc. cs. tut. fi/2007/Nair07. pdf.

[9] Nair, R., and D. Bennett. 2008. *Beyond IR drop: Dynamic voltage droops and total power integrity*. Online white paper, March, www. anasim. com/papers/pifp3. pdf.

[10] Nair, R., et al. 2002. *Duty cycle control loop*., United States patent no. 6,456,133, November.

第 5 章　电源完整性分析与 EMI/EMC

Dipanjan Gope, Swagato Chakraborty, Vikram Jandhyala,
Mosin Moddal, Woopoung Kim, Souvik Mukherjee, Rajen Murugan, Raj Nair

5.1 引言

半导体技术已经使集成电路能够在低功耗模式下保持高速地运作；尽管工作在更低的电压状态 22nm 线宽的晶体管相对 45nm 晶体管而言，响应速度更快。然而，在高速和低工作电压情况下，数字电路一般具有更小的噪声裕度，对噪声更为敏感。因此，精确模拟噪声及其对数字电路的影响是高速集成电路设计的关键所在。信号完整性(SI)和电源完整性(PI)用来处理电路噪声及其对电路的影响。SI 是一门关于提高信号质量的学科；PI 用于稳定参考电源和参考地。在高速电路的芯片、封装和印制板设计中，SI 和 PI 是其中需要考虑的最重要问题。

图 5-1 说明了由信号串扰和电源噪声所导致的信号衰退现象。图 5-1(a)是一个在无串扰或电源噪声的高速 GDDR① 系统中的信号波形眼形图②[1]。图 5-1(b)为有串扰的波形。图 5-1(c)包括了串扰和电源噪声。SI 就是探讨如何将图 5-1(c)中衰退信号转化为图 5-1(a)中更干净的信号。

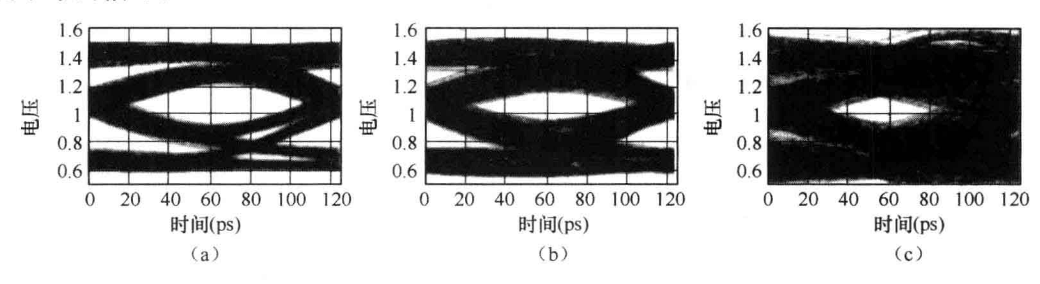


图 5-1　串扰(b)和电源噪声(c)对接收到的差分信号 EYE(a)的影响

图 5-2 是 PI 衰退的例证。由于芯片的开关动作会导致图(a)所示的干净的电压和地波形图变得嘈杂。PI 分析和管理主要研究将图(b)所示的嘈杂电压如何转换为干净的电压信号。因为正如图 5-1 所示，电源和地噪声影响了信号，所以 PI 可视为 SI 的一部分或者与其紧密相关，换句话说，电源噪声必须首先得以解决，以获得如图 5-1(a)所示的一个相对干净的"眼形图"。

在本章中，我们从电源线和地线噪声产生的根源着手，首先关注电源完整性的基本原理，解释电源分配网络(PDN)目标阻抗的概念；然后通过估计实际 PDN 阻抗所造成的电源噪声，比较目标电源噪声阻抗和实际 PDN 阻抗。通过解释在 PDN 设计中去耦电容的意义和用途，提供使用去耦电容的 PDN 设计步骤。下一步，我们将讨论计算方法学、工具和与电源完整性分析相关

① GDDR：图形双倍数据速率，专用于显卡的存储器接口。

② 眼图：针对不同符号及其序列，真正和互补信号电压之间的差异。

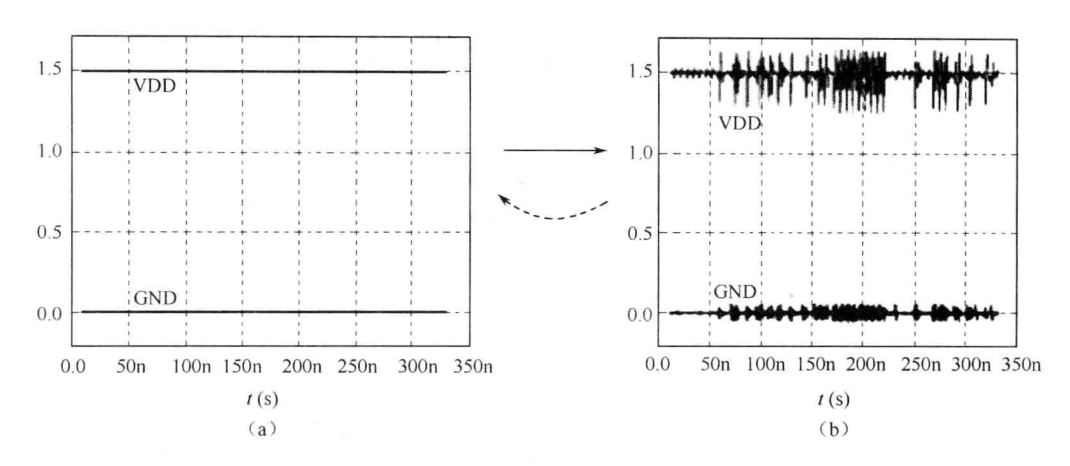


图 5-2 电源完整性的衰退

的优缺点。讨论二维和三维分析，以及静态、准静态和全波方法。考虑到对快速准确分析的需要，由于信号和电源路径的非理想性，我们通过大量的仿真实例、着重讨论了系统级设计中与 SI 和 PI 相关的要点——电磁干扰。本章最后总结了早期电磁干扰(EMI)分析流程，其中结合了分析简化部分，如在以往章节中讨论的借助三维场求解法来进行快速精确的模拟仿真。

5.2 通过电源分布网络产生和传播的噪声分析

5.2.1 电源和接地噪声来源

电源衰退的一个根本原因是来自连接电源与电路之间的电源传输网络(PDN)中寄生的电感和电阻，正如前面章节讨论的那样，动态电源噪声形式为 $L \cdot di/dt$，由电源传输路径中的电感产生，电阻则贡献静态和动态的 IR 压降。电源衰退的第二个原因是数字电路工作带来的开关电流：开关电流是电源和接地通路中噪声的主要来源。电压噪声由瞬态电流和 PDN 的阻抗产生。换句话说，尽管静态电流会减少可用的电源差，使 DI 恶化，但如果没有开关电流流经 PDN，则没有相应的动态噪声。电源和地噪声的幅度主要取决于以下因素：开关电流和 PDN 中寄生元件的大小。

接下来的问题是要确定图 5-3 所示的 PDN 能产生多少噪声。由于开关噪声主要是由电感产生，故噪声电压 $V(t)$ 可以表示为：

$$V(t) \approx L_{\text{pkg}} \cdot \frac{dI(t)}{dt} \tag{5-1}$$

其中，$I(t)$ 是数字电路的开关电流。电压 $V(t)$ 是我们希望得到的晶体管处的电源噪声，它正比于电感和开关电流对时间的导数。

如果电源线和地线噪声是不可避免的，那么我们必须找到数字电路可以正常工作的电源噪声容限，±5%的噪声，或 10%的峰峰值噪声，是当今集成电路工业界采用的共同标准[2]。对于一个供电电压 $V_{DD}=1.8$V 的电源而言，180mV 的电源噪声是可以接受的，但是这并不意味着数字电路将无法正常工作在具有更高的噪声情况。有些电路可以容忍更多的噪声。但需

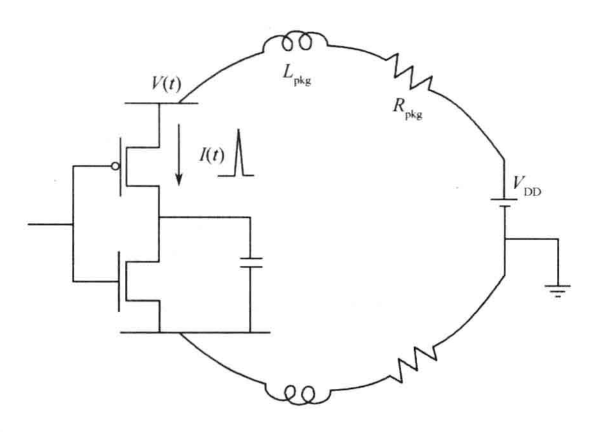


图 5-3　一个简单数字电路的电源路径寄生元件和开关噪声

要牢记的是这仅对数字电路适用：如果附近有对噪声更敏感的模拟电路，如片上系统（SoC），这些电路则需要更加苛刻的要求。在本章中，我们遵循数字集成电路对噪声的一般指导规则，基于±5%的容限，可以大致得出封装电感的需求为

$$L_{pkg} \leqslant \frac{0.05 \cdot V_{DD}}{\max(\mathrm{d}i/\mathrm{d}t)} \tag{5-2}$$

如果封装或电源路径的电感低于这一要求，则没有与 PDN 相关的问题。否则，该网络必须加以改进以减少额外的电源噪声。

接下来的问题是考虑如何降低电源和接地噪声。第一步是减少电感。在封装和电路板级的设计阶段有许多方法可以减少电感。首先，针对电源线和地线提供更多的并行连接，这在一定程度上能降低电感。为此，在 DDR①，DDR2 和 DDR3 元器件封装中，我们发现电源和接地焊球（连接引脚的焊球）与信号的焊球之间的比例从 1∶4 上升到接近 1∶1。随着快速工作的系统中电源与接地噪声变得越发受关注，传输这一上升趋势也将会持续增加。在封装和 PCB 基板上使用较宽的电源和地电平平面（这些平板在宽表面处彼此正对），相当于形成更多的并行连接。另一种方法是在每个连接处都使用低电感的封装技术。例如，倒装芯片连接比线键合连接方式的电感要小。然而成本是一个关键性问题，如果一种降低电感和电阻的封装成本太贵，由于系统的成本预算的限制，它可能无法投入使用。最后一种方法是将电源互连布局到更接近地线的位置，这将从自感中减去互感的方式达到减小电感的目的，并同时增加额外的滤波电容。

如果电感值仍超过要求，可以采用如图 5-4 所示的去耦电容达到补偿的效果。为了能够有效利用去耦电容，必须仔细了解它的频率特性，去耦电容在高频下可能丧失电容的有效功能。如图 5-4(b)所示的多级电容能够有效降低 $V(t)$，这主要归功于去耦电容的频率响应特性。必须牢记的是在使用去耦电容之前，PDN 设计者应该首先尽可能降低 PDN 中的电感值。因为较低的 PDN 电感可能需要更少的去耦电容，从而降低了系统成本。

5.2.2　PDN 中目标阻抗的计算

为了设计一个 PDN，必须首先定义其需求。这些要求可以部分解释为方程(5-1)中的最

---

① DDR：双数据传输速率，外部的内存模块的内容和通信协议。

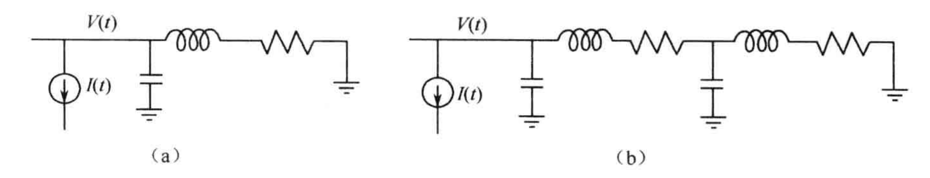


图 5-4 带有去耦电容的 PDN 设计实例

大电感，它们也可以额外表示成频域内的阻抗。后一种方法被称为目标阻抗(见图 5-5)，由于它能够很容易估计去耦电容的作用，所以经常用到。目标阻抗定义如参考文献[2]所示：

$$Z_{\text{target}} = \frac{V_{\text{DD}}}{\Delta I_{\text{PDN}}} \times (tolerance\ percentage) \tag{5-3}$$

其中，V_{DD}为电源电压，I_{PDN}是负载电路的开关电流，容差百分比是电路所能容忍的噪声水平。注意到等式(5-3)等同于方程(2-13)①。对于容差百分比而言，5%是数字电路的首要电流规则，允许的峰峰值噪声是±5%，这相当于 10%峰峰值的 V_{DD}噪声。ΔI_{PDN}是流经 PDN 电流最大差值。例如，如果 V_{DD}等于 1.6V，最大电流为 56A，最小电流为 28A，容差为±5%，那么 $Z_{\text{target}}=2.8\text{m}\Omega$。

电源和地噪声的峰值是由电流上升和下降的转换过程与 PDN 的电感所产生的。在转换期间，

$$V_{\text{noise}} = L_{\text{PDN}} \cdot \frac{\text{d}I}{\text{d}t} \approx L_{\text{PDN}} \cdot \frac{(I_{\max} - I_{\min})}{t_{\text{r}}} \tag{5-4}$$

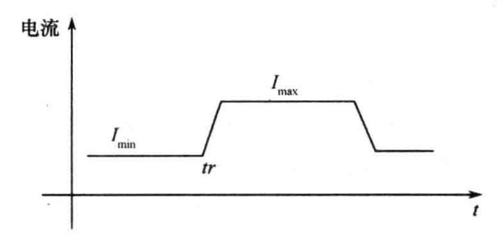


图 5-5 决定目标阻抗的负载电流假设情况

依据上面的公式可得，

$$Z_{\text{target}} = \frac{V_{\text{DD}}}{\Delta I_{\text{PDN}}} \times (tolerant\ percentage) = \frac{L_{\text{PDN}}}{t_{\text{r}}} \tag{5-5}$$

例如，如果 $t_{\text{r}}=200\text{ps}$ 和 $Z_{\text{target}}=2.8\text{m}\Omega$，那么 $L_{\text{PDN}}\approx0.56\text{pH}$ 值。如果 L_{PDN}值可以通过封装及电路板的设计实现，就没有必要使用去耦电容。否则，就得使用去耦电容来减少电源和地噪声。

因为我们关心的是电路级的噪声，故使用电路一侧与电压调节模块(VRM)之间的阻抗作为目标阻抗，如图 5-6 所示，采用 Z_{in}来代替。作为电压源，VRM 在如图 5-4 所示 PDN 分析中被视为短路连接，尽管电压源可以被视为短路，但 VRM 的输出电感和封装电感通常较大，应予以考虑[3]。

通过图形模式理解目标阻抗更加容易，如图 5-7 所示，典型情况下 Z_{in}阻抗在频域有多个峰值。目标阻抗采用虚线绘制，在开关电流的 3dB 频率范围以外 Z_{in}阻抗应该小于目标阻抗(如图 5-8 所示)。

① 方程式(2-13)：$\Delta V=\Delta I\sqrt{L/C}$，其中$\sqrt{L/C}$是滤波级中与频率无关的阻抗。

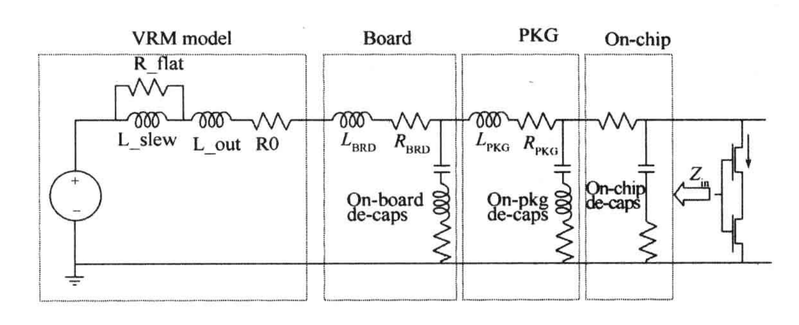


图 5-6　完整的电源传输网络模型

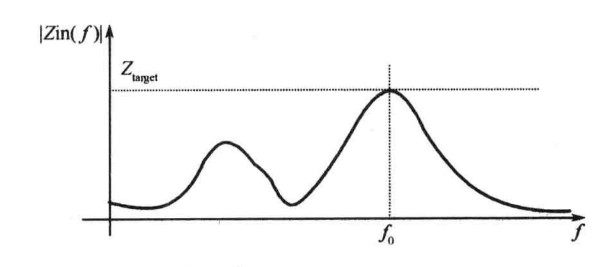


图 5-7　Z_{in}和目标阻抗

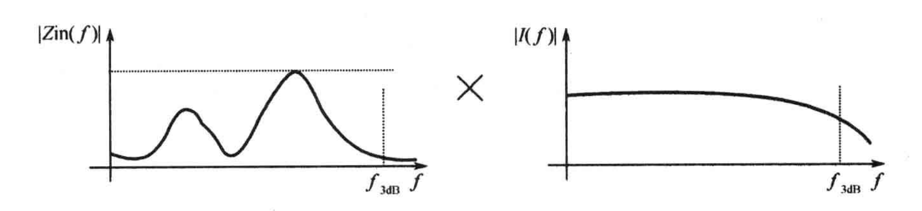


图 5-8　一种典型的 PDN 阻抗和具有宽带宽特性的开关电流

5.2.3　来自 PDN 阻抗的电源—地噪声评估

虽然目标阻抗广泛应用于 PDN 设计中，但是主要关心对象不是目标阻抗，而是电路在时域中的电源噪声。因此，必须建立目标阻抗与时域电源和地噪声之间的相互关系。在本节中，我们将讨论像 MDDR 和 LPDDR2① 等非终端的②系统之间的关系。在这些系统中，我们可以假设电流负载在频域表现为单个脉冲。

目标阻抗也许不能反映实际 PDN 的电源噪声。在图 5-7 中，如果输入开关电流为频率$f=f_0$的正弦波，且网格阻抗的峰值出现在 Z_{target}处，则目标阻抗会产生±5%的 V_{DD}噪声，在实际应用中，如图 5-8 所示，电流负载可以有较宽的带宽，在下面的讨论中，我们将评估这些环境下的电源和接地噪声。

设 $I(t)$为 PDN 的开关电流，$Z_{in}(t)$为从电路看进去的时域 PDN 阻抗，$V(t)$为电路 PDN 中时域的电源电压噪声。如图 5-8 所示，$I(t)$具有宽带宽频谱，对于 PDN 中的电压噪声，假设

① LPDDR2：各种外在的存储模块和通信协议。

② 非终端：通信但不终止于其特性阻抗。

典型电压噪声波形(谐振电路的时域响应),如下式所示时,

$$V(t) \approx A \cdot e^{-\alpha t} \cdot \cos(\omega_0 \cdot t) \quad t > 0 \tag{5-6}$$

其中,α 为衰减因子;A 为幅值系数;ω_0 为谐振频率。上式很好体现了 PDN 噪声的一个重要方面。从式(5-6)可见,

$$\int_0^\infty V(t)^2 \mathrm{d}t = \frac{A^2}{4 \cdot \alpha} \tag{5-7}$$

运用 Parseval 定理,式(5-7)可以改写为

$$\int_0^\infty |V(f)|^2 \mathrm{d}f = \int_0^\infty v(t)^2 \mathrm{d}t = \frac{A^2}{4 \cdot \alpha} \tag{5-8}$$

在无源 PDN 中,$V(t)$可以表示为时域电流与 PDN 脉冲响应的卷积:

$$V(t) = Z_{\text{in}}(t) \cdot I(t) \tag{5-9}$$

以上等式可以转换为频域表达式,如下所示

$$|V(f)|^2 = |Z_{\text{in}}(f)|^2 \cdot |I(f)|^2 \tag{5-10}$$

从式(5-6)可知,峰值噪声的幅度近似为 A,则

$$A = (\sqrt{4 \cdot \alpha})\sqrt{\int_0^\infty |V(f)|^2 \mathrm{d}f} \approx (\sqrt{4 \cdot \alpha})\sqrt{\int_0^{f_{3\text{dB}}} |Z_{\text{in}}(f)|^2 \cdot |I(f)|^2 \mathrm{d}f} \tag{5-11}$$

方程(5-11)表明,电源噪声由开关电流直流点到 3dB 频率范围内的 $|Z_{\text{in}}(f)|$ 面积决定。如图 5-9 所示,一般来说 $V(t)$的峰值幅度与开关电流的 3dB 频率范围内的面积成比例。

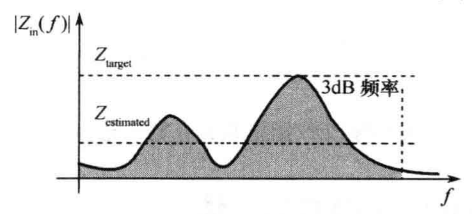


图 5-9　来自 PDN 和开关电流频谱的实际电源噪声分析

由于电源噪声 $V(t)$与 PDN 阻抗面积成比例,由目标阻抗值的卷积估计的噪声比高带宽开关电流的计算噪声要差,因为 Z_{target} 的矩形区域面积比 $Z_{\text{in}}(f)$从 DC 到 3dB 频率内的面积要大很多。

5.3　降低 PDN 中噪声的去耦电容建模

在使用去耦电容前,了解去耦电容的属性非常重要。PDN 中采用的电容称为去耦电容或旁路电容。去耦电容分为三类,根据其不同位置命名不同:板上去耦电容、封装级去耦电容,以及片上去耦电容,这些电容的尺寸与容值与它们的位置相关。简言之,板上去耦电容最大,在 μF 至 mF 范围;封装级电容较小,为 nF 至 μF 范围;片上电容最小,为 pF 至 μF 范围。虽然这些器件都被作为电容对待,但它们并不总是表现为电容特性。如图 5-10 所示,根据不同的尺寸,所有的电容都有寄生 ESL(等效串联电感)和 ESR(等效串联电阻)成分。因为这些特性在

PDN中扮演着重要的角色，熟悉并掌握每个电容的ESL和ESR[2][4]是非常重要的。

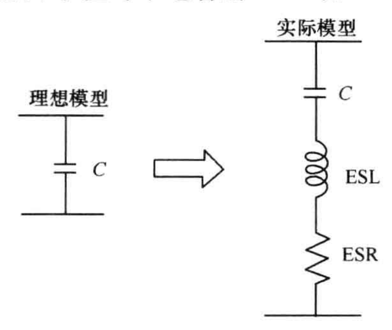


图5-10 实际电容的频域模型

图5-11显示了频域内电容模型的阻抗。电容的谐振频率为f_0，定义为

$$f_0 = \frac{1}{2\pi} \cdot \frac{1}{\sqrt{C \cdot ESL}} \text{Hz} \tag{5-12}$$

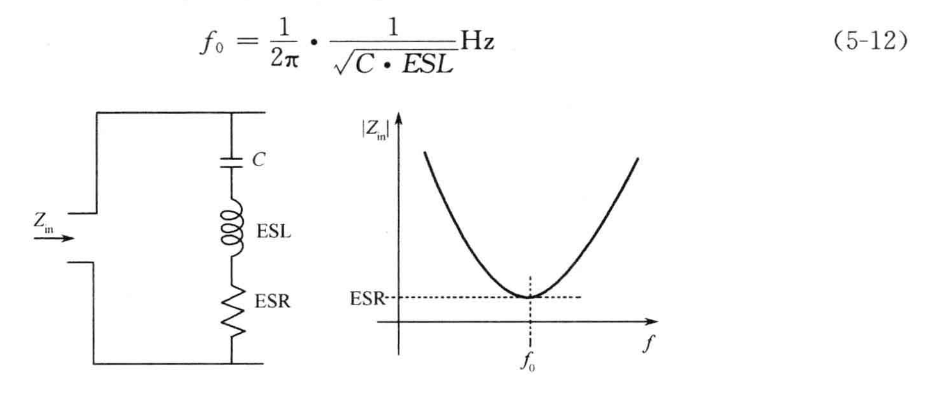


图5-11 实际电容的频域响应

当电容工作在低于它的共振频率时，体现为电容状态，且阻抗随着频率的增加而减小。当高于共振频率时，不再是电容而相当于电感，阻抗随着频率的增加而增大。最好选用低等效串联电感(ESL)和低等效串联电阻(ESR)的电容，但这样的电容将会导致相对较高的成本。值得注意的是，采用多个并联且具有独立ESL和ESR的电容，将会减小等效的去耦ESL和ESR。

5.3.1 板上去耦电容

根据物理尺寸的大小，板上去耦电容可以提供相对较大的，容值在μF至mF数量级的电容。但是大尺寸的电容将会导致相对较大的ESL和ESR。如图5-12所示，板上去耦电容的谐振频率都在MHz或者更低的范围内。

5.3.2 封装级去耦电容

相对于板上去耦电容，封装去耦电容体积更小，容值一般在nF至μF的数量级。由于其紧密的结构，这种电容具有较低的ESL和ESR。如图5-13所示，封装去耦电容的谐振频率在几十兆赫兹的范围内。

5.3.3 片上去耦电容

片上去耦电容是三者中最小的，容值一般在pF至nF的数量级。在开关电流的3dB频率

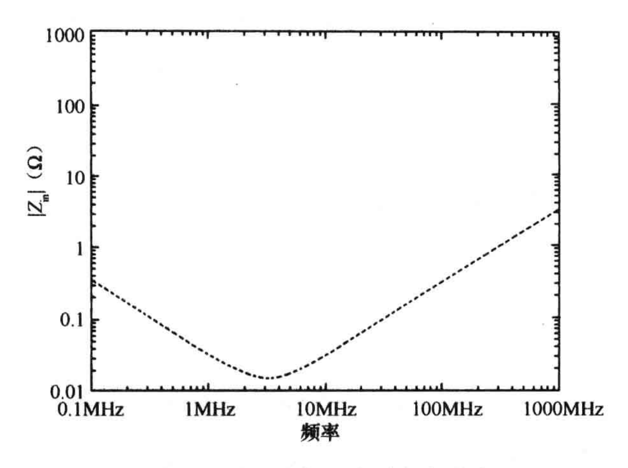


图 5-12 片上去耦电容的频率响应

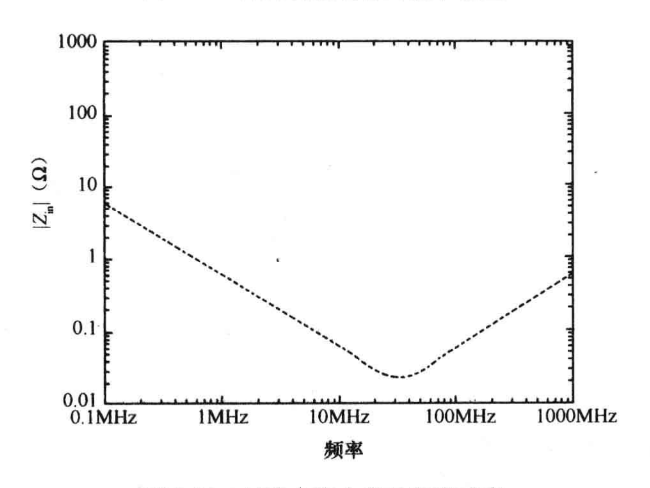


图 5-13 封装去耦电容的频率响应

范围(f_{3dB})内，由于电容很小，ESL 通常可以被忽略。但由于导体材料有很大的损耗，所以 ESR 必须考虑。图 5-14 说明了片上去耦电容的频率响应。ESR 通常由电容的时间常数 RC

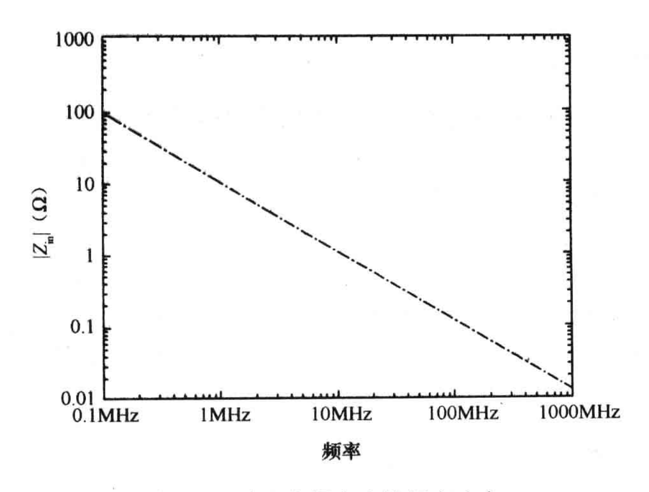


图 5-14 片上去耦电容的频率响应

决定，对于片上去耦电容，其时间常数 RC 的典型值为 10～100ps 的范围。片上去耦电容的容值可以粗略地被定义为：

$$\frac{1}{2\pi \cdot f_{3dB} \cdot C_{onchip}} \ll Z_{target} \tag{5-13}$$

5.4 电源传输网络中的电流设计方法学

这一节将一步步地阐述 PDN 的设计流程。为了设计一个 PDN，必须首先定义超过开关电流 3dB 带宽的 PDN 目标阻抗。目标阻抗应依据电路的开关电流以及耐压来定义。现将目标阻抗记为 Z_{target}。如之前阐述的，实际噪声比根据目标阻抗所估计的噪声要小。虽然目标阻抗会增大电源噪声，但设计一个 PDN 的好处在于它提供了一个最差情况估计。现在开始一步步设计一个 PDN，预先定义 $Z_{target}=180\text{m}\Omega$，开关电流的 3dB 频率带宽 $f_{3dB}=1\text{GHz}$。

5.4.1 第一步：尽可能地减小 PDN 的电感

如图 5-15 所示，PDN 的基本框架包括 VRM、电路板、封装互连以及片上互连。因此，框架结构是 PDN 的出发点。如果在超过 3dB 频率范围内，从电路端看进去的输入阻抗小于目标阻抗，就没有必要去增加去耦电容，PDN 设计可以完成。否则，这种 PDN 还需要改进。

可以采用两种方式改进：PDN 可以减小图 5-15 中的电感；或是采用去耦电容。我们首先应该尽可能减小电感，这样能减少去耦电容的使用，降低系统成本。具有减小电感的方法在 5.2.1 节中已经简要讨论过。封装电感必须尽量保持较低数值，因为它会显著影响 PDN 谐振峰值附近电源和地噪声。

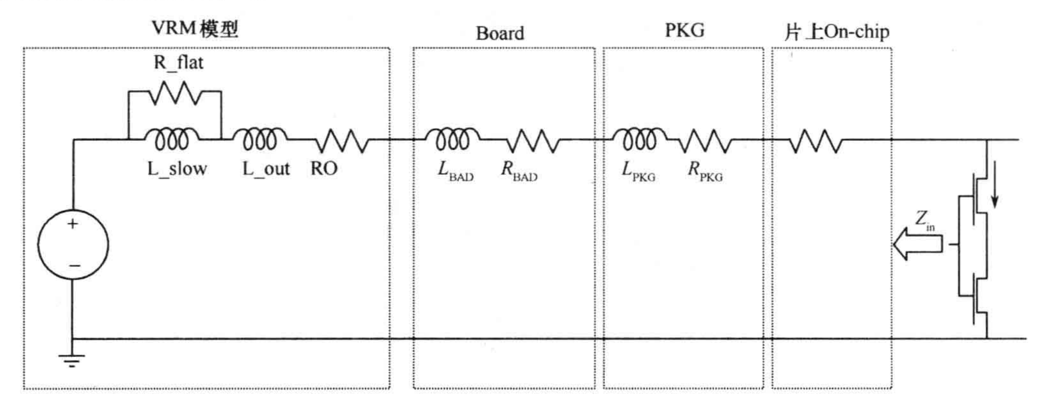


图 5-15　PDN 中的电感

VRM 电感相对较大，在几个 nH 范围内[3]，但因为它是分立元件，所以很难改善。在图 5-15中，VRM 电感非常重要，以至于在数字系统中，Z_{in}阻抗必须超过目标阻抗。下面是一个 VRM 模型的例子[3]。

L_out　=4nH
R0　=1mΩ
R_flat　=30mΩ
L_slew　=67.5nH

图 5-16 中绘制出了在开关电流 3dB 频率处，从电路看进去的输入阻抗 Z_{in}，假设下面板级和封装级电感为：

$$L_{BRD} = 500\text{pH}$$

$$R_{BRD} = 1\text{m}\Omega$$

$$L_{PKG} = 100\text{pH}$$

$$R_{PKG} = 5\text{m}\Omega$$

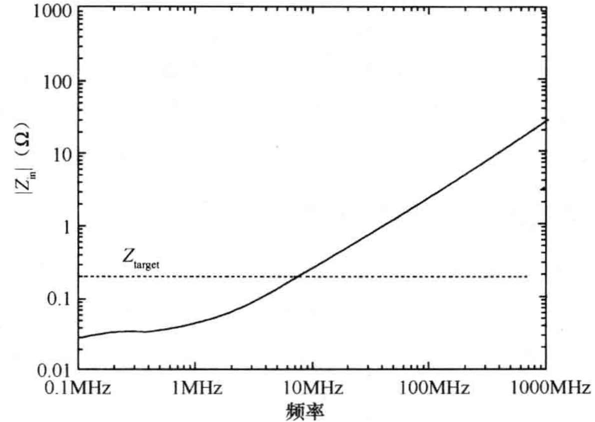


图 5-16 从图 5-15 电路中 VRM 部分看进去的 Z_{in} 阻抗

在图 5-17 中，从 DC 到 3dB 频率范围，输入阻抗 Z_{in} 比目标阻抗要高，并且使用去耦电容时可以降低输入阻抗。当使用去耦电容时，系统化方法从 VRM 级转移到了电路级。

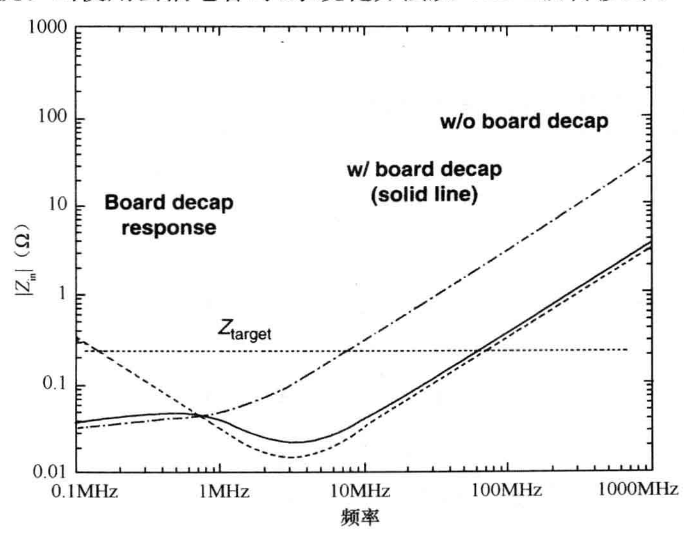


图 5-17 在 VRM 部分加入板上去耦电容的 PDN 的输入阻抗

换句话说，首先选用板上去耦电容为目标阻抗，其次是封装级去耦电容，最后考虑片上去耦电容。

5.4.2 第二步:板上去耦电容的使用

PDN 设计的目的是为了在超过 3dB 频率的范围内,使输入阻抗低于目标阻抗。因为不能用一个元件来快速解决这个问题,我们必须系统地使用多个去耦电容。电源完整性设计的工程师们目前所采用的方法是为了从 Z_{in}小于目标阻抗的低频处一步步扩大频率范围。

为了在 10MHz 的范围内获得较低的输入阻抗,我们首先需要一些板上去耦电容。因为板上去耦电容具有最低的谐振频率,所以放在封装电容以及片上电容之前优先考虑。板上去耦电容如图 5-15 所示,参数为:

$$C_{board_decap} = 4.7\mu F$$
$$ESL_{board_decap} = 0.5nH$$
$$ESR_{board_decap} = 15m\Omega$$

在图 5-17 中绘制出了板上去耦电容的输入阻抗。如图 5-18 所示,板上去耦电容扩大了输入阻抗 Z_{in}低于目标阻抗的频率范围。

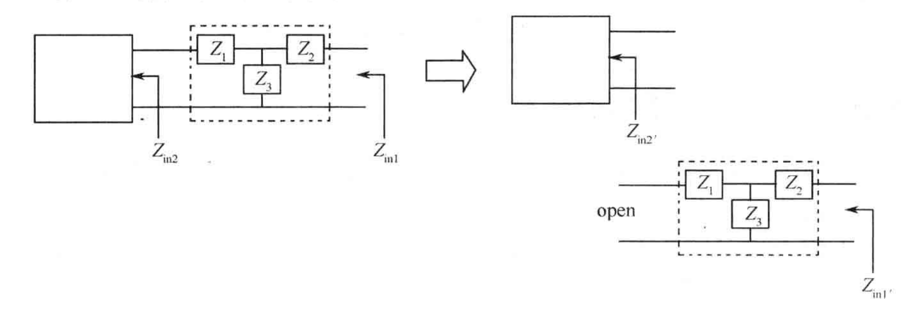


图 5-18 PDN 阻抗响应近似

幸运的是,去耦电容的输入阻抗 Z_{in}可以很容易地通过去耦电容的阻抗和没有电容的输入阻抗进行估算。在图 5-18 中,由 Z_1、Z_2、Z_3 组成的元件与电路相连接的阻抗为 Z_{in2}。如果 Z_1、$Z_2 \leqslant Z_{in2}$,则输入阻抗 Z_{in1} 能近似表示为:

$$Z_{in1} = Z'_{in1} \parallel Z'_{in2} \tag{5-14}$$

添加去耦电容的结构时,可以对图 5-15 中的 PDN 使用以上近似。含有板上去耦电容的 VRM 级的新输入阻抗可以近似为图 5-16 中的输入阻抗和图 5-17所示的去耦电容阻抗的并联,这种近似也适用于封装和片上去耦电容。

5.4.3 第三步:封装去耦电容的使用

如图 5-17 所示,在使用了板上去耦电容后,输入阻抗 Z_{in}仍然不满足目标阻抗的要求。下一步我们将引入封装去耦电容。由于它们具有比板上电容更高的谐振频率,所以能在更高的频率内有效地减小输入阻抗。

可以采用图 5-18 中的近似理论。使用 6 个具有以下参数的电容:

$$C_{pkg_decap} = 47\mu F$$
$$ESL_{pkg_decap} = 0.5nH$$
$$ESR_{pkg_decap} = 123m\Omega$$

图 5-19 中绘制出了 Z_{in}输入阻抗。当输入阻抗小于目标阻抗的频率范围时,可以在图 5-18 的基础上展宽。

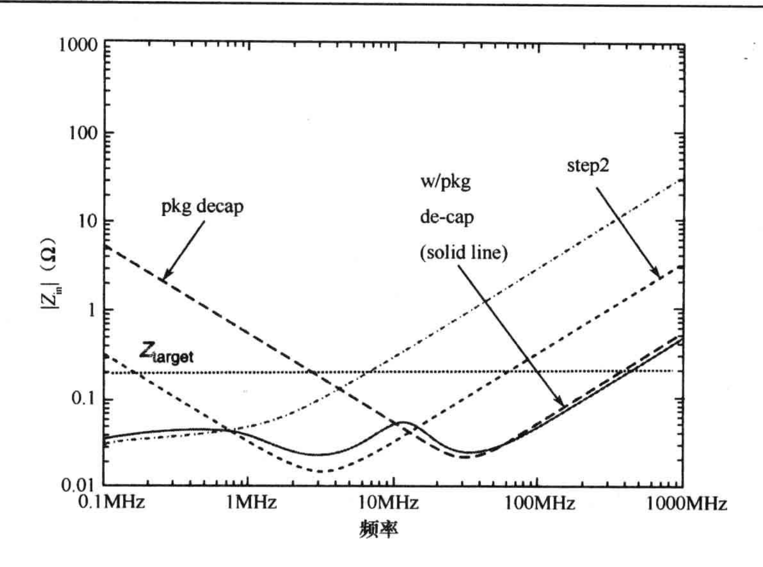


图 5-19 加入封装电容时 PDN 的 Z_{in} 输入阻抗

5.4.4 第四步：片上去耦电容的使用

最后一步是使用片上去耦电容。由于它的尺寸相对较小，所以可以假设忽略其电感，并且在高频段能非常有效地减小输入阻抗。

使用片上去耦电容的一个缺点是很难提供大的电容量。当采用的片上去耦电容的参数为：

$$C_{onchip_decap} = 15\text{nF}$$

$$ESR_{onchip_decap} = 6.7\text{m}\Omega$$

其最终输入阻抗如图 5-20 所示。片上电容的 RC 时间常数典型值为 100ps。由于在开关电流的 3dB 频率内，图 5-20 中的输入阻抗比目标阻抗要小，PDN 设计得以成功完成。

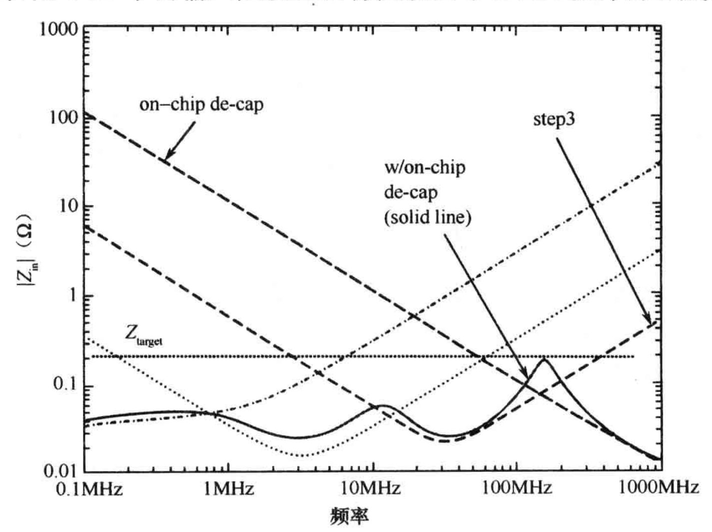


图 5-20 带有片上电容的完整 PDN 的输入阻抗 Z_{in}

5.5 建模方法

如在 5.4 节所讨论的一样，为了有效地设计一个电源传输网络，在 PCB 级、封装级、芯片级是否有去耦电容的各种组合情况下，我们都必须精确地估算其输入阻抗。从前期布局的近似分析到后期布局的具体验证，在各种设计周期阶段，设计者都可以使用不同数值方法的软件工具，在一定程度上自动优化设计也成为可能。这些方法在效率、准确性，以及普遍适用性上有很大的区别。

这些数值方法的详细原理不在这本书所涉及的范围内，但是熟悉这些不同方法的基本原则对于设计者是非常有用的，它能帮助设计者在特定几何体、频率范围、翻转时间和精确度要求下选择最理想的分析方法。

所有数值方法都试着解决在电路几何尺寸内的电磁场特性，通过采用很好的逼近法在数值上模拟麦克斯韦方程组。要了解各种方法的具体细节，确定其基本假设是非常必要的。在空间的特定区域，麦克斯韦方程组决定着电场特性、磁场特性以及两者之间的关系。另外，电场和磁场都存在一系列的边界条件，在材料界面处这些条件总是成立的。采用向量符号以及忽略时间谐波分量，麦克斯韦方程组[5]在频域内可以写为：

$$\nabla \times E = -j\omega\mu H \qquad \text{(法拉第定律)} \tag{5-15a}$$

$$\nabla \times H = j\omega\epsilon E + \sigma E \qquad \text{(安培电路定律)} \tag{5-15b}$$

$$\nabla \cdot D = \rho \qquad \text{(高斯定律)} \tag{5-15c}$$

$$\nabla \cdot B = 0 \qquad \text{(针对磁场的高斯定律)} \tag{5-15d}$$

其中 H 和 E 分别代表磁场和电场，在频域内 ω 代表角频率。

法拉第定律[式(5-15a)]将一个旋转的电场与在磁场中对应的时间变化相关联；而安培定律[式(5-15b)]是双法拉第定律，它将磁场的环路组件与电场中的时间变化，以及闭环路中的传导电流相关联。高斯定律[式(5-15c)]是电磁场分析的基础，它还将一个封闭体积内发射的总的电通量和在体积内所聚集的总电荷量相关联。不同于电荷，磁单极不能物理上存在。

所以在一个有限体积内没有非平衡磁荷的概念。因此，电磁学高斯定律[式(5-15d)]是静电荷恒为 0 的式(5-15c)的对偶式。

从式(5-15a)到式(5-15d)是三维空间中的部分偏微分方程，用数值方法求解很烦琐。后面我们将会看到，这些等式的通解必须从原始形式得到，不用做任何物理近似，但是，随之而来的高运算成本使得大规模电源传输网络分析不太现实，尤其是在最初的设计阶段。但是，有一类物理假设可以将这些方程转换成更简单的方程形式。解这些简化方程的运算成本会小很多，并且根据所做假设的合理性，可以有良好的精度。后面还会提到，在这种列解方程工作中所做的一些假设，能为电源完整性分析提供足够的精度。

5.5.1 低频近似

使用电流连续性方程，进入导体给定体积的净电流可以在频域中与该体积内的电荷时间变化相关联。

$$\nabla \cdot \boldsymbol{J} = -j\omega\rho \tag{5-16a}$$

式(5-16a)适用于波长远大于电路的几何尺寸的更低频率。因此,电荷积累量随时间的变化可以忽略。式(5-16a)可写为

$$\nabla \cdot \boldsymbol{J} = 0 \tag{5-16b}$$

对于电路分析来说,式(5-16b)可解释为一种离散的形式。该式表明流入某电路节点的总电流之和为0,即

$$\sum_{K} I_k = 0 \tag{5-16c}$$

类似地,使用方程式(5-16a),可以发现直流下某一回路中不存在磁通量密度随时间的变化。因此,式(5-16a)可以写成积分的形式

$$\oint_C E \cdot \mathrm{d}l = 0 \tag{5-17}$$

以电路变量来表示,式(5-17)意味着沿某一回路的净电压降为0。式(5-16c)和式(5-17)分别是大家所熟悉的基尔霍夫电流定律和电压定律,并且在电路分析中得到了广泛的使用[7]。对于电源传输网络PDN的电路级分析来说,我们必须估计电源和地引脚的电阻、电容和电感大小,以及它们之间的互耦值,如图5-21所示。

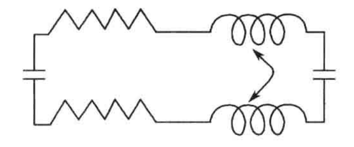


图5-21　一种简单的电源和地电路RLC表述情况

低频情况下,式(5-15a)和式(5.15b)中的频率项在极限情况下可以近似为0,正如式中所见,这样会导致电场和磁场的去耦合。

式(5-15a)和式(5-15b)中的磁场和电场随时间的变化可以忽略,这就是被广泛用在提取芯片电容和电感的静电和静磁分析基础[8]。直流情况下,电容表现为理想开路,电感表现为理想短路。上述情况下,单纯的电阻提取就足以表征某一电路。在稍高频率,电容阻抗不是无穷大,并且允许电流从电源引脚流向地引脚,然而电源引脚和地引脚之间的阻抗主要表现为电阻。在上述情况下,电感可以忽略,电路主要由电阻和电容来表征——这种方法被广泛用在集成电路的交流特征分析中。在更高频率下,电感在决定信号引脚和电源引脚之间的阻抗,以及它们之间的互耦效果时起到主导作用。我们必须在分析中引入电感的影响。

在更高频率,式(5-15a)和式(5-15b)中的磁场和电场随时间的变化更加明显,此时电场和磁场之间的耦合变得非常重要。频率继续增加,有必要考虑包括辐射在内的全部高频影响,并且必须要得到一个三维全波解。在某些情况下,可发掘电路的几何特性以降低问题的复杂度,并且当频率在几吉赫兹的情况下,有一类2.5维的解决方案可以给出具有足够精度的系统解。下面粗略地探讨一下不同方法学及其假设。

三维电阻提取:该方法采用数字芯片层对某一纯电阻网络进行提取和仿真[9]。尽管该方法被广泛地用来对直流情况下的导体和衬底损耗进行建模,但由于没有考虑电容和电感的影响,使之仅局限于纯静态分析。这种方式比较简单,被用于全芯片电迁移分析及静态IR压降估计。

三维RC提取:通过解泊松方程为芯片金属层和衬底建立三维RC模型,更进一步提升复杂度[10]。这些模型适用于时序和延迟计算,以及相对低的时钟频率下的片上信号完整性和电

源传输网络。因为没有考虑电感的影响,该建模技术仅适用于在电感影响最小时估计较低频率下的阻抗。

三维 RLC 提取:吉赫兹频率下的片上建模要求我们除了 RC 建模外还要对电感建模[11]。电感回路潜在的分布性质及由趋肤效应和邻近效应来带的频率依赖,使其成为一个更值得关注的重要问题。

三维准静态建模:该建模技术有不同的版本。最简单的形式就是类似于 RLC 建模。在更复杂的版本中,基于电荷—电流连续性方程电阻、电感和电容耦合在一起。与全波建模的不同主要在于忽略了延迟(时域)或者相量(频域);在物理上,这等同于假设所有影响(电流,电压,场)瞬间通过该系统。准静态模型[12]广泛用在全端口的封装电学模型中。这些模型一般适用于低吉赫兹频率范围内,并可用于电源完整性和信号完整性分析。

5.5.2　高频方法

二维传输线建模:当涉及的问题包含重要的对称性和架构时,该方法通常是一种非常有用的技术。例如,可以将精心设计的跨越接地平板的平行 PCB 走线用单位长度(二维横截面)RLGC 参数建模[13]。对更通用的延迟路径该方法具有一定的局限性,并且当走线经过空白区、拐弯处、连接到孔、改变宽度和阻抗不连续时,需要记录该情况并进行修正。该技术主要着眼于差分激励的对称结构,因此不适用于对电磁辐射计算很关键的共模延迟进行建模。

2.5 维 TEM 近似:当电磁波位于间隙小到可以和波长相比拟的平行金属板之间进行传播时,可以采用横向电磁近似[14]。这种方法 2.5 维空间中采用,主要用于 PI 建模。当这些近似不成立时,它们给出的模型就不再精确,比如当频率在吉赫兹范围时;当边缘效应很明显时;当存在大片空白区、挖空区和狭缝时;当封装没有很好的平板时(一般因为成本原因,比如低成本模拟封装)。

三维全波建模:不同方式的三维全波[15]建模技术给出了芯片→封装→板级系统中电磁建模的最精确方法。要达到这种精度对规模,存储和时间提出了重大挑战。这些技术没有做场行为的假设和结构的几何近似,因此最适合于电磁干扰和辐射(EMI)的计算。

5.5.3　数值方法学分类

表 5-1 给出了学术界及工业界为解决芯片—封装—板级的系统级电磁分析问题而提出的方法汇总,表中包括在电源传输网络分析中这些技术的局限和应用。

表 5-1　用于电源传输网络的各种数值方法比较

方　　法	应　　用	电源传输网络分析中的局限
三维电阻提取	片上静态电源传输网络分析	仅限直流分析
三维 RC 提取	片上电源传输网络分析,片上时序和噪声分析	一种严格限于低频的方法
三维 RLC 提取	片上电源传输网络分析,片上时序和噪声分析,低频全封装模型	不能对电感和电容之间的高频耦合建模
三维准静态建模	低频到中频的全封装模型	不能对由共模引起的高频辐射建模
二维传输线建模	对 PCB 走线的信号完整性差模分析	通常不适用于电源传输网络分析

续表

方　法	应　用	电源传输网络分析中的局限
2.5维 TEM 近似	亚吉赫兹频率和严格几何尺寸的封装和 PCB 电源地分析	横向电磁近似假设电磁场位于 PG 平面之间。高频下该假设不一定正确，尤其对于在电源和接地板上有很多空白区和挖空区的低成本电路
三维全波建模	通常适用，但根据可用资源有一些限制	很多求解法在低频（兆赫兹或更低）下有精度和稳定性的问题。成本和存储使用是主要挑战

5.5.4 数值方法比较的一个实例研究

作为一个实验实例研究，我们将要用到许多前面讨论过的方法学来分析如下电路形状，这在 PCB 电源—地引脚接法中很有代表性。我们会比较分析结果和计算成本，来证明成本—精度之间的折中，这可以决定在不同的设计阶段和精度需求下选用哪种方法。

在这个实例中，有两层厚 20μm 和间隔 100μm 的铜。内部区域充满绝缘材料 FR4，外部区域为空气。顶层为简化的电源引脚(V_{DD})，底层为地引脚(V_{SS})。为了对典型情况，即地引脚有为容纳信号引脚和其他电源引脚的挖空区域进行建模，我们在地引脚附近挖了一块方形区域。

如图 5-22(a)所示，顶层上引入了两个 1mm×1mm 的针脚。在它们正下方，底层上创建了同样尺寸的相应参考针脚。非直流频率下，直流电源可近似为短路。为模拟这种情况，在右边的 V_{DD}和 V_{SS}引脚之间引入了一个理想短路。端口定义在左边，在一个频带内计算这个结构看进去的输入阻抗。

在低频下，如图 5-23(a)和(b)所示，在第二谐振频率之前三种方法都很接近。尽管高频下阻抗主要由电感决定，静态方法还是能精确地获取直流电阻和电容。谐振现象是电感和电容之间相互作用的结果。因此，尽管 RL-only 模型能获取到谐振前的情况，但它却无法对谐振进行建模。

在更高频率下，直到第一谐振频率前，我们都可以对谐振频率进行正确地建模，该方法得到的结果从大于第二谐振频率处开始偏离。谐振频率和阻抗值都有显著的差异。

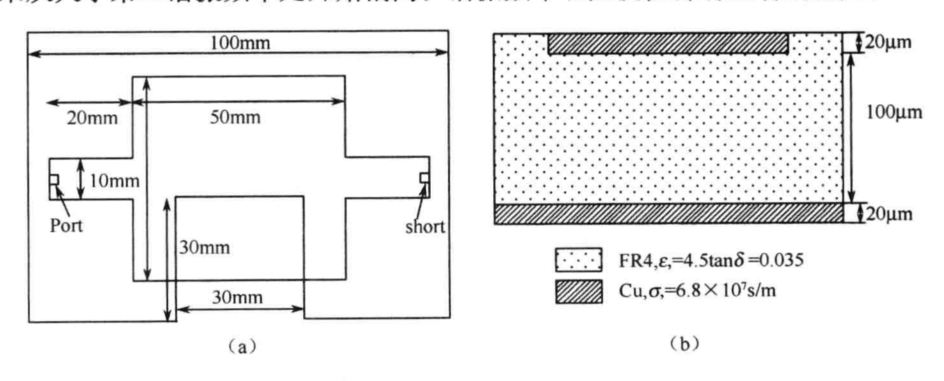


图 5-22　测试图形。(a)画法；(b)向上堆叠的纵向剖面

值得注意的是，多层 FD 结果和准静态结果由于不同的原因均偏离三维全波结果。在多层 FD 结果中，偏离主要由边缘现象和地电位平面非理想特性造成，比如挖空区。对于准静态方法，偏离主要由阻抗的电容和电感部分内在的分布式耦合造成。

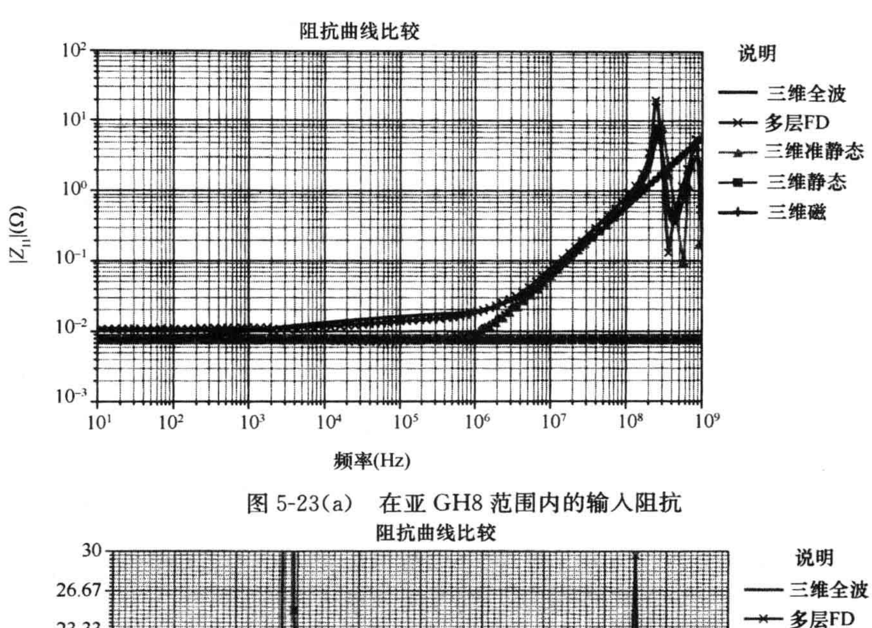


图 5-23(a)　在亚 GH8 范围内的输入阻抗

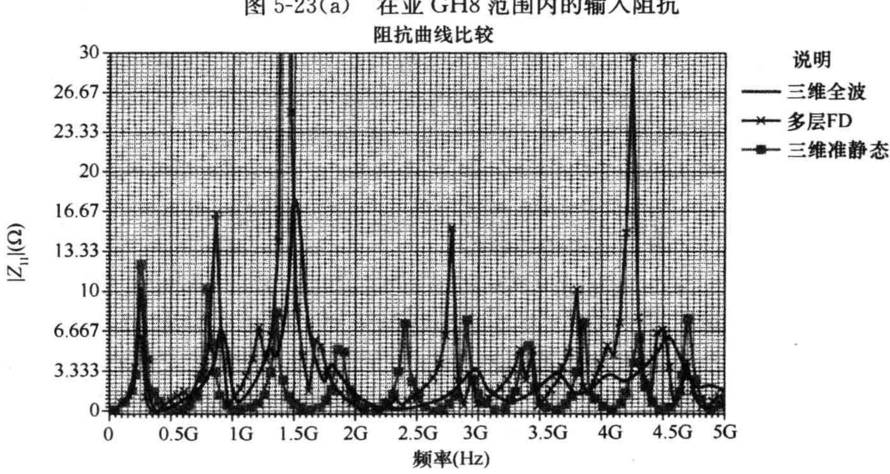


图 5-23(b)　在 GH8 信频范围内的输入阻抗

表 5-2 给出了不同方法之间的速度/精度折中。三维全波解决方案是最烦琐的选择，但正如前面讨论到的，它也是最精确和可靠的。2.5 维多层有限元方法会快更多。正如从图 5-23(a)和图 5-23(b)所看到的，在亚吉赫兹范围并没有明显的误差。但是，在超过第二谐振的频率范围内，谐振频率和尖峰值都有明显的偏离。值得注意的是，对于电源和接地平面的理想平行板布局，该方法可以适用于相当高的频率—这就意味着高频下看到的偏离与几何形状有关。在某些低成本封装中，接地平面有显著的非理想特性，比如为信号走线和不同电源引脚所留的空白区和挖空区。在这类情况下，基于 TEM 的 2.5 维方法就不精确了。另一方面，

表 5-2　为分析图 5-22 中测试实例，采用不同方法的仿真速度比较

方　法	总　时　间
三维全波	17 分(完全扫描)
2.5 维多层 FD	3 秒(完全扫描)
三维 RLC(准静态)	17 秒(提取＋SPICE 仿真)
三维 RL	12 秒(提取＋SPICE 仿真)
三维 R	1.2 秒(提取＋SPICE 仿真)

在高成本封装中，比如典型的微处理器封装和PCB，接地板必须要接近理想，具有最少的空白区和挖空区。在这些实例中，该方法可以很快提供足够精确的结果。

SPICE，集成电路仿真程序

三维准静态仿真通过利用静电和静磁问题的去耦合性质来获取比全波仿真更好的速度。因此，准静态解只适用于一定的频率范围内，在不考虑问题的几何性质时一般是低于第二谐振频率。在这些实例中，是以SPICE网表的形式输出的，可用电路仿真器进行仿真。就这种方法而言，精确建模趋肤效应是个挑战，因为输出电路参数(R,L,G和C)是与频率有关的。不同的方法在速度和精度方面有不同的优势，取决于使用者就某一特定应用来选择合适的方法。

5.6 数值方法

麦克斯韦方程组里的都是偏微分方程。广义上讲，这些方程可以用微分形式或者积分形式求解。微分解直接在某一选定区域中就场量采用麦克斯韦方程，并且通过选取合理的边界条件建立起相邻区域间的关系。另一方面，积分求解可以把一个方程转化为一个等价的积分形式，其中电场和磁场切线方向的分量被表示为等价的磁流和电流[16]。

积分解使用格林函数来计算这些由等价电流在空间中产生的场。这些边界条件最后被应用到这些场量上以得到解。

积分解和微分解在应用、速度、容量和精度方面都有它们的优点和缺点。在两种方法学中，电路图被拆分成离散的小元素，其中假设场或流量以某种方式在这些区域中运动。

微分方法一般需要对整个仿真区域的体积离散化，包括空的空间[17]。它们还需要特别的处理，即在仿真区域边界的边界吸收条件[18]。这会造成场衰减和辐射，而非反射进入仿真区域。另一方面，积分方法仅仅需要将填满的几何空间进行离散化。某些时候把区域界面的边界离散化就足够了，这种情况下该方法称为边界元方法。在积分方法中，等价的电流通过格林函数在本地和远处产生场，造成了一个相对小而密的交互系统。近来的发展利用了该密集交互的某些物理属性，并且在线性时间和存储[19]中处理了该密集系统的解，但是这些细节已经超出了目前讨论的范畴。

5.6.1 积分方程方法

在积分方法中，关键在于评估几何表面或内部流动的等价电流所产生的磁场。经典方法是将这些相互作用表达成具有多个线性方程的系统，在特定边界条件下求解以获取等价电流的分布。这种方法通常称为矩量法(MoM)[20]。还有另外一种著名方法[21]，其中电流和磁场的关系由电路元件来定义。这种方法称为部分元件等价电路(PEEC)方法，在3.2.1节中已对其进行了简单讨论。

矩量法

MoM方法基于麦克斯韦方程组的积分形式，使用格林函数[22]来计算电路中由流动电流所产生的分散电场和磁场。

这些恰当的边界条件然后被应用到包括散射场和激励场在内的整个领域。通过采用直接或迭代技术构建了线性方程系统。

图5-24描述了一个由粗线标出的具有无限小间隙的循环线。该间隙没有物理尺寸，被用于在电路中引入电压源。此电压差距源通常称为增量差距[23]，并且被广泛应用在基于

MoM 的电子电路分析中。在下面的特例中，通过确定几何体上的电流分布来定义下面几何的行为。

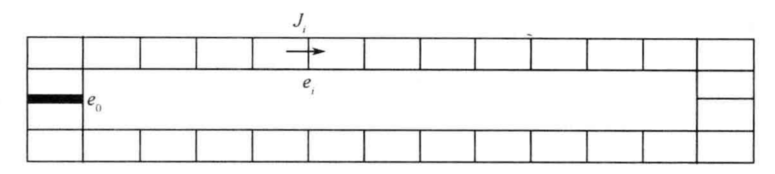


图 5-24 在 MoM 中的等效表面电流

首先，此结构被边界线逐个分隔为小的几何图形(如矩形)。通过此结构边界线的电流密度无法计算。为了建模，假设电流密度遵循事先预定的行为，如其函数形式[24]。然而，单独的电流基函数的强度是无法确定的。因此，解决了这些假设基函数中的未知系数就能知道通过单独边界的电流密度。

$$J_i = \alpha_i f(e_i) \tag{5-18}$$

横跨边沿的电场也可进行"测量"[24]以量化横跨此边沿的电压降。在混合的潜在积分方程中，由于电流流过所有的边沿，而导致的在某一给定点的分散电场可表示为如下的磁矢势和电势散度的组合：

$$E_{scat} = - j\omega\, A(J) - \nabla\, \phi(\rho) \tag{5-19}$$

其中，随时间变化的电荷密度即为堆积在每个矩形元件上的面电流密度。由连续性方程(5-16a)可知，此电荷密度与电流密度的散度相关。

$$\nabla \cdot J + j\omega\, \rho = 0 \tag{5-20}$$

同时，磁矢势和电场势作为电流流过导体的函数，可表示为

$$A(r) = \frac{\mu}{4\pi}\int [G(r,r')J(r')]\mathrm{d}s' \tag{5-21a}$$

$$\phi(r) = \frac{1}{4\pi\varepsilon}\int_s [G(r,r')\rho(r')]\mathrm{d}s' = \frac{-1}{4\pi \mathrm{j}\omega\, \varepsilon}\int_s [G(r,r')(\nabla \cdot J(r')]\mathrm{d}s' \tag{5-21b}$$

G 作为格林函数，代表了 r 点相对于 r' 点的单位元电荷的电势。格林函数的概念类似于常应用在系统分析中的脉冲响应。在此系统中，格林函数描述了位于测试位置附近的元电荷的单位激励效果。由实际激励产生的真实效果可以通过实际激励的格林函数的卷积得到。

综上所述，尽管不知道横跨某一单独边界的电流强度，但可以作为已知的基函数表示。利用方程(5-19)中的电场测试方法，边沿 i 上的电流通过边沿 i 上产生的电势差可以表示为

$$E(e_i) = - j\omega\, \mu 4\pi\int_s [G(r_j, r_i')J(r_i')]\mathrm{d}s' + \nabla\, 14\pi j\omega\, \varepsilon\int_s [G(r_j, r_i')(\nabla \cdot J(r_i')]\mathrm{d}s' \tag{5-22a}$$

代入式(5-18)得

$$E(e_i) = \underbrace{\left\{- j\omega\, \frac{\mu}{4\pi}\int_s [G(r_j, r_i')f(e_i)]\mathrm{d}s' + \nabla\, \frac{1}{4\pi j\omega\varepsilon}\int_s [G(r_j, r_i')(\nabla \cdot f(e_i)]\mathrm{d}s'\right\}\alpha_i}_{z_{ij}} \tag{5-22b}$$

综上所述，在图 5-24 的几何图形中，横跨边沿的总的电压降是 1V，横跨所有其他边沿的组电压为 0V。总的电压降为单独电流产生的电压降的代数和。因此，系统可由线性方程表示为

$$\begin{pmatrix} z_{00} & \cdots & z_{0n} \\ \cdots & \cdots & \cdots \\ z_{n0} & \cdots & z_{nn} \end{pmatrix} \begin{pmatrix} \alpha_0 \\ \vdots \\ \alpha_n \end{pmatrix} = \begin{pmatrix} v_0 \\ \vdots \\ v_n \end{pmatrix} \tag{5-23}$$

式中，当且仅当 $i=0$ 时 $V_i=1$，否则 $V_i=0$。

该矩阵方程可以通过直接或者迭代的方法求解以获得单个电流的强度。从而得到流过所有边沿的电流，包括增量间歇 ρ_0 在内。

5.6.2 差分方程方法

麦克斯韦方程组的微分形式通过对时间求导以及空间微分运算表达了不同领域之间的关系，即梯度、散度、卷积等。在微分方法中部分微分方程（PDE）可以通过在数值运算估算出场量。这些方法可大致分为有限差分（FD）技术和有限元器件方法（FEM）。FD 技术用近似的微分方程来描述一个有限的离散网络。作为有限差分时域方法（FDTD），时域方程是被广泛应用于各种不同的领域。尽管应用有限，但是相较于对应的有限时域差分法，频域分析 FDFD 由于具有更高的速度，因此更适合电源完整性分析。这将在下面的章节中讨论。

有限差分法

有限时域差分法能够自然地处理沿振和共振频率依赖效应，例如趋肤效应，衬底损耗等[14]。本章节将基于 FDTD 来详细阐述电源完整性理论。尽管存在不同的特点，但作为多层有限差分法（MFDM）[25]，本节将集中阐述针对多层 PDN 的等效电路方程。

假设沿着厚度方向上的场器件为恒定值，则电源平面结构可归纳为平面电路结构。不妨令 V 代表电压，ω 代表角频率，同样地，ε 、μ 分别代表两平面间的介电常数和磁导率，d 代表两平面间距离。假设$\partial/\partial z=0$[25]，由横向亥姆霍兹方程（见附录 B）可得

$$\left(\frac{\partial^2}{\partial x^2}+\frac{\partial^2}{\partial y^2}+\omega^2\varepsilon\mu\right)V=-j\omega\mu dJ_z \tag{5-24}$$

式中，J_z为沿着 Z 方向的注入电流。假设在平面边沿存在一理想的电磁墙或断路。

对于一对电源平面，图 5-25 显示了部分单元格面积为 h 的相同离散网格。假设下面的平面为基准面，为所有电流提供回路。

位于第 i 行第 j 列的单元网格(i,j)，在网格中心有一指定的节点，电压 $V_{i,j}$。该离散方案称为中心单元格离散。当在单元格(i,j)近似使用有限差分网络时，仅上下左右 4 个单元格是有用的，这 5 个单元格称为五点模板。在有限差分格中，空间导数方程可近似表示为$\partial^2 V_{i,j}/\partial x^2\approx(V_{i,j+1}+V_{i,j-1}-2V_{i,j})/h^2$和$\partial^2 V_{i,j}/\partial y^2\approx(V_{i+1,j}+V_{i-1,j}-2V_{i,j})/h^2$。因此，方程两边同除以$-\mathrm{j}\omega\mu d$，方程（5-24）可近似表示为：

$$\frac{V_{i,j}-V_{i,j-1}}{j\omega\,\mu d}+\frac{V_{i,j}-V_{i,j+1}}{j\omega\,\mu d}+\frac{V_{i,j}-V_{i-1,j}}{j\omega\,\mu d}+\frac{V_{i,j}-V_{i+1,j}}{j\omega\,\mu d}+\frac{j\omega\,\mu h^2}{d}j\omega\,\mu V_{i,j}=h^2 J_z \tag{5-25}$$

式（5-25）表明，中心点处有（1）相对于基准平面的等效电容：$C=Y/j\omega=\varepsilon h^2/d$，（2）相对于

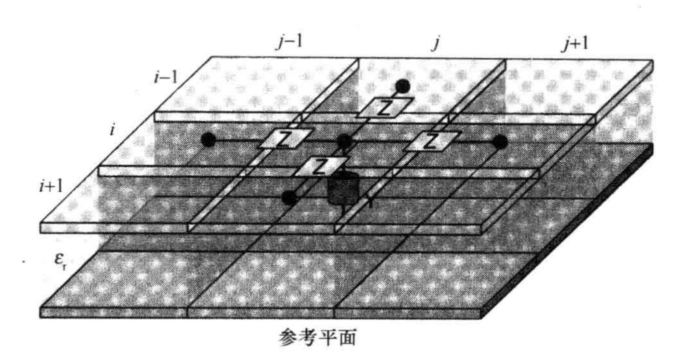


图 5-25　面积为 h 的有限差分网格，采用单元格为中心的五点模型。
对于图中单元网格(i,j)与相邻单元格的等效阻抗为 Z，相对于基准面的导纳为 Y

此五点模型(见图 5-25)其余周边 4 个点的等效级联电感为 $L=Z/j\omega=\mu d$。需要指出的是，以上公式不包含任何元件损耗。对于有限电导率和介电损耗的实际材料，元件损耗通过添加一个和电阻串联的与频率相关的电阻以及和电容并联的与频率相关的电导来组成，即

$$Z = R(\omega) + j\omega L, Y = G(\omega) + j\omega C$$

另外，此处的电感电容定义在以底层平面作为参考平面的邻近的两个平面之间。对于多层 PDNs，最底层平面作为整个模型的参考面。采用相邻层之间的电感作为相邻连续平面间的电感。关于怎样处理多层参考平面的详细资料可参考文献[25]。

MFDM 能产生一个等效电路模型，此模型可以使用仿真软件 SPICE 得到在指定端口位置的与频率相关的 S 参数和 Z 参数。然而，通过计算整个电路和频率相关的导纳矩阵及使用稀疏矩阵求解法计算节点电压可以更有效地找到这些参数。

基于电路的有限差分方程能够轻松的处理 PDN 中的差分电路元件，例如去耦电容。只要能计算或者测量出元件的多端口 Y 参数，针对电流平面计算出的导纳矩阵就能关联到与节点相近的任何电路元件。例如，这对在 PDN 中的引入面孔连接器是非常有用的。尽管集中的元件对 PDN 性能的基本估量是有用的，但是精确的模型可以提供更实际的分析。这些模型可以通过全波仿真或测量作为 S 参数模块获得，甚至可以在 PDN 模型中转换成 Y 参数。

MFDF 假设平面的横向宽度远大于其介质厚度。当此假设不成立时，即有很多及不规则的几何体和大量坑槽，结果将不准确。更严重的是，由于边缘场的存在，耦合将在两部分间发电，否则不能进行[26]。在参考文献[26]中提出一种在边缘附近通过在添加电路元件的方法。通过二维的静电求解法计算得到正确的校正结果。

图 5-26(a)中显示了一个通过 FR4 介电媒质分开的电源地平面对。图 5-26(b)显示了相应端口阻抗值随频率变化的关系。通过有限差分技术得到的结果与通过三维 MoM 工具得到的结果进行比较。此图显示了对于实体平面，使用 FD 法和三维 MoM 法得出的结论非常相近。

MFDM 及其类似方法的一个缺点是用于产生有限差分网络的统一离散方案，若 PDN 包含任何好的特征，它将产生过多的节点数。这意味着每个端口的位置不能是随意的，因为它必须与 FD 网络中的每一个单元保持一致。这些限制可以通过利用空间非均匀的离散方案加以解决。

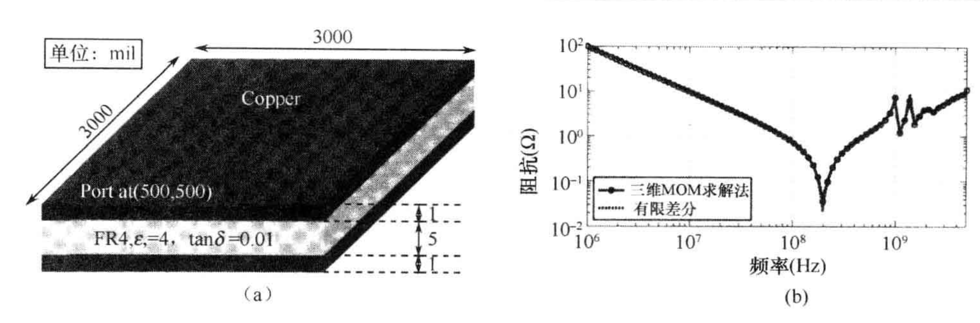


图 5-26 (a)介电常数 4.0 和损耗因子 0.01 的 5mil/FR 电介质材料分离的面积为 3000mil * 3000mil，厚度为 1mil 金属电源平面对测量，(b)由有限差分方法计算得到的诸口阻抗值与三维 MoM 法得到的结果相似

5.7 电源和信号传递分析方法及限制

从文献和商用的途径中，有许多分析及数值计算方法来定义建模 PDN 和信号分布网格(SDN)。典型的 PDN 主要由电源、地电位平面、稳压器模块、有源器件及去耦电容组成。电源平面一般提供从源极到负载之间的直流电流，通过去耦电容与地连接，并且经常为信号提供返回路径。PDN 和 SDN 的建模复杂度依赖于设计的需要，也就是说，如果设计需求是在射频或混合信号设计中分析两个相反信号的电磁场耦合效应，那么能够准确描述所选网格的信号及其返回路径的工具和建模方法就变得非常重要。

在很多设计中，尽管信号的参考路径不是 PDN 的直接参数，但是 PDN 也作为一个或多个信号的参考基准。更进一步，就波形长度而言(相对于感兴趣的最高频率)，PDN 的电学尺寸也应当充分考虑。这会保证采用麦克斯韦方程组来准确定义的一个全波的 E-H 的耦合解决方案。如果使用者想使模拟参考平面的转换效应或者参考平面相对于分开平面的变换，上述情形就会发生。捕获这些转换过程中的位移电流的影响是非常必要的，而不是由磁准静电、电准静磁场或者静态 SPICE 建模工具实现的。另一个例子是通过精确的 PDN 的带宽谐振分析实现对辐射特性的评估。这是对 PCB 和封装电磁干扰(EMI)分析的一项关键因素。上述分析需要对与频率相关的电感效应平面射孔、光电耦合、边沿耦合及电感效应等的带宽特性定义，下面章节将分析介绍过去循序渐进的情况及现在的分析工具。

5.7.1 基于工具范畴的限制

众所周知，任何无差错的测量和仿真都是不可能实现的。然而，随着系统设计复杂度的提高，更加需要比以往更精确的测量和仿真。就运行时间准确度和处理更大、更复杂系统设计的可扩展性而言，仿真工具正在逐步改善。我们通过提高对 PCB 和封装建模所采用的各种方法来研究其电源完整性。

位于集成衬底单独层次上的传导连线之间的连接，比如 PCB。

第一类型由封闭式的表达组成。要应用在如波导、固态电源地平面及数列过孔的典型结构中。封闭形式分析方法可以应用在基于电子表格的预定义表达式计算中，或者也可以应用在 MATLAB 元类的计算程序中。例如，如参考文献[27]所示，对于典型谐波的双无限总和可以通过电子表格计算来得到一个平行板结构的阻抗。上述表达式的许多构想可以在相关文献中获得，并可以通过电子表格程序有效地编码成函数。当计算电子网络的性能参数时，这样的

分析方法是非常有效的。但是，这种方式将使其有现代技术水平的电子应用的版图设计变得棘手而复杂，因为理想的版图规则正在经过模式的转换，即允许更大的集成度和更低的成本。例如，固态电源地平面版图已经很少使用了。分析平面建模技术（例如为计算传输阻抗函数而基于求法的 10cosine 和 sine 函数的串联表达式）可以轻易地应用在这样的版图中。结果上述分析方法很少应用在典型的传输线和电源平面结构中，因为这些性能测试（例如特征阻抗）都有一个合理准确的封闭式表达。这方法仍然是微波传输带、基于带状线的信号踪迹以及平电源平面电容等原始建模的基础。

第二，有一类有纯粹基于电路的仿真器（[13],[28]）。这样的仿真器将传输线、电源地平面及过孔转换成集中的电阻、电感、电容和电导的级联或者二维阵列。这样就可获得在这些集总的单元元件间相互的电容电感耦合，并根据导体及电介质的材料特性来提前估计它们单元模型。上述建模方法的第一步是将整体结构分割成一维、二维甚至三维单元。单元的数量决定于模型需要捕获的感兴趣频段，具有小特征尺寸的结构需要在整个范围内使用相对小的单元的内在函数。尺寸是一致的，为降低该方法的计算成本。

现代工具使用自适应的网络工序。换句话说，在更高的电流密度区域采用更小的网格电势线，在相对比较平坦的电势区域使用更大的网络单元。这种方法具有计算的优点。基于电路的仿真器能够使设计者有效地设计出基于电路元件的模型，如导体、平面及过孔结构，这使他们对设计的电气性能能够进行快速的迭代计算。但是，对于当今越来越复杂的设计，基于电路的模型方法不能很好地捕获某些复杂的现象，例如，信号噪声、电源噪声和耦合，相关例子包含之前已经讨论的电学效应（如平面的不连续性，辐射及散度效应，依赖频率的损耗效应等）。这种方法的挑战是它不能在当前原则上实现建模：单元元胞的电气特性是未知的，并且真正的设计会有非常复杂的电流路径。也就是说，基于电路的方法对初期的简单分析是很有帮助的，它们也能快速地产生用于在电子系统中分析信号和电源完整性的寄生模型。

微波传输是一种在衬底如印制电路板上制造的微米尺寸的电子传输线形式。尽管微波传输带有单一的基准或电流返回通路，带状线轨迹是夹在两层参考平面之间，以最小化邻近信号间的串扰。

电路求解法不能很好捕获某些电和磁现象，这就产生了第三种类别：电磁求解法。依靠相关公式，电磁求解法能够处理各种电学问题。下面的章节中将要介绍电磁求解法的不同类别，并且更重要的是这些算法的应用范围。电磁求解法由于其精确性和通用性，已经非常流行。然而它会引入计算成本支出，这是应用在工具计算引擎和正在解决的电复杂性问题中的数值公式的固有函数。

由于受到基于电路的求解法的限制和电磁场求解法计算成本支出的影响，第四类求解法即混合求解法因此而产生。混合求解法结合了是将基于电路求解法的速度和电磁场求解法精确的优点，开发了一种针对大型结构如整个 PCB 布局的有效解决方案。理解优先于工具应用前的假设和物理结构上的应用方案是至关重要的。

5.7.2 工具限制的例证

如前面章节提到的，基于电路的方法是分析 PDN 简单而有效的方法。针对 PDN 建模的分析方法尽管计算非常有效，但在实际的版图应用中仍会受到限制。这些方法能够产生封闭式表达，对基本典型的结构非常适应。但是，由于使用平面穿孔结构、有限的电源地隔离、共面的地及实体平面上的孔径，我们必须在没有耗尽由复杂多层的版图要求的计算容量的前提下获得电气问题的三维物理特性。

交叉耦合特性

某些混合求解法注入了2.5维场求解算法以解决平面结构，假设传输模型是纯粹的TEM模型，使用基于电路或者全波分析法来实现过孔、边缘和间隙建模，并与电磁解决方案相耦合。这些方法对于频率达到几吉赫兹的传统设计的电源地结构能起到很好的效果。但是，当缺乏良好定义的参考平面或存在共面的基准或者三维电流返回路径时，就可能产生不精确的结果。更进一步，对于低幅度和三维信号耦合路径而言(典型值－60～－90dB)，这种方法将会产生过于乐观的结果。例如，图5-27阐述了在射频特征测试媒介中发射端(节点2)和接收端(节点1)随频率相互耦合的水平。这个测试媒介包含了焊接于PCB的具有两层金属层的倒装球阵列封装(BGA)。尽管PCB上两个金属线终端都是接50Ω的负载，两个信号线间的耦合呈现为凹凸状。封装上凹凸状的位置用来测试终端附近的耦合现象，已经被缠绕在图形上。在高亮标注的发射和接收端周围的几何图形构成了多层的地线网格。两端口矢量网络分析仪(VNA)使用100μmGS微探针进行测试，频率高达10GHz，借助了60GHz的网络分析仪，使用内嵌的电缆探头和固定安装的探头进行SOTL校正。

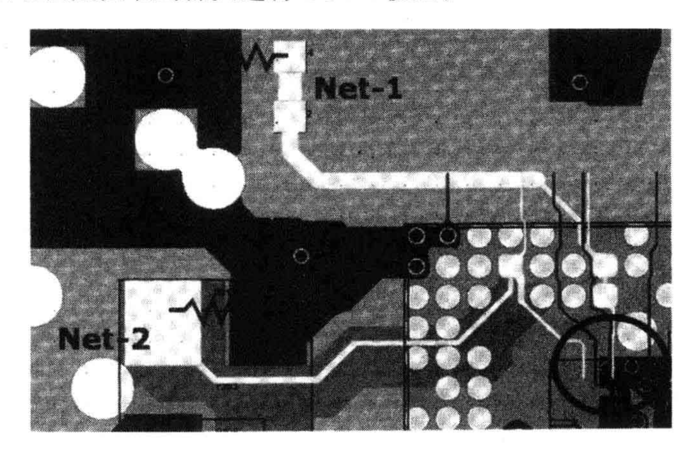


图5-27 封装——PCB测试媒介的选取部分

图5-28对比了耦合的仿真结果和VNA的测试结果。从图5-28可以看到，基于TEM的工具并不能捕获到测试中所示的耦合水平。

同样的实验平台采用三维全波，频域的电磁工具进行建模，如图5-29所示，仿真与测试结果紧密结合。

在没有基于TEM的工具情况下，不能捕捉在测量数据中观测到的额外耦合，可作如下解释。

用于测试媒介的封装结构是两层金属倒装焊BGA封装。它并没有固态平面连接电源地端口，用于测试机的封装结构是一个双金属层倒装式的称栅阵列封装。它不设有用于连接电源地的固态层，但是包括了用于信号线电流返回的分布式共面，多层地电位岛。因此，在没有明确的参考位面时，基于2.5维工具的TEM(横向电磁近似)的假设不符合在封装中存在的3D电流分布的物理规则，此外在封装或者PCB上没有明确定义的回路时，为了能够完整描述信号在PCB和封装中的回路，精确捕捉PCB封装界面上的三维效应显得非常迫切。基于融合PCB封装结构的完全耦合的三维分析，全波三维工具能够捕捉上述所有现象。

电源阻抗特征

与前一节类似，有关电源传输网络的固有阻抗分析在同样的测试机上进行测试比较。其

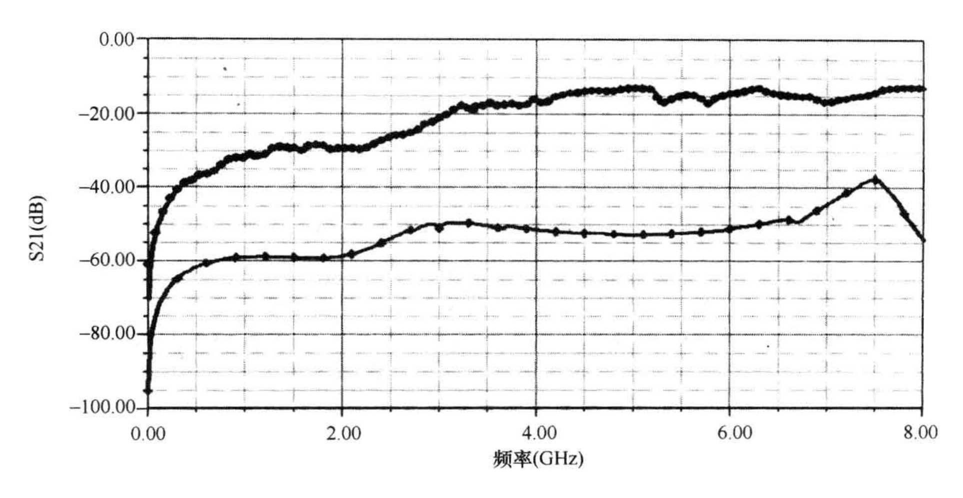


图 5-28　干扰源和被干扰源的近端交叉耦合的
测试结果和 2.5 维基于 TEM 的全波仿真方法结果比较

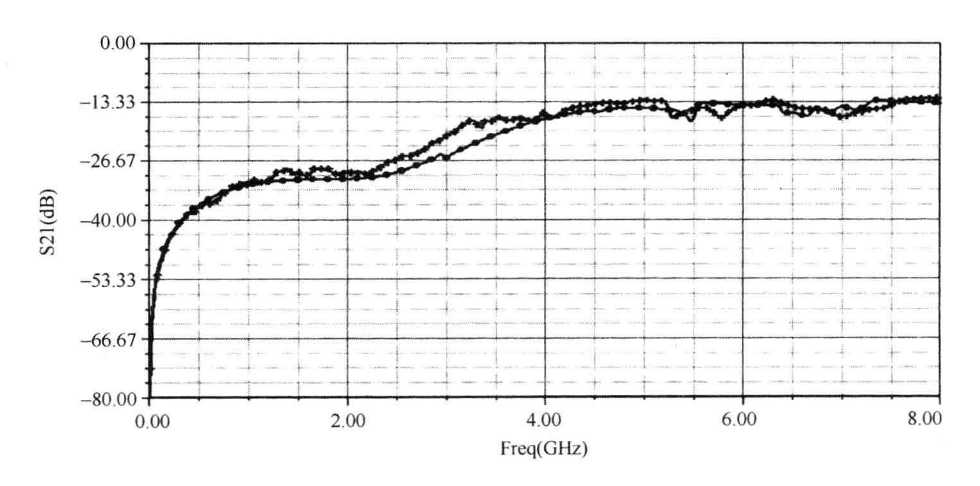


图 5-29　干扰源和被干扰源近端交叉耦合的测试结果和三维全波仿真方法结果对比

目标电源网络特定的去耦合电容一起填充在 PCB 上。单端口矢量网络分析测量仪利用 100μm 比的探针在电源网络的凸起侧进行测量。在 PCB 网上的电压调节模块端是开路的，图 5-30 显示的是一种典型供电网中，跨越所有 PCB 和封装层的融合封装和 PCB 部分。

在这种情况下，一种有效的研究需要硬件与频率高达 3GHz 的模型相关联。3MHz 是在所有去耦电容 S 参数模型有效的情况下的最高频率，在研究更高的频率时，我们需要准确地测量已有电容的频率响应并将这些用于测量的模型重新进行仿真。

从图 5-30 中显示的应用实例可以看出，电源由于层数和面积最小化，电源传输网络包括甚至在百兆级别的低频范围均具有合理阻性和感性特征的类似信号的宽路径。再次使用基于 ZDTEM 的工具对一个单端口电源传输网络进行仿真。并将其结果与硬件测量的结果相比拟。图 5-31 将图 5-30 中所示的电源传输网络的仿真结果与其所对应的测量数据进行了对比。

又一次由于缺少封装结构上的肯定参考面上，基于 TEM 的工具无法准确地捕捉电流返回路径，尤其在封装中，这会造成不精确的环路电感，进而提取出不准确的阻抗，所以从基于 TEM

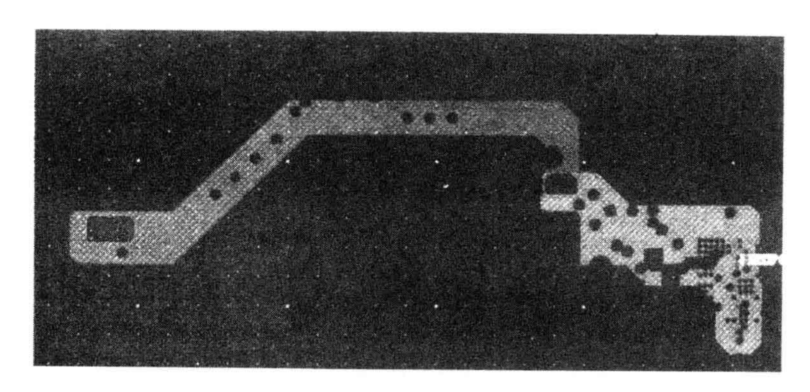


图 5-30　典型的电源传输线跨过封装以及 PCB 版图

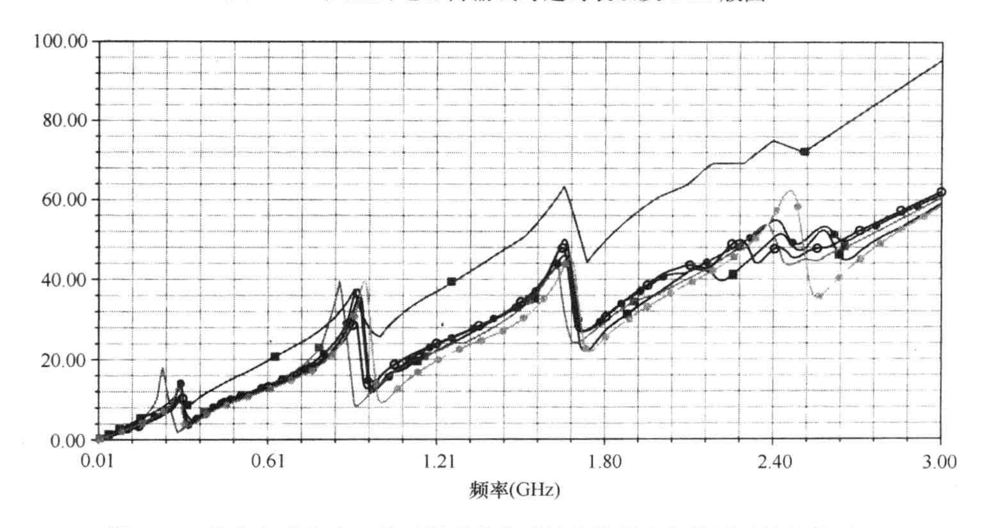


图 5-31　从多电磁仿真工具下得到的自感效应的影响与其测量结果的对比

的工具得到的仿真结果最上面的曲线与从电源传输网的感抗而得到的测量存在不同。必须了解的是，环路电感包括了 PCB 和封装两条电流路径，因为相对于 PCB 来说，封装中有较满足的几何路径，封装电感占主要地位。当没有参考平面的封装中，其电感和阻抗性在非基于 TEM 方程的三维求解程序中就显得重要。这种建模方法需要将扩展到 PCB 以各种非理想情况下的电源传输网中。

为了便于比较，将相同的结构工作在非基于 TEM 与 2.5D 工具(包括共面的分布式地回路)或者多个 3D 工具下。正如预期的，仿真结果与测量数据相关性很好。图 5-31 中显示了某仿真结果。用 3D 场算法，其结果能够紧密跟随于位于曲线边界的测量结果，并且未做任何关于电流返回路径的假设。因此能够很精确地计算出环路的电感，并且还能够准确地提取出电源网络与地网络之间的平面间电容和共面电容。从 3D 工具的仿真数据来看。电源传输网络阻抗响应的谐振峰值与实验数据吻合得很好。

前面的讨论表明，相对于解析法和电路仿真法能很好模拟电力传输网络的特性。采用适当的公式与应用，解析法能够从第一原理中计算出所有的电磁效应。分离的寄生效应、非理想的电流回路导体与电解质的频率相互损耗机制、近电场和远电场效应，以上几点是场解法能够得以精确分析的至关重要的电磁条件。

然而，值得注意是测试的例子特别强调了场解法的优点，为了模型的适用性和进一步的精确性，理解问题的几何结构和所使用材料的特性至关重要。此外，正确的仿真设置也是很重要的。例如，为了准确描述问题的几何结构，我们必须合理地说明诸如加工的差容以及小的开孔等各种细节。精确的分析/仿真设置要求用户要能够理解工具的基础知识。端口设置，边界条件以及啮合频率等设置特性是用户为了精确分析必须了解的设置选项。

因果关系的挑战

另一个关键的高频模拟误差源就是材料属性所排斥的频率。这种方法会在模型化结构的瞬态特性中导致因果关系问题，该模型化结构中有一部分信号过早地到达接收端。从严格意义上讲，因果关系以及因果关系的实施方法取决于系统响应与绝对零时刻的关系。延时的保护可能导致在系统基础传输延迟之前无法输出，这种仿真是基于延时的因果关系进行的。在数值仿真中经常会由于缺乏频率相关的数据而违反此约束条件。为了能够正确地模拟信号在传输线上的传播，对于复阻抗函数的分析显得尤为必要。通常，阻抗的变化对应于一定损耗的变化。这些约束关系能够控制能量通过传输线时带来的介电损耗以及能量通过导体时所产生的损耗。若违反这一规则，会导致一部分本应该衰减的信号被传播，反之亦然。图 5-32 描述了该情况下在传输线末端非因果关系的响应。

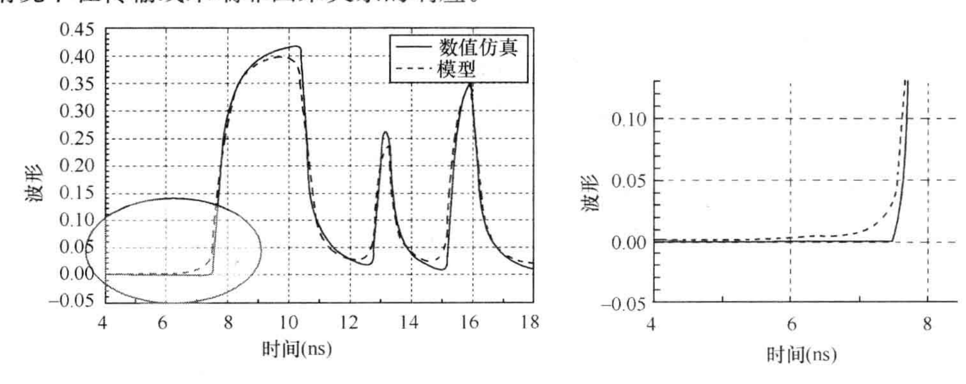


图 5-32　瞬态仿真描述的“非因果”的响应

从图中放大的部分可以看出，模型的瞬态特性在曲线的远端呈现一个非零值，它先于传输线延迟是不现实的。这已经在实验数据中得到证实(实线图)，由于线延时作用，远端应在相应持续时间内保持为零。许多基于电路模拟的仿真器采用了标准传输线模型，例如 HSPCIE W 组件，此软件源于准静态二维场求解。二维场求解算法通常会产生频率无关的电感与电容的矩阵，其中电导矩阵模拟介电损耗与频率线性变化，电阻矩阵模拟频率随均方根变化关系。尽管这些近似能够有效描述常用的 PCB 材料，例如在 1GHz 频率以上的 FR4，但没有考虑实际的频变行为并且会在瞬态仿真中产生错误。因果系统需要满足克拉默斯-克朗尼希 (K-K)关系式，如下：

$$u(\omega)=\frac{1}{\pi}P\int_{-\infty}^{\infty}\frac{v(\omega')}{\omega-\omega'}\mathrm{d}\omega'$$

$$v(\omega)=-\frac{1}{\pi}P\int_{-\infty}^{\infty}\frac{u(\omega')}{\omega-\omega'}\mathrm{d}\omega'$$

其中，u 和 v 所对应的是材料介电常数的实部和虚部。方程描述了介电常数的实部和虚部之间的关系。它们表明，频率响应的实部与虚部(例如 S 参数矩阵)是相互依存的并且与希尔伯特变换相关。由于 K-K 关系包括了对所有频率的积分，其他因果系统的截断频率响应，

典型的测量S参数，因此打破K-K关系从导致非因果的响应。幸运的是，许多现代的电磁工具模型具有很多方法来避免因果关系的挑战。例如，ANSOFT HFSS软件是一款在市面销售的3D频域电磁工具，能够允许多种方法模拟电解质从而保证其因果关系。在这个工具中，材料属性可以被写入一个包含有各个频率所对应介电参数的查找表。在这种工具和其他工具中使用的另一种常见的方法是乔尔杰维茨萨卡模型(Djordjevic-Sarkar model)，特别适用于低损耗的电解质。在此方法中，假设低损耗的前提下，可以将与频率相关的介电常数的曲线预先设定。曲线的水平是用户设定的介电常数现有值(在某特定频率点上)的基础上调的。这种方法常用于模拟化FR4型材料，因为它允许用户输入某个频率上单一介电常数，并在此基础上表征完整的频率相关性。其他的建模方法，包括了德拜建模法所创立的通用的介电损耗模型，以及频率相关电介质参数的分段线性输入。另一种方法是用时域仿真去纠正因果错误。

频率扫描和DC外推的挑战

频域场解法应用多种多样的频率扫描方法来计算期望频带宽度内的电气响应。例如，离散频率扫描计算每个指定的频点的所有解，对于宽频带要求的模拟仿真来说，这可能是一个计算量比较大的过程。通过插值扫描的方法，计算的复杂度可以得到解决。插值扫描的目的是通过插值扫描的方法，使用最少数量的离散频率点获得离散的解，来反映全部频率范围内的响应情况。但是插值方法存在自身的不足之处，该方法通常不能精确获得频率范围内含有较多谐振点的电路结构的宽频带电气特性。此外，在典型的工具里，使用最少数量的离散有限元解法适用于关于S参数的有理多项式的传输函数，插值扫描方法产生传输函数获得零点和极点。通过多项式函数获得的解数量不足时会导致$|S|>1$，此时解产生不稳定。带有稳定和不稳定模型的瞬态驱动架构特性分别如图5-33和图5-34所示。

从图5-34可以清楚地看到，带有不稳定模型的瞬态仿真曲线中，时间的增加导致很高的电压形成。

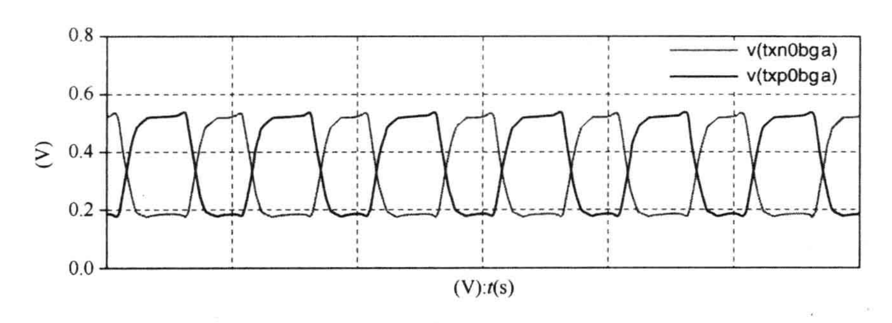


图5-33　稳定的封装模型的瞬态驱动特性

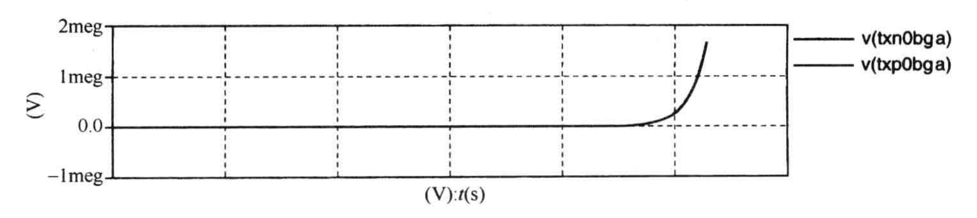


图5-34　不稳定的封装模型的瞬态驱动特性

5.8　电源完整性——电磁干扰检测分析

结合芯片、封装及印制电路板(PCB)的系统级电路协同设计和验证，需要在设计初期就注意到信号完整性(SI)、电源完整性(PI)和电磁干扰(EMI)对功能和性能的影响。工作频率的提升带来更为严格的电磁兼容性(EMC)规范，这需要更早地在产品设计周期中考虑 EMI 设计方法学，从而避免代价高昂的更新设计。虽然电磁干扰问题一直被认为是信号完整性和电源完整性的一个附带问题，但是在解决与信号完整性相关的电磁干扰问题时一直备受关注。电源完整性对系统及 EMI 的影响则关注甚少。伴随着片上系统(SoC)设计延伸的频谱包络，电源分配网络(PDN)的噪声问题变得日益严重。因此，有效的缓解方案是使 EMI 影响最小化。

从功能上讲，PDN 的作用是通过开关器件的电源和地引脚传输恒定的电压，以提供参考电平；同时根据信号的类型，实现信号环路的电流回路。当来自集成电路的高频开关电流遇到 PDN 的复杂寄生元件(如电阻和电感)时，电路性能出现问题的可能性将会增加。目前已有许多方式可以用来减小 PI 退化对 EMI 的影响的方法，如减小环路电感，降低电源网络的目标阻抗，避免激发封装或 PCB 内空腔共振，避免电流回路的不连续，在 PCB 边缘增加 RC 终端网络，以及使用优化的去耦网络等。一般来说，这些措施要么是在开发流程的后期实施，要么只有当完整的系统级 PDN 设计布局完成后，才能充分评估这些方法的有效性。一种好的设计方法需要在更早的设计阶段评估 PDN 对 EMI 系统级的影响。

在下面的章节，我们回顾和总结电源完整性对电磁干扰影响的相关内容，复习 PDN 的组成部分，并讨论各部分对电磁干扰的影响。随后进一步讨论现有方法的优势和局限性。最后，我们将提出一种设计方法，模拟和分析在设计初期 PI 对 EMI 的系统级影响，并利用真正的系统级 SoC 设计的仿真数据验证这种方法。在所提出的流程中，诸多好处之一就是为了能够在初期阶段进行分析，以优化 PDN。

5.8.1　PDN 组成部分及相关电源完整性问题

如上所述，PDN 的主要作用是向电力系统中的有源器件提供清洁可靠的电源。通常，PDN 上的“纹波”噪声不允许超过额定电压的±5%。器件的功耗随时间变化主要取决于开关动作，如负载条件、IP 模块的开关，以及工作频率。同样地，通过关注噪声的频谱，而不是额定电压的峰峰值电压偏移来说明 PDN 上的噪声或许更现实一些。设计一个能够可靠地为高性能器件提供无噪声电源的 PDN 是一项非常有挑战性的任务。

如图 5-35 所示，PDN 的典型组成部分有：稳压模块、通过 PCB 及封装，从稳压器到器件的互连布线，以及去耦电容(如果需要的话)，芯片的互连及片上去耦电容(核心和 I/O[①])。关于 PDN 的组成部分以及各部分在 SI 中的影响已有文献进行了详尽的讨论，这里不再说明。有兴趣的读者可以查看参考文献[30]和[31]。我们将侧重于包含直接或间接 EMI 的 PDN 对 PI 的影响。为了在系统级最小化 EMI，一种方法是通过解决 I/O 信号串扰、减少扭曲、增加终端等使 SI 相关的问题最小化，亦或最小化 PDN 相关问题的影响。

① 许多数字集成电路都会被分成芯片核中的电路级和物理级，或者是初级逻辑电路和 I/O，比如输入/输出，外部通信电路。

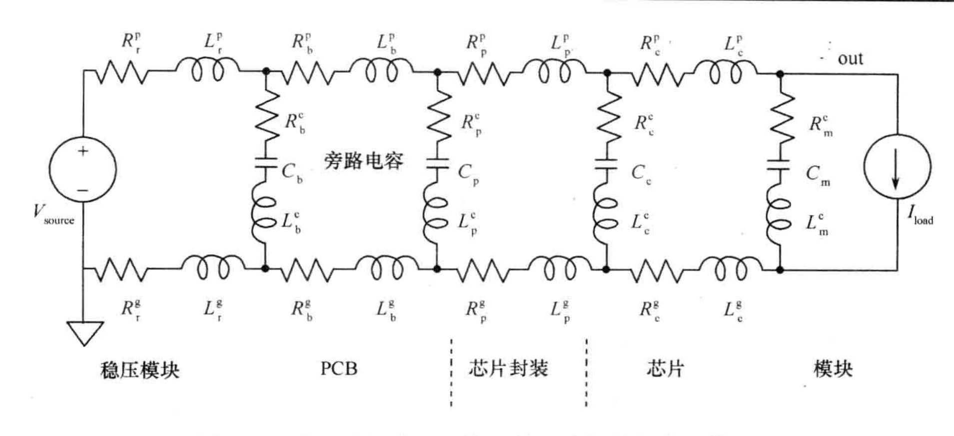


图 5-35　典型电源分配网络及其组成部分的集总模型

有很多 PI 问题会直接或间接地影响 EMI。文献[32]至[34]对此进行了详细的阐述。我们归纳了最常见的 PDN 相关的问题并随后讨论其对 EMI 的影响。

5.8.2　由 SSO/SSN 高电流暂态产生的系统级电源轨噪声

随着芯片技术的特征尺寸发展到纳米级，I/O 缓冲区采用更低的电源电压和更快的瞬态速度进行驱动。当多个输出驱动同时开关时，PDN 中寄生电路组成部分会有明显的快速电流转换，以提供给这些 I/O 缓冲器。这些快速的开关转换，外加 PDN 中的寄生电阻、电感、自感和互感，导致 I/O 环的电压下降，由下式给出：

$$\Delta V = I \cdot R + L \cdot \mathrm{d}I/\mathrm{d}t \quad 和 \quad I = \sum n \tag{5-26}$$

其中，R 和 L 分别是系统级 PDN 的环路电阻和电感；n 是正在切换的 I/O 数；$\mathrm{d}I/\mathrm{d}t$ 是所有正在切换中的 I/O 的源漏瞬态电流。

负载电容变化时，I/O 的 $\mathrm{d}I/\mathrm{d}t$ 特性如图 5-36 所示。由于 I/O 的供给电压受到同步转换输出(SSO)的影响，在接收端 I/O 的同步转换噪声(SSN)将导致时序和功能问题[46]。最小化 PDN 到 I/O 单元的寄生效应可以改善 EMI。

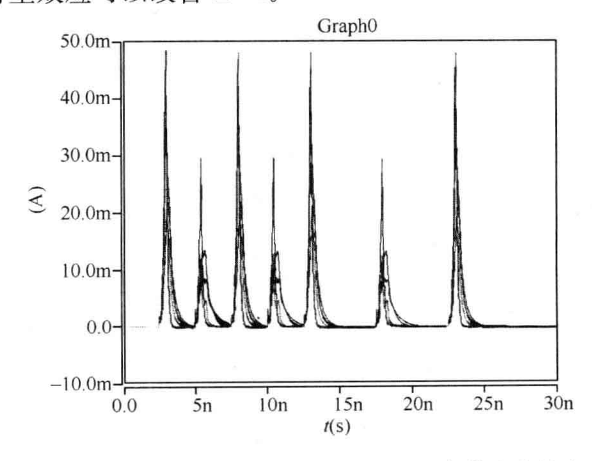


图 5-36　不同电容值下 I/O 单元的电流值 $i(t)$，表明负载电容越大，电流也越大

在不同 PDN 电阻情况下，I/O 环的供给电压，或一个 I/O 口上的差动电压(VDDIO－VSSIO)如图 5-37 所示。

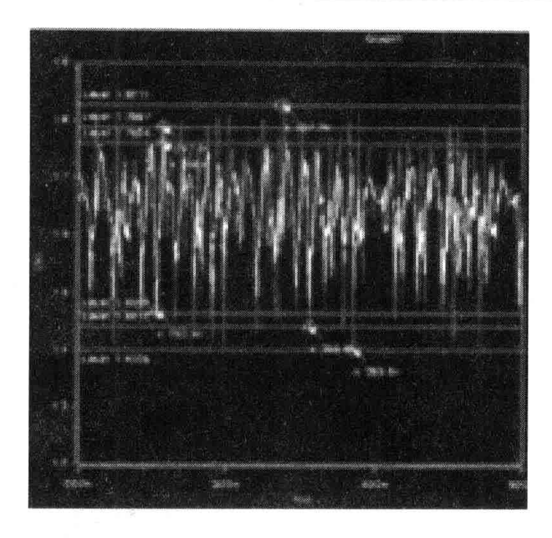


图5-37　不同总 PDN 寄生效应情况下的 I/O 的峰峰值电压 $V(t)$

寄生效应的大小对噪声电压的峰峰值影响非常大。噪声电压的峰峰值变化范围为最大 430mV 到最小 290mV。在最坏的情况下，噪声电压的峰峰值大约是有效工作电压的 33%，并反映出 PI 的下降远远超出了±5%的规格偏差。

尽管在最先进的集成电路和系统中实现了片间信号从单端到全差动的转换，但电源噪声会导致 SI 降低，如图 5-1(c)所示。例如，电源噪声可能不会完全耦合差动信号对的原信号和其互补信号，从而将一部分共模噪声①转换成差动噪声加到发送或接收信号上。

通过减小系统级 PDN 的环路电阻和电感来减小电源噪声，目前已经有许多技术被采用。参考文献[35]至[37]对此有非常详细的阐述。这里，我们仅归纳一些常见的方法及其特点：

- 封装和 PCB 的电源与地之间采用薄介质层。这可以减小电感，增加电源与地之间的电容，从而使 PI 问题最小化。
- 使用片上衬底传导，以减小系统级环路电感的影响。
- 在可能的情况下，采用 flip chip② 封装技术，而不是 wire bond(WB)封装技术。考虑到成本限制，可尽量减小环路面积以减小寄生电感。
- 采用多种方式优化电源与地线的布局：网络排序、屏蔽插入、与地相关的网络布线，以及源引脚的分布等。
- 在 PCB 上使用低 ESR 和 ESL 的去耦电容，以减小在这些器件上的电压降。

5.8.3　封装和 PCB 的平面共振

在 PCB 和封装的设计中，EMI 问题普遍存在并仍在传播，要对封装和 PCB 的平面共振及其对性能的影响进行有效评估，需要系统级的观念。

为了确定共振是如何影响时序以及电压噪声预值的，找出开关行为的原因是关键。在集成电路中，电源—地构成平行板传输结构，并从中产生瞬态电流。由此产生依赖于电源—地特

---

① 此时差分信号对的输入信号是相同的。这类共模噪声将被具有高共模抑制比的接收电路抑制。

② 这是一种 IC 封装结构，它主要是由芯片在其电路表面通过一些组成二维阵列的焊锡球将其外部连接在封装板上。该芯片被覆盖并采用面对面的方式被连接到封装衬底上。

性阻抗的电压噪声。从封装或PCB的边缘反射形成的电压波形，将使电路开路，并且这些反射波将会叠加产生驻波。因此，能量都集中在一些离散的“本征”模式中。由于对本征模式的分析能够确定电源—地极板之间的本征共振频率，因此可通过电源—地间的阻抗—频率图的峰值确定平面共振。集中在平面板结构的共振频率上的能量，往往是由类似于一个单面天线板的平面板辐射出去的。参考文献[38]和[39]表明，电源—地平面板间的本征共振频率、IC开关的瞬态电流，是平面板对结构的发射光谱的重要组成部分。

对EMI有影响的系统级PDN共振如图5-38所示。有许多方法可用于减小共振，比如减小PCB材料的介电质厚度，边缘终端电阻亦或阻容网络，尽量减少会耦合到极板对结构上的信号过孔（当噪声信号返回电流通路时发生）等。所有这些技术，都应该考虑系统层面的EMI问题。

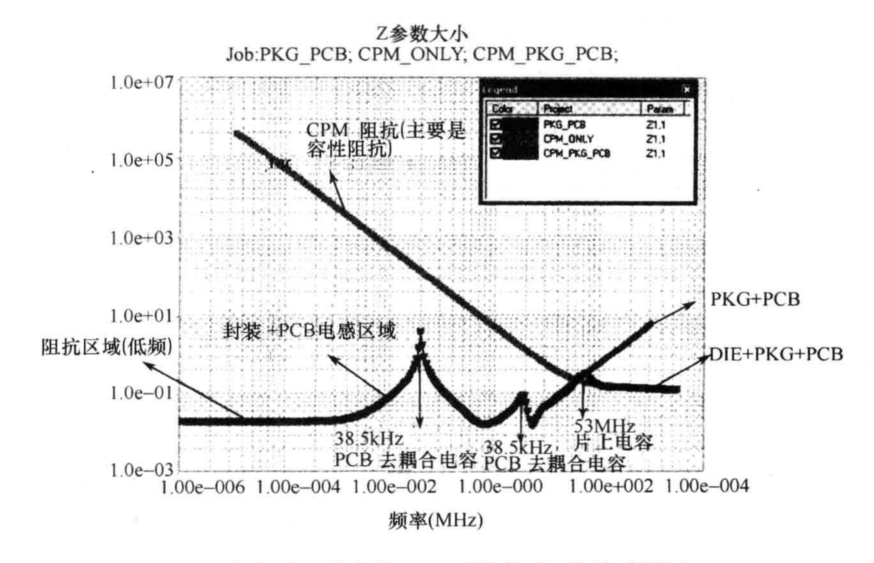


图5-38 在整个系统中的PDN共振情况（模具、封装和PCB）

5.8.4 系统级去耦优化

PDN通常含有电容网络，从VRM稳压器或开关电源（switched mode power supply, SMPS）到芯片上的晶体管单元，PDN在要求的频谱下需要使用几种类型和阻值的电容来得到目标阻抗。电容器有如下功能，为IC所需的瞬态电流提供局部能量，为电源一地极板间的返回电流提供一个交流通路，通过减小电流环路的面积控制EMI和降低PDN的目标阻抗。后两项直接或间接地影响EMI。

文献[41]和[42]详细地讨论了EMI的辐射机制、耦合通路，以及减小整个系统EMI问题的技术，这里将不再讨论。值得注意的是，最佳化去耦电容的位置有助于减小电流环路的面积进而减小EMI。我们接下来简要介绍一下环路天线（loop antenna）的概念，并介绍如何适当地放置电容以最大限度地减小环路面积，进而降低辐射。

电流流经环路，将产生一个磁场，这个磁场与环路面积成正比例。环路面积等于电流流过路径的长度乘以到地面或参考平面的距离。当信号的逻辑改变时，电压的转换将产生一个电场，因此这个电流回路将产生辐射。以下这个等式表明了EMI和电流及其环路面积、频率的关系：

$$\mathrm{EMI(V/m)} = kIAf^2 \tag{5-27}$$

其中，k 是一个比例常数，I 是电流（单为位 A），A 是环路的面积（单位为 m^2），f 是频率。

从以上公式可以看出，为了尽量减小差模辐射，可以减小电流、减小环路面积和降低开关频率。通过合理地放置去耦电容可以减小环路面积。在回流通路中的去耦电容会增加电流回路的长度，进而增加环路的面积和电感，如图 5-39 所示。

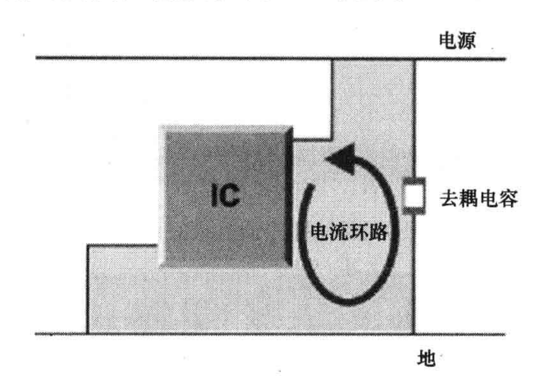


图 5-39　电流流过去耦电容和 IC，显示了去耦电容位置的重要性

5.8.5　回路参考平面的不连续性

回路电流往往被认为是传输线及其信号完整性的一部分而被忽略。信号轨迹本身形成了一个传输线，这样的假设是不正确的。电流在回路中流动，任何电流流经信号路径，都有一个值相等、方向相反的电流在其参考平面流动。确保合理的回流途径并对其进行有效的管理对于 EMI 是非常关键的。确保关键信号的返回电流路径是一个复杂的问题，这需要考虑连续的信号参考平面、合理地放置去耦电容和接地孔，以及一些其他的问题。

在参考平面附近的沟槽上铺设高速信号线路会导致诸如阻抗不连续（或破坏性反射）、EMI 噪声、串扰等不利效应。参考平面可能是地，也可能是电源层，它们都是 PDN 的基本组成部分。在电源或地参考平面上形成沟槽有多种原因，如穿过孔的外焊盘（antipads）①、BGA 及连接端引脚层的版图布局。无论形成沟槽或不连续的原因是什么，当高速信号线经过它时，返回信号均将从信号线的下面经过。当返回信号触及间断点时，信号必须围绕该点流动，然后回到信号线下的位置，这样就形成了一个环路。由于 EMI 与环路的面积有关，此时将出现 EMI 问题。图 5-40 就是一个由于高速信号线在返回平面经过沟槽上方致使增加了环路辐射的例子。

信号通路经过平面的缝隙时，将导致阻抗的不连续，该缝隙将能量反射回源端[43]。事实证明，缝隙只对输入信号的高频部分起作用。目前，在设计初期，我们还没有有效的方法探明和仿真阻抗不连续对 EMI 的影响，现有的最佳方法就是采用 DRC② 原则，检查出问题，然后使用全波处理器来仿真 EMI 的影响。图 5-41 就是一个设计实例，该例中中断的回路被捕获并突出显示。

由于孔、沟槽及隔离缝隙等导致的参考平面连续性中断，将会在信号通道产生严重的阻抗

① 在 Pad 连接孔周围的金属层上出现的空隙或者是缺陷。

② 英文全文：Design rule conformance，设计规则一致性。

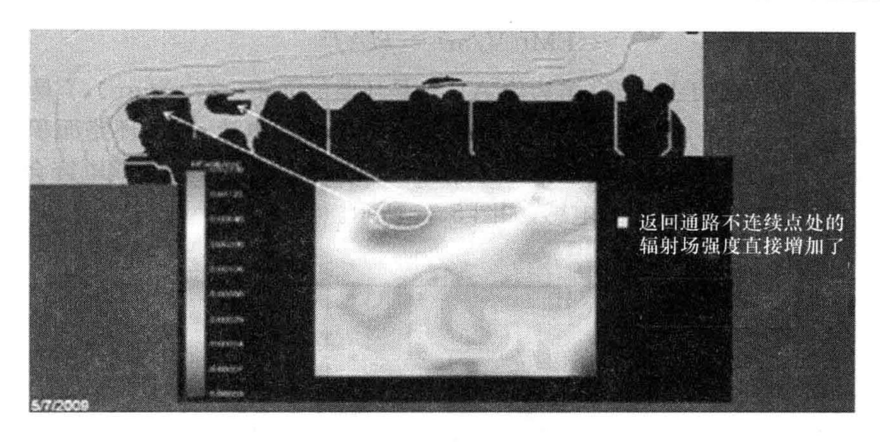


图 5-40　信号线经过地参考平面构槽时产生环路辐射

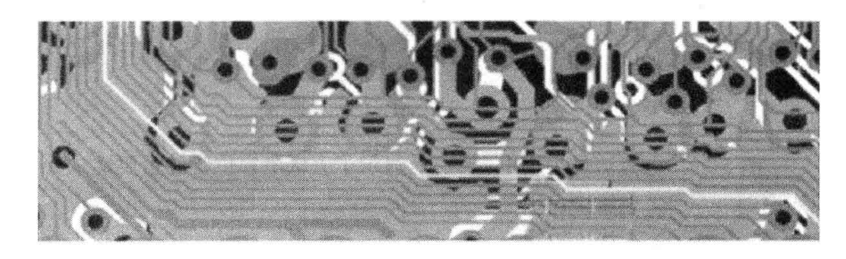


图 5-41　采用 EMI 的 DRC 规则来检查版图设计，确定线与参考面的间隙。
图右下角所示为连接到 Pad 处的指定信号路径

不连续。回流通路的重要性，是怎么强调也不过分的，因为它对 SI、PI 和 EMI 都产生很大的影响。电源与地平面的沟槽、切口扩展了电流回路通道，增加了环路的电感。

5.9　现有的 EMI 技术的优势和局限

为了尽量减小与 PDN 相关的 EMI 问题，我们必须完善现有的模型和分析方法，在设计阶段更早地了解这些问题的影响（如图 5-42 所示）。然而，现有的 EMI 预测方法完全依赖于版图设计和几何布局知识，这是只有在设计后期才可能实现的。基于全波三维电磁计算器的这些技术，理论上可以用来预测邻近区域或远处区域的电磁辐射。然而，这些方法需要足够多的几何和版图信息，特别是作为参考平面的 PDN，这在很大程度上限制了它们只能作为设计后期的版图验证的角色。

有另外一类工具能够在设计过程中尽早地对 EMI 进行分析，即已经讨论过的 EMI 设计规则一致性（DRC）检验器。DRC 检验器是设计者的重要设计工具之一。基于版图的理论，它能在前期设计时提示在哪里违反了 PDN 的设计规则一致性原则。然而，通常会有许多地方出现违反 DRC 原则的情况，但不是所有的都会对实际的 EMI 产生明显影响。如果按序处理这些违反 DRC 原则的地方，将会非常耗时而且效率低下，还可能增加设计成本，延长设计周期，不利于封装和系统。因此，已有的评估 EMI 的方法有以下的局限性：对 EMI 的评估在设计过程的后期，此时已经难以进行设计更改；无法根据违反 DRC 的地方对实际 EMI 的重要性，将所有这些违反 DRC 的地方进行排序。

不同于低频电源完整性评估（可能只需要使用准静态求解器就够了），需要使用三维全波

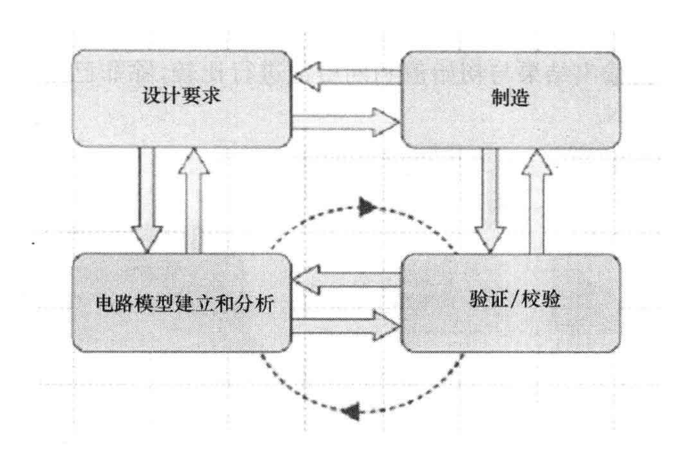


图 5-42　设计前期的建模和分析

计算器对 EMI 进行评估的原因有以下几点：①对辐射效应的准确评估；②三维计算的本质使得它能够应用于低成本封装中出现不清楚、缺失、或共地平面时的情况；③远远超出了电源完整性频谱的宽目标频谱。所有的问题都是挑战。EMI 问题既是局部的也是整体的，因此我们要合理地选择三维全波计算器，既要获得速度又要不影响精度。在下面的章节，我们将会介绍最近研发的三维全波计算器要面临的尺寸、速度和准确性的挑战。

5.10　早期的电源完整性检测、EMI 建模及分析流程

在设计过程中，越早的确定和减小 PI 相关的 EMI 问题非常重要，系统级的 PI 问题会影响 EMI。目前已开发出许多综合性的方法，以在设计过程中越早的调整 SI 和 PI [44]。另一方面，关于 PI 问题影响 EMI 的早期评估的信息很少。EMI 问题在设计阶段应及早处理，最好在电子或机械封装以前实施，或者在概念设计后进行。大多数 EMI 问题的解决成本是不高的，可以评估 EMI 影响的早期建模或分析流程，是确保处理方案成本低的关键。在产品的设计和标准生产阶段，减少对 EMI 的修正是可能的，同时补救措施的成本将急剧增加。为防止 EMI 问题，找出一个完善的早期建模和分析方法很有必要，而且不是目前才开始做的。为了达到这个目的，又提出了一种新的建模和分析流程。它的主要目的是在物理设计阶段前期，描绘出系统级 PI 问题的特征，并评估它们对 EMI 的影响。下面不再回顾 EMI 信号完整性 I/O 的优化，而将重点放在 PDN 上。有兴趣的读者可以参考文献[33]，其中有对 SI 检测 EMI 分析的详细讨论。

5.10.1　早期电源完整性组成部分——检测 EMI 流程

图 5-43 所示为早期 EMI 流程的一个概念上的高级模块框图。有以下 5 个阶段：

阶段 1：根据电源分配网络的早期系统级（芯片＋封装＋PCB）物理设计原型，进行初步系统设计。

阶段 2：提取三维寄生参数和早期版图原型的 PDN，从而架构电气模型。对参数的提取可以在一定时间内及频率范围内完成。

阶段 3：前端 PI/PDN 分析仪进行系统级的 PI 分析，以 di/dt 和电压噪声作为它的输出，以此来评估 PDN 的抽象模型。

阶段 4:全波计算器利用 di/dt 和 $V(t)$进行 EMI 分析。

阶段 5:将阶段 4 的输出结果与初始值和期望值进行比较,除非已经满足要求,否则重复阶段 1~4,从而优化 PDN。

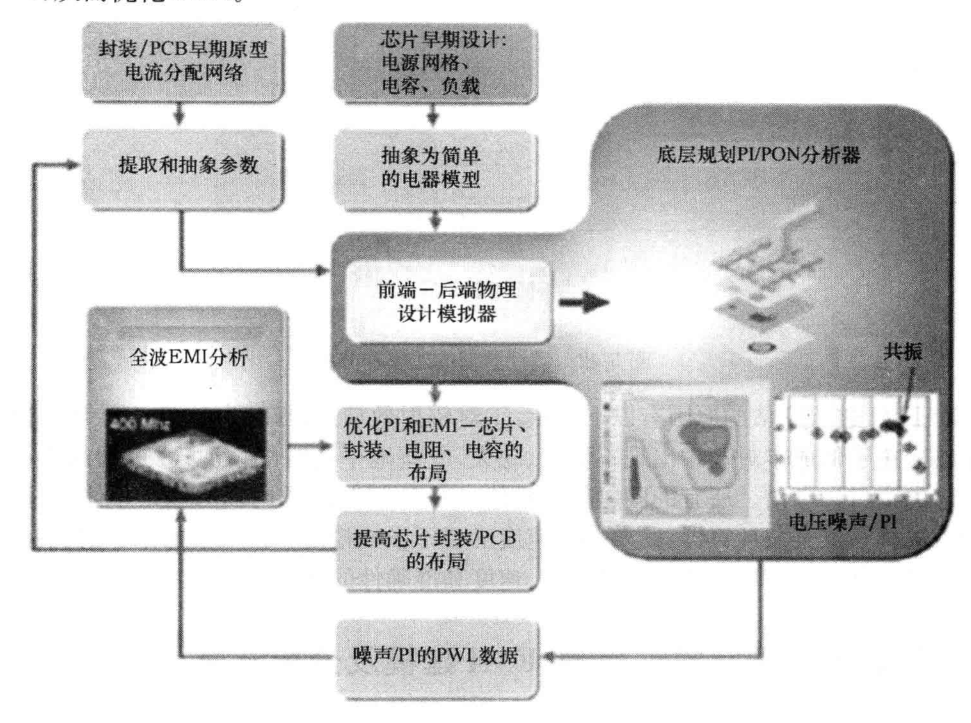


图 5-43 早期的系统级电源完整性检测 EMI 建模和分析流程

使用 EDA 版图及设计流程可以完成电源网格、封装,即 PCB PDN 的初始设计。阶段 2 中,使用的是准静态或全波 EMI 处理器提取寄生参数。封装和 PCB 的 SI、PI 优化也是阶段 2 的一部分。有许多方法可用于提取和减小模型,这里将不做讨论。其观点是,现在有很多通过抽象来减小系统级模型复杂程度的方法,但却包含很少或没有对模型完整性的折中。模型的抽象有助于确保解决系统的问题,而不影响设计进度。阶段 3 中的分析仪,通过使用封装和 PCB 抽象模型进行系统级的优化。芯片上可进行的优化包括:规划版图布局、去耦电容以及时序,这些内容将在第 8 章详细讨论。阶段 4 中,分析仪的输出接入全波处理器进行分析,同时从封装及 PCB 上分析系统级的设置。这些都可以在设计流程的早期完成。首先我们将详细的讨论该流程的每个步骤,并在合适的时候提供范例。

5.10.2 版图设计、提取及模型建立

典型地,之前描述的阶段 1 和阶段 2 可以进行合并,封装和 PCB 在被集成到芯片上之前可以提前优化。优化封装和 PCB 功率传输网络的典型流程如图 5-44 所示。设计流程中的阶段 2 和阶段 3 最好使用相同的 EDA 工具。PDN 可进行的优化包括减小总的有效环路电感、避免激发空腔谐振、优化无源元件的布局等。

封装和 PDN 的优化遵循上述流程。SI、PI 准则和最佳设计方案,以及客户的需求,都要纳入初始布局模型中考虑。确定了初始布局,下一步进行 EMI 的 DRC 检测,以确定初始布局中与 PI 相关的 EMI 问题。

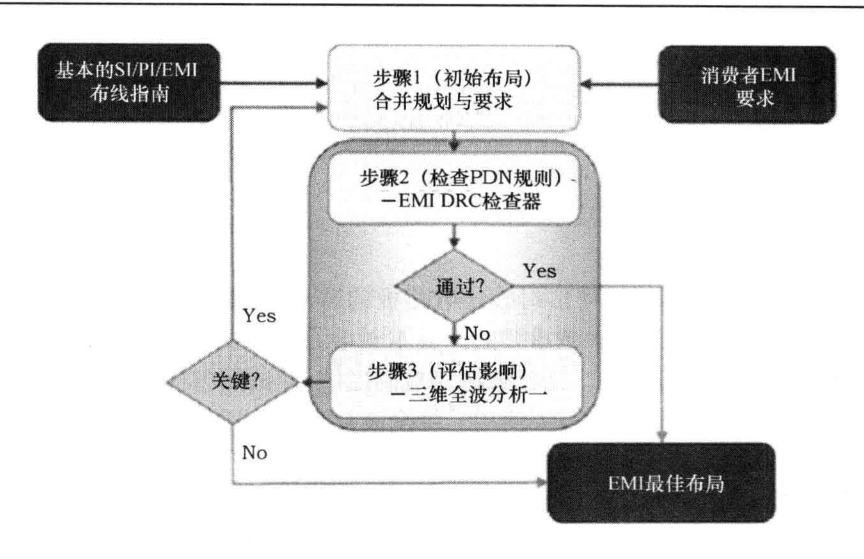


图 5-44 集成到 PDN 分析器芯片之前的封装和 PCB PDN 优化

常用的设计准则是基于“最佳方案”或“经验性原则”建立的，这些规则和技术包括：

- 确保每个高速信号都有一个完整的、恒定的返回参考面。
- 避免沟槽或缝隙出现在返回参考面上，特别是信号线的下面，更不能出现。
- 使高速信号线与封装或 PCB 的边缘保持一定的距离。
- 尽可能的减少相邻信号线的并流。
- 在过渡层要有足够多的接地孔。

EMI DRC 方法实现了在设计阶段的早期对 EMI 违规行为进行重复自动检查。EMI/EMC DRC 方法有助于发现问题，理解出现问题的原因，并确定如何解决它。EMI 规则的生成是 EMC 专家、设计工程师、版图设计师共同协作完成的。EMI/EMC DRC 方法是对系统级辐射分析的补充。通常，EMI/EMC DRC 方法可分为以下 4 个步骤(如图 5-45 所示)：

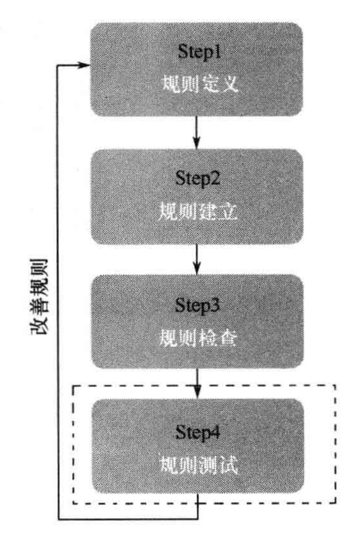


图 5-45 EMI/EMC DRC 方法—规则的创建和执行

- 步骤 1：规则定义
  — 源于 EM 理论、最佳实践和经验法则
  — 明确新技术的要求
- 步骤 2：规则建立
  — 对 IC 和连线进行分类
  — 在说明书上指定 IC 和连线的属性
- 步骤 3：规则检查
  — 确定并修正违规的地方
- 步骤 4：规则测试
  — 检查并验证规则

有许多规则适用于做 EMI DRC 检查，文献[45]详细地讨论了这些规则，简要列举以下几点：

Rule # 1：通过间隙/沟槽/缝隙的关键网络连线规则

Rule # 2：并行和长网的耦合

Rule ＃ 3：差动对的长度匹配

Rule ＃ 4：差动对的返回路径

Rule ＃ 5：位于时钟线和关键信号线下方的地极板

Rule ＃ 6：电源和地极板的隔离

Rule ＃ 7：电源和地线的宽度

Rule ＃ 8：参考平面的变化

典型的 EMI DRC 工具能够评估封装—电路板的布局，考虑并列出版图中出现设计违规的区域，生成一份列表。对于越来越重要的低成本封装，这份列表可能会很长，但并不是所有违规区域都能在版图中进行定位。选择哪些违规的区域，并按照怎样的顺序进行修改，全凭设计人员的直觉和经验。因此，我们需要使用三维全波计算器来评估这些设计规则对 EMI 的实际影响，下面将对最常见的三种规则进行评估。

Rule＃1:通过间隙/沟槽/缝隙的关键网络连线规则

电流流过信号网络，通过参考网络或地线网络建立一个回路。如果地线网络和许多微处理器封装一样是一个固定的平面，回路电流将从阻抗最小的信号线正下方流过。这样，由于电流在信号线和地线上的流向相反，因此 EMI 辐射也最小。然而，在低成本封装设计中，地线网络不是一个固定的平面，其中夹杂着间隙、沟槽和缝隙。因此，在布局信号线时，不可能确保有一个固定的地参考平面在信号线的正下方。图 5-46 显示了一个关键的时钟网络被布置在地线的沟槽上。

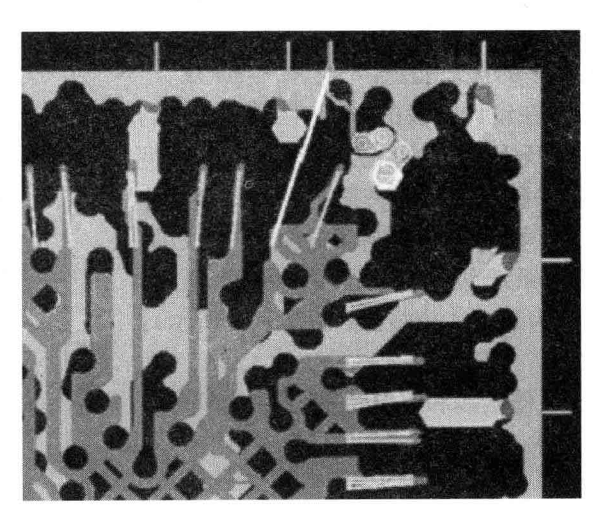


图 5-46　时钟信号网络布置在不固定的地平面上

磁场辐射主要通过注入 1mA 的噪声电流进行计算，如果 5-47 所示。频率为 1GHz 时，最大磁场辐射为 340 mA/m。

非固定参考平面的影响主要通过人为地修正地平面的几何形状来进行研究，如图 5-48 所示。图 5-49 显示了修正地平面几何形状后的等效磁场辐射。

相同的时钟信号网络布置在固定的参考平面上，最大磁场辐射为 240mA/m，与不固定的参考平面相比，降低了 30%。因此，在布置关键信号线时，应该避免这种违规情况。

Rule＃3:差动对的长度匹配

差动信号网络通常表现出较低的 EMI 辐射。但是，如果差动信号线的长度不匹配，导致

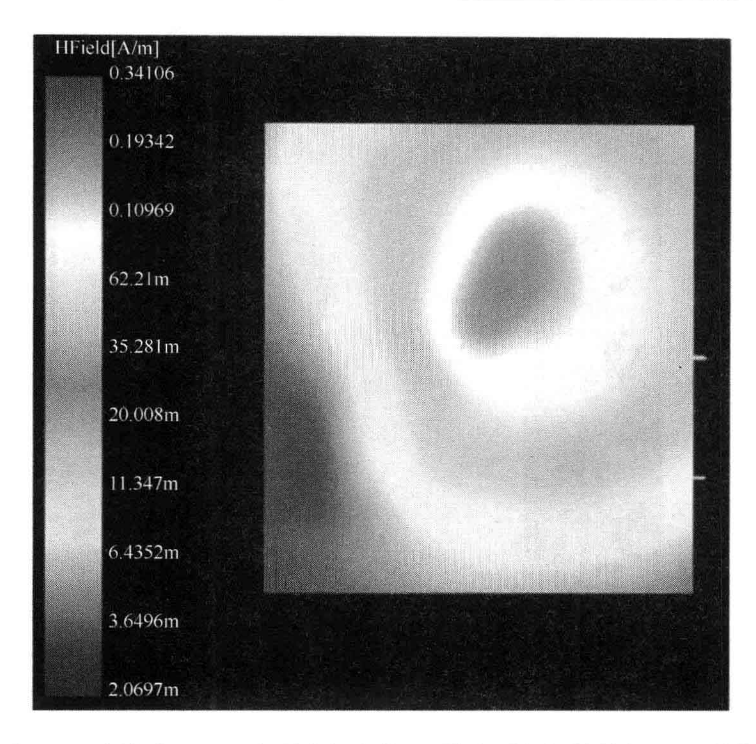


图 5-47　频率为 1GHz 时，具有间隙的地网络的磁场辐射强度(1mm 封装)

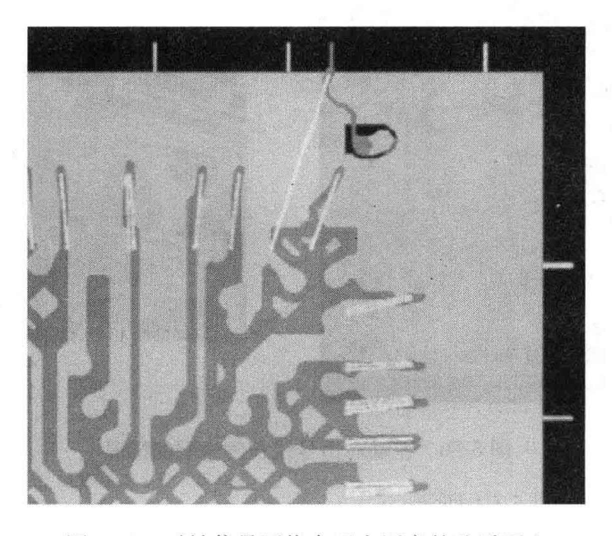


图 5-48　时钟信号网络布置在固定的地平面上

阻抗失配，引入共模电流分布，最终将使辐射增加。图 5-50 研究了差动信号对失配的情况，信号线加 1mA 的差动信号，图 5-51 显示这种情况产生的结果，辐射峰值达 83mA/m。

接下来，我们研究长度匹配的和上文相同的差动对，分析如图 5-52 所示的结构。

长度匹配的差动对的磁场辐射峰值为 64mA/m，如图 5-53 所示。辐射减小了 24%，证实了这种设计规则。通过增加曲角的长度可以使差动对的长度达到近似匹配。

Rule#4:差动对的返回路径

Rule#4 和 Rule#1 类似，该规则适用于布置在地平面缝隙上的差动对。带有地平面缝

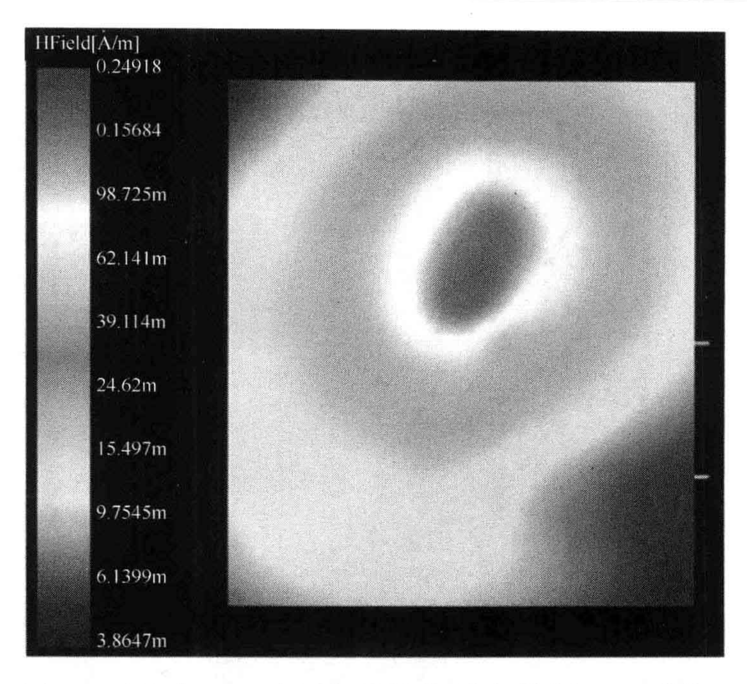


图 5-49　频率为 1GHz 时，固定地网络的磁场辐射强度(1mm 封装)

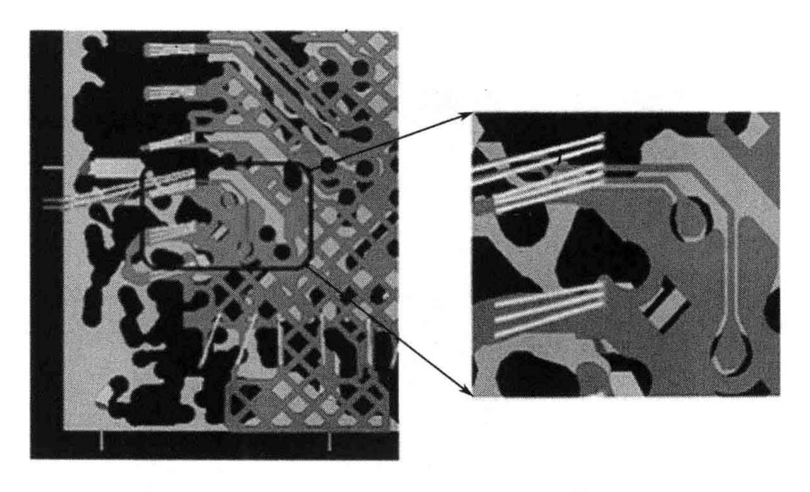


图 5-50　差动对信号线长度失配的情况

隙和固定地平面的结构如图 5-54 所示。

图 5-55 显示了频率为 1GHz，并加入了差动噪声信号时，这两种结构的磁场辐射。在这种情况下，两种结构的磁场辐射峰值几乎相等，只强调了信号对的差动平衡性质。因此，在精确的三维模拟环境中，这种设计规则需要重新评估。

系统级中的晶片级优化(动态和交流分析)

在前面的章节中，我们讨论了早期 EMI 流程的阶段 1 和阶段 2。一旦封装和 PCB 模型完成了优化和提取，下一阶段就是将这些模型整合到晶片 PI/PDN 分析工具中，进行系统级的优化。去耦、谐振和布局规划都是可以进行有效优化的，而这些优化都是在系统中完成的。在封装和 PCB 优化完成后，晶片级分析的输出反应的是动态分析的当前状态。

现在的 PI/EMI 技术依赖于芯片上确定封装接口的电压变化和系统级的电磁辐射分析

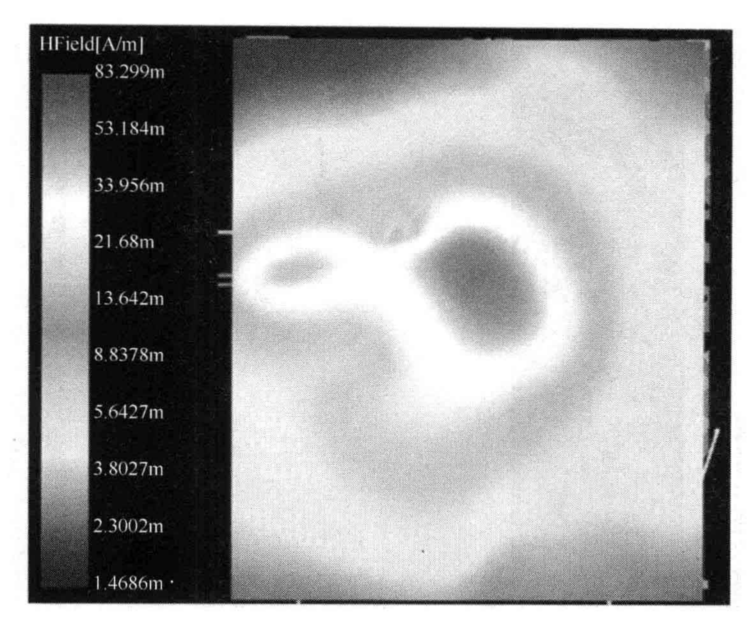


图5-51　频率为1GHz时，长度失配的差动对磁场辐射分布

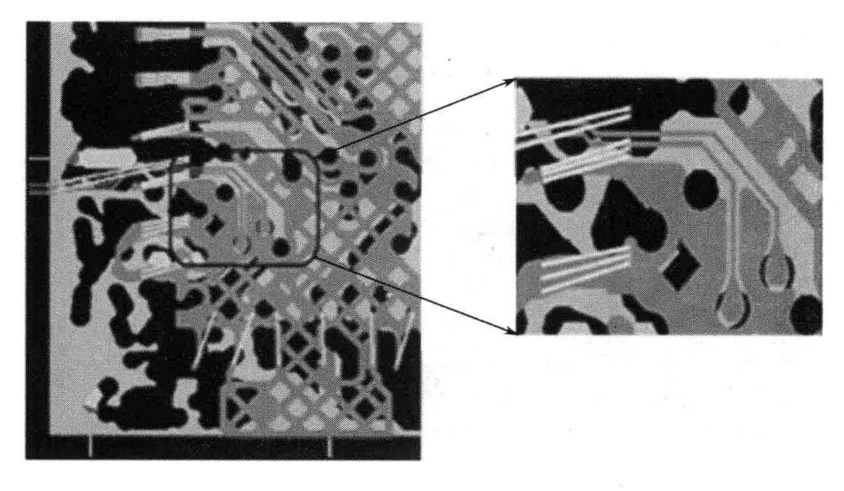


图5-52　长度近似匹配的差动对

（包括PCB上的芯片和封装）。通常，这种分析将在产品的整个设计后期开展。在设计后期，发现了有违反EMI设计规则的，可能需要重新设计芯片的某些关键地方，如芯片封装界面引脚、片上去耦、昂贵的屏蔽结构，甚至改变芯片内部功能模块的位置。这将大大的增加设计成本，延长产品的上市时间。

正如第4章所讨论的，结合快速、准确的电磁仿真技术，先进的前端设计、晶片的布局规划和物理设计优化技术，可以克服这种延误和效率问题。当将晶片、封装和电路板的所有方面都考虑在内时，对环境的抽象可以给出芯片上电压在空间和时间上的变化信息（也就是说，此时芯片工作在系统级）。这种对芯片PI的抽象分析，可以在电路的各个功能模块合并之前，只采用功能模块的前期说明进行分析。同样，前期的封装和电路PDN设计选择，可以用简单的模型来代替，这样它可以在抽象芯片时进行仿真。这可以在合成前进行，并且当考虑进系统的各个方面时，它可以提供真实的物理电源完整性信息。通过抽象和快速地模拟芯片的各个部分

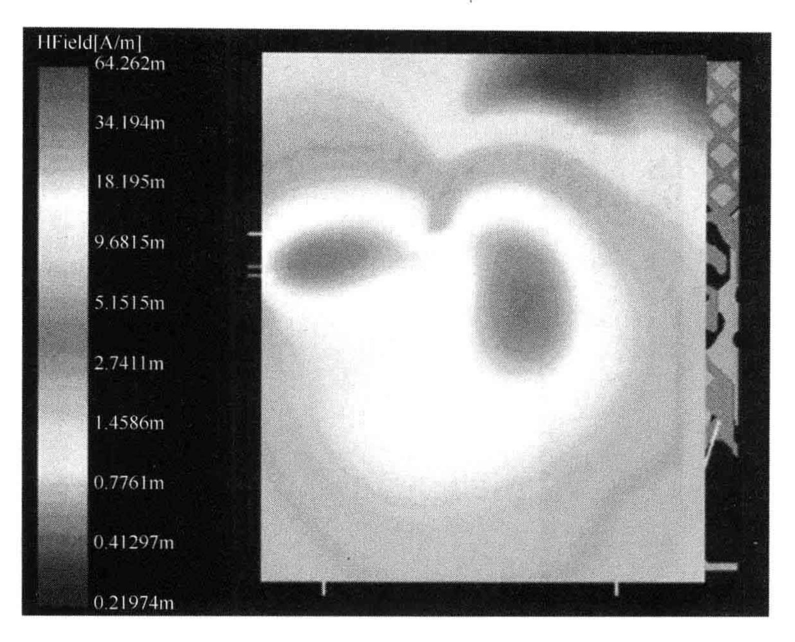


图 5-53 频率为 1GHz,长度匹配的差动对的磁场辐射分布

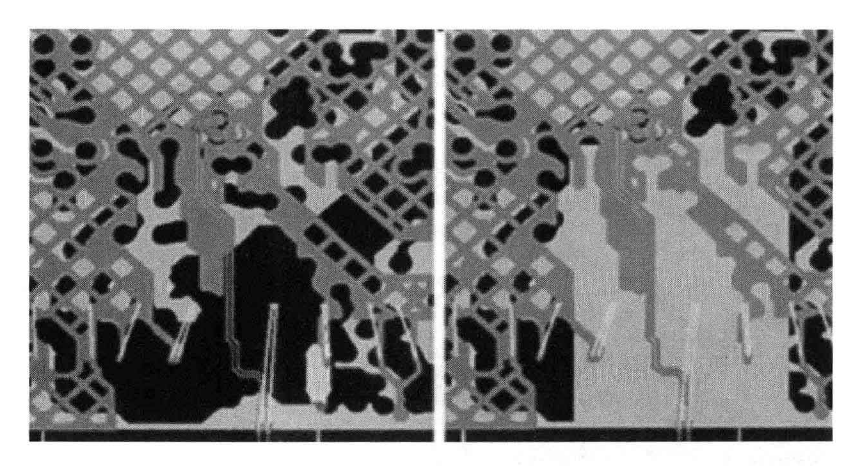


图 5-54 左:布置在地平面缝隙上的差动对;右:布置在固定(solid)地平面上的差动对

和源,我们可以切实的进行 PI 相关的检测 EMI 影响的假设分析。这可以结合到利用芯片上电压变化的信息对封装和电路板进行的快速分析。这种方法允许对芯片、封装和电路板资源进行前端优化,以满足 PI 和 EMI 规范。

正如第 4 章所描述的,图 5-56 是对可用于快速分析的芯片原件及资源的抽象图。简单地讲,芯片上的电流消耗,是 IC 各个功能模块的电流源之和。各个模块内部的或者外加的去耦电容都可用分布电容来表示。芯片功率传输网络的主要组成部分,如电阻、电容、电感,都可用芯片电源网络的抽象模型来表示。通过早期 EMI 流程的第一阶段和第二阶段的输入,封装、电路板连接以及系统 PDN,都可以在这种抽象环境中进行表述。

采用这种抽象的环境进行模拟,得到结果如图 5-57 所示。通过包含进封装和 PCB 抽象模型,该环境可以对芯片表面上电压变化的时空分布进行全面的真实的物理仿真。推导出的 ΔV 和$\frac{dv}{dt}$或者$\frac{di}{dt}$信息可用于封装和电路板连线优化的电磁辐射仿真。

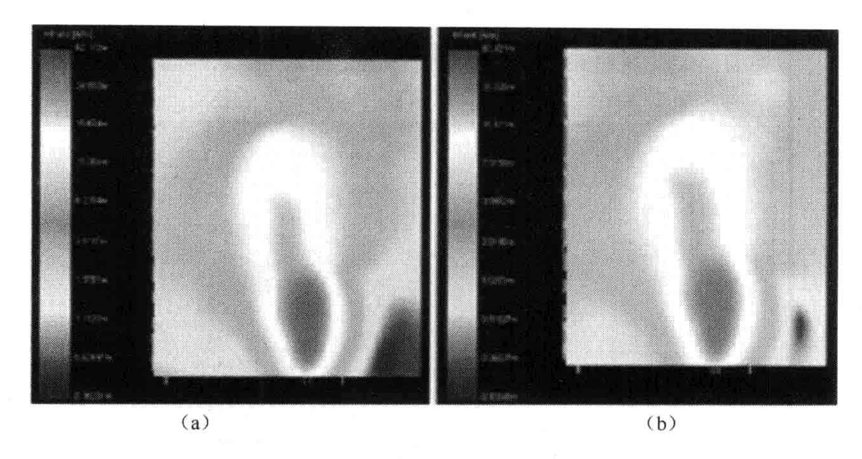


图 5-55　布置在地平面缝(a)和固定地平面(b)差动对的磁场辐射

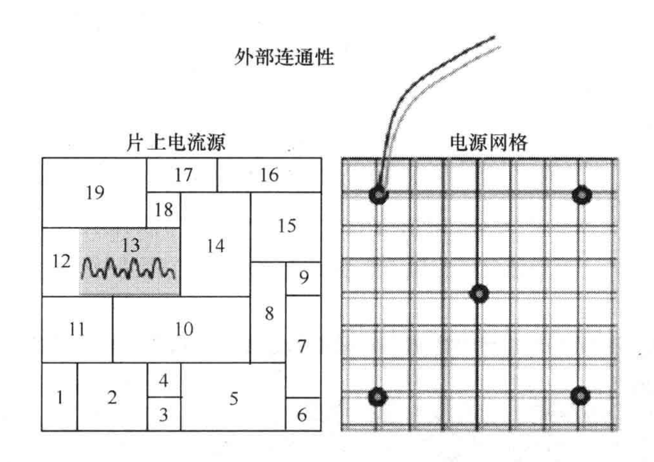


图 5-56　芯片的功能模块、电容、dt/di 和芯片封装系统 PDN 的抽象模型

系统级的传导、辐射 EMI 分析

通过静态 PI/PDN 分析仪获得的 $V(t)$或者$\frac{di}{dt}$数据，将用于第四阶段进行电磁传导和辐射的系统级分析。在第四阶段，使用全波计算器，快速准确的求解 Maxwell 方程——适用于进行前期 EMI 分析。如图 5-58 所示，从晶片 PI/PDN 分析仪输入噪声信号，分析封装和 PCB 的 EMI 干扰。

片上逻辑电路的开关行为，会引入同步开关噪声到电源—地网络，这将使相关的封装和电路板结构的电源一地网络发生动态波动。随着工作频率的增加，封装的尺寸与其波长相比已经不再那么小。引入的噪声电流将在封装和电路板内循环流动，它们相当于天线的作用，在封装和电路板结构周围产生电磁辐射。

对电源地网络的 EMI 效应进行精确建模需要系统级的分析。工作在高边缘速率的数字逻辑电路在芯片—封装界面处的电源一地之间引入了同步开关电流。在理想的情况下，要对注入的噪声电流源进行完整的描述需要对数字模块的晶体管电路进行全芯片动态仿真，同时需要考虑片上及封装电路板的寄生效应。这种仿真技术非常的复杂，使我们不得不考虑其替代技术，如最坏情况特性仿真。注入的噪声信号将作为封装和电路板的电磁仿真的输入信号

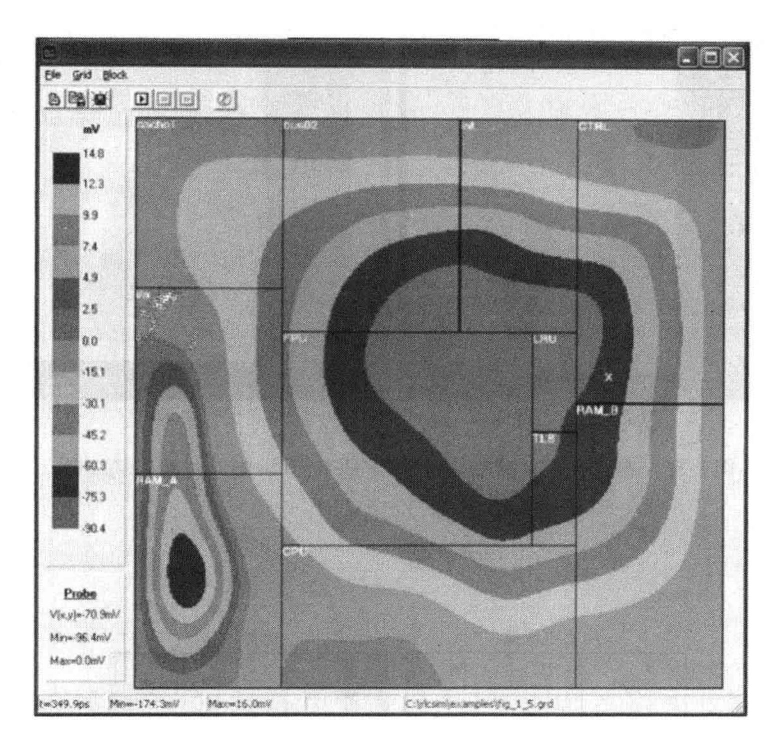


图 5-57　采用抽象模型和相应激励得到的电压变化的时空分布图

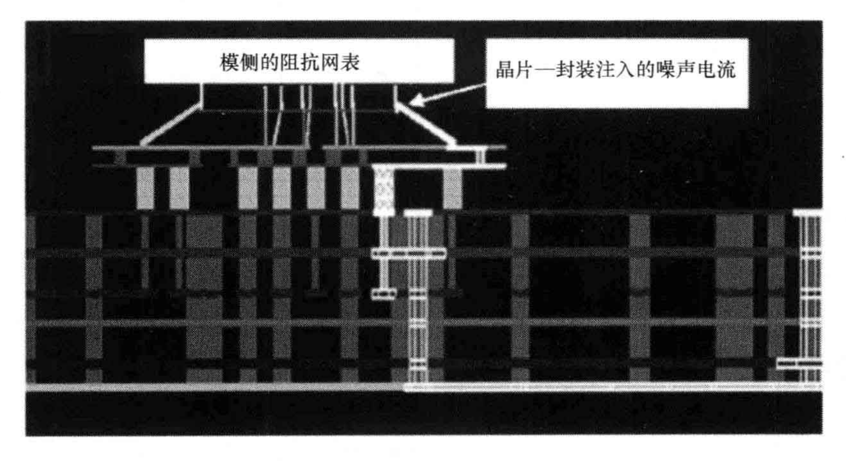


图 5-58　噪声电流源从模侧注入到封装—电路板中

(如图 5-59 所示)。

由于散热片、电路底板等也会产生很强的电磁辐射，因此它们的形状也应该考虑。如图 5-60所示，电磁仿真在整个三维结构内部产生了电流分布。从图中可知，通过简单的后期处理就可以获得辐射电磁场。

电磁干扰的特征属性，使其很难准确地进行仿真和建立模型。一些对于产生 PI 特性输出很有效的假设当被用来获取电磁辐射时却是无效的。对于表 5-2 中列出的技术，表 5-3 给出了这些技术对 EMI 的适用性。

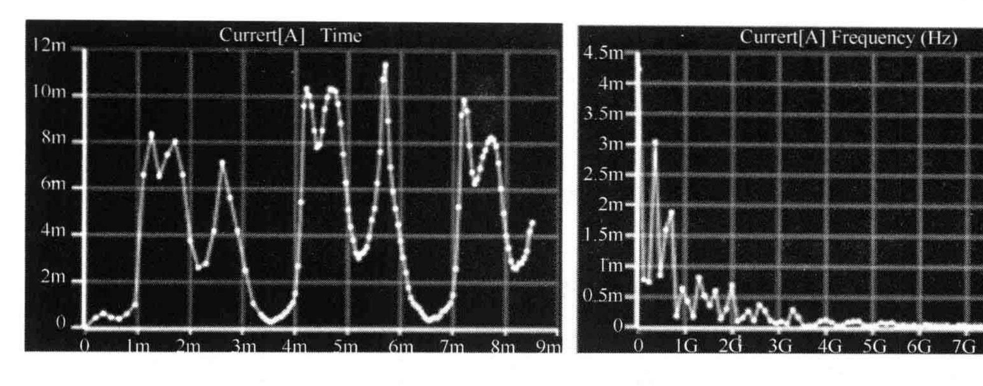


图 5-59　典型晶片封装的噪声电流信号:时域(左),频域(右)

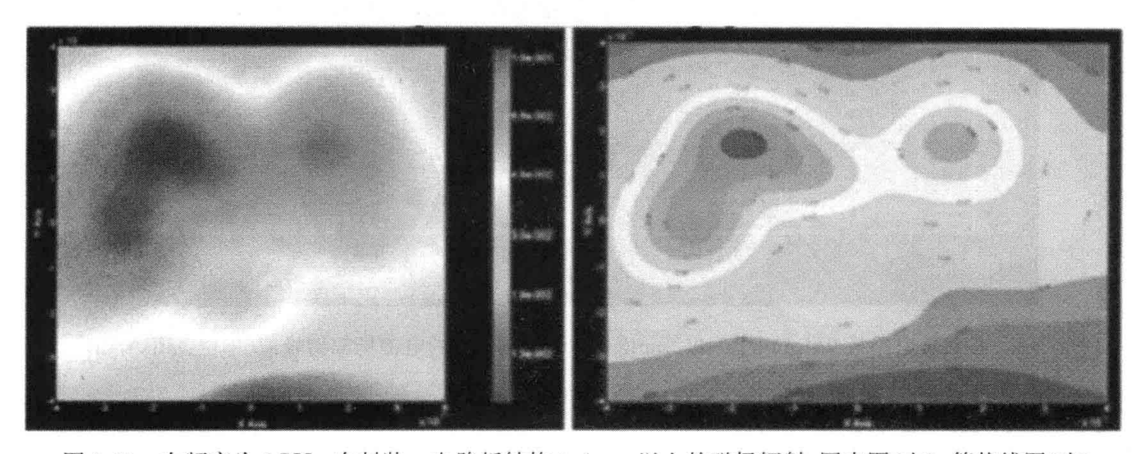


图 5-60　在频率为 1GHz,在封装—电路板结构 0.1mm 以上的磁场辐射:网表图(左),等势线图(右)

表 5-3　模拟 EMI 方法的适用性和限制

方　法	EMI 干扰的限制
三维电阻的提取	不适用
三维 RC 的提取	不适用
三维 RLC 的提取	不适用
三维准静态建模	不适用
二维传输线建模	常见的传输模式,EMI 的重要组成部分,不是常规的模型
2.5 维瞬态电磁(TEM)近似法	横向电磁近似存在于 PG 之间,因此不适用于 EMI
三维全波建模	普遍适用,成本和内存使用是很大的挑战

对芯片封装电路板系统的电磁场辐射建模,最准确的是三维全波建模技术,但受到规模、内存和时间上的限制(见图 5-61)。在这个领域中有三种主流技术,最成功的商业求解器就是围绕着三种技术中最高效的方案进行建立的。有限元建模(FEM)技术,最初用于土木工程,是三维全波建模技术的关键所在。这是一种普遍使用的技术,它使用体积网格,将频域麦克斯韦方程的偏微分方程(PDE)形式转换成一个大的稀疏矩阵。该技术存在以下缺点:一,该技术需要使用体积网格将问题的所有方面都模型化(包括在空气中和在真空条件下);二,需要专门建立边界条件并设定端口。另外,该项技术在低频时趋向于不稳定。有限差分时域技术(The finite difference time domain,FDTD)也有上述类似的缺点,但是也是用于产生时域波形的另

一种通用的技术。它通常需要建立笛卡儿均匀网格,这影响了其在大空间区域中对优良特性进行建模的准确性和有效性。矩量法(MOM)使用格林函数或麦克斯韦方程的积分形式来创建一个矩阵系统。与有限元建模法(FEM)相比,这种矩阵系统具有更加复杂的输入,而且更密集。由于这个原因,矩量法在 2.5 维公式化的应用中受到了限制,这是因为在 2.5 维公式化中需要对电解质进行模糊建模,从而限制了矩阵尺寸。快速解算法的最新进展使得图 5-61 得到了显著改变。

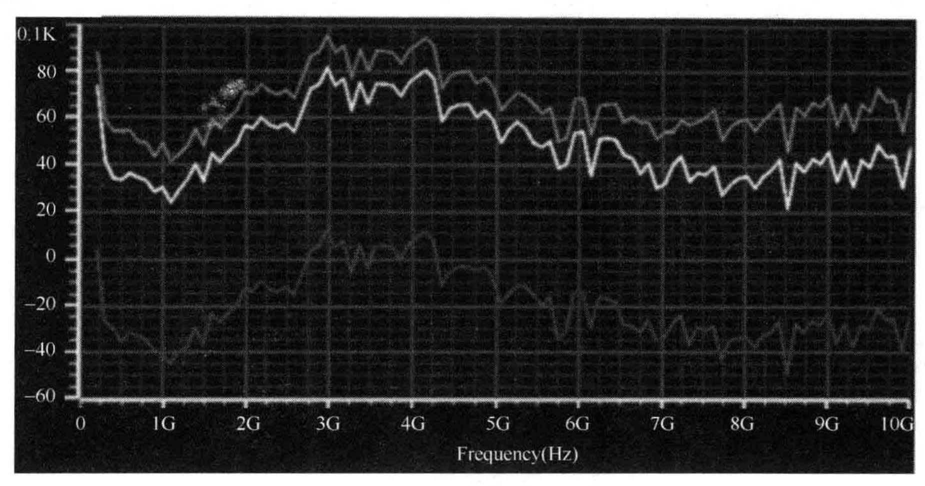


图 5-61 在封装电路板 0.1mm(上)、0.2mm(中)、1mm(下)上的电磁场辐射峰值(单位:μdBA/m)

5.11 SI、PI 和 EMI 总结

由于无线市场的需求,目前片上系统(SoC)设计已经集成了模拟/混合信号、射频(RF)功能模块和存储接口,而这也给系统级的设计带来一系列的挑战。随着 SoC 的设计进入到 45nm 工艺甚至更小,由于其集成度的提高和对性能的更多需求,芯片的封装和 PCB 技术也遇到了更大的挑战。

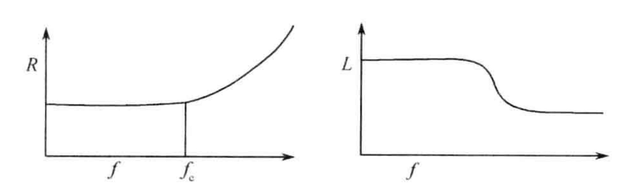
最新的设计所遇到的典型挑战包括各种各样的信号和电源完整性问题,比如电源分配噪声同步开关噪声。他们也包含了串扰、反射和其他效应,比如辐射、共振和散射。不同电源域和芯片衬底噪声的耦合给封装和 PCB 的设计带来了更多的限制,并且需要新的模型建立、分析和验证方法。

在常见的设计方法中,EMI 问题通常都是在模型建立之后才来处理。然而,那时已经处于设计的后期阶段,由于会非常影响成本和产品上市的时间,传统的补救措施将受到严重限制,比如增加更多的元件、金属屏蔽层、金属板甚至是重新设计整个系统。虽然设计指南和最佳实践是有用的,但我们仍然需要一个更具有重复性和值得信赖的方法。本章则提出了一种基于模拟的设计方法,该方法能够在早期设计阶段用于阻止与 PI 有关的 EMI 问题的产生。

设计早期对封装和 PCB 的 EMI 问题进行分析的计划,在解决系统级设计问题时被证明是有效的和并且是具有成本效益的。得到一个成功的 EMI 设计需要遵循的一个重要原则是在产品的早期就进行考虑。通过对系统级元件的早期优化设计能够避免大多数 EMI 违规问题。

5.12 练习题

5-1 下面的曲线表征了某一导体的趋肤效应对电阻和电感的影响。



1. 假设电流总沿着阻抗最小的路径流动，定性解释上面的现象。
2. 鉴于一个均匀横截面为 15μm×15μm 的铜(segma=5.8×10^7S/m)导体。

a. 计算 f_c(近似)

b. 计算 0Hz 时的 R

c. 计算 100Hz 时的 R

d. 表面粗糙度对上述计算会有什么影响?

[提示：趋肤深度 $\delta=\dfrac{1}{\sqrt{\pi\mu\sigma f_s}}$;$\mu=4\pi\times10^{-7}$]

3. 趋肤效应建模不正确会最直接影响到下面哪项?

a. 辐射损耗

b. 串扰

c. 散射

d. 地电平反弹效应

5-2 为什么在前面的实例研究中静磁方程不能获取谐振?

5-3 由于 $\mu\boldsymbol{H}=\nabla\times\boldsymbol{A}$，证明式(5-18)满足式(5-15a)的法拉第定律。

5-4 用互易原理证明，将一个偶极子放在地平面的切线处将不会发生辐射。提示：一个理想导体的切线电场为零。

5-5 考虑互连元素，举例说明一个有可能产生于标称差分系统的共模信号是怎样产生高的 EMI 的。提示：考虑有可能出现的不对称情况。

5-6 考虑一个地平面的路径，在这条路径下的平面有一个沟槽。解释为什么与该路径有关的沟槽的位置不同会导致整个 EMI 的不同。

参考文献

[1] Oh, D., W. Kim, J. -H. Kim, J. Wilson, R. Schmidt, C. Yuan, et al. 2008. *Study of signal and power integrity challenges in high speed memory I/O designs using single-ended signaling schemes*. DesignCon 2008, Santa Clara, February.

[2] Smith, Larry D. 2006. *Frequency domain target impedance method for bypass capacitor selection for power distribution systems*. DesignCon 2006, Santa Clara, February.

[3] Smith, L. D., R. E. Anderson, D. W. Forehand, T. J. Pelc, and T. Roy. 1999. Power distribution system design methodology and capacitor selection for modern CMOS

technology. *IEEE Transactions on Advanced Packaging* 22(3):284 - 291, August.

[4] Novak, I. 2008. *Power distribution network design methodologies*. Chicago: International Engineering Consortium.

[5] http://en.wikipedia.org/wiki/Maxwell%27s_Eqns.

[6] Bramwell, S. T., S. R. Giblin, S. Calder, R. Aldus, D. Prabhakaran, and T. Fennell. 2009. Measurement of the charge and current of magnetic monopoles in spin ice (letter). *Nature* 461:956 - 59, October 15.

[7] http://en.wikipedia.org/wiki/Kirchhoff%27s_circuit_laws.

[8] Nabors, K. and J. White. 1991. FastCap: A multipole accelerated 3D capacitance extraction program. *IEEE Transactions on Computer—Aided Design* 10:1447 - 1459, November.

[9] Sakkas, C. M. 1979. Potential distribution and multi—terminal DC resistance computations for LSI technology. *IBM Journal of Research and Development* 23:640-651, November.

[10] www.synopsys.com/Tools/Implementation/SignOff/Pages/StarRC—ds.aspx.

[11] Kamon, M., M. J. Tsuk, and J. K. White. 1994. FASTHENRY: A multipole—accelerated 3D inductance extraction program. *IEEE Transactions on Microwave Theory and Techniques* 42(9):1750-1758, September.

[12] http://physware.com/physapex.php.

[13] Paul, C. R. 2008. *Analysis of multiconductor transmission lines, 2nd ed*. Hoboken, NJ: Wiley.

[14] Swaminathan, M., and A. E. Engin. 2007. *Power integrity modeling and design for semiconductors and systems*. Upper Saddle River, NJ: Prentice Hall.

[15] Newman, E. H., and D. M. Pozar. 1978. Electromagnetic modeling of composite wire and surface geometries. *IEEE Transactions on Antennas and Propagation* AP—26(6):784-789, November.

[16] Balanis, C. A. 1989. *Advanced engineering electromagnetics*. New York: Wiley.

[17] Jin, J. 1993. *The finite element method in electromagnetics*. New York: Wiley.

[18] Higdon, R. L. 1986. Absorbing boundary conditions for difference approximations to the multi-dimensional wave equation. *Mathematics of Computation* 47(176):437 - 459, October.

[19] Chew, W. C., J. M. Jin, E. Michielssen, and J. M. Song (Eds.). 2001. *Fast and efficient algorithms in computational electromagnetics*. Norwood, MA: Artech House.

[20] Harrington, R. E. 1968. *Field computation by moment methods*. New York: Macmillan.

[21] Ruehli, A. E. 1974. Equivalent circuit models for three-dimensional multi conductor systems. *IEEE Transactions on Microwave Theory and Techniques* MTT—22:216 - 221, March.

[22] Tai, C. T. 1993. Dyadic Green's functions in electromagnetic theory. New York:

IEEE Press.

[23] Butler, C. M., and D. R. Wilton. 1975. Analysis of various numerical techniques applied to thin-wire scatterers. IEEE Transactions on Antennas and Propagation AP—23:534-540.

[24] Rao, S. M., D. R. Wilton, and A. W. Glisson. 1982. Electromagnetic scattering by surfaces of arbitrary shape. *IEEE Transactions on Antennas and Propagation* AP—30:409-418, May.

[25] Engin, A., K. Bharath, M. Swaminathan, M. Cases, B. Mutnury, N. Pham, et al. 2006. Finite—difference modeling of noise coupling between power/ground planes in multilayered packages and boards. *Proceedings of the 56th Electronic Components and Technology Conference*, pp. 1262-1267.

[26] Bharath, K., N. Sankaran, A. Engin, and M. Swaminathan. 2008. Multi—layer fringe—field augmentations for the efficient modeling of package power planes. *IEEE 17th Topical Meeting on Electrical Performance of Electronic Packaging*, October.

[27] Novak, I. 2007. Frequency—domain characterization of power distribution networks. Boston: Artech House.

[28] Bogatin, E. 2004. *Signal integrity—simplified*. Upper Saddle River, NJ: Prentice Hall.

[29] Hall, S., T. Liang, H. Heck, and D. Shykind. 2004. Modeling requirements for transmission lines in multi—gigabit systems. *IEEE Proceedings of the 13th Topical Meeting on Electrical Performance of Electronic Packaging*.

[30] Novak, I. 2008. Power distribution network design methodologies. Chicago: International Engineering Consortium.

[31] Smith, L. D., D. Becker, S. Weir, and I. Novak. 2006. *Comparison of power distribution network design methodologies*, Tec-Forum, TF-MP3, DesignCon 2006.

[32] Zhang, K., Z. Mu, Q. Quan, and X. Jiang. 2005. *Resolving EMI problems with good power delivery strategy*. DesignCon 2005.

[33] Ansoft. 2008. Fundamentals of SI, PI, and EMI (Part 1). *Inspiring Engineering*, Ansoft.

[34] Novak, I. 2007. *Reducing EMI noise by suppressing power—distribution resonances*. Ansoft EMI workshop, August.

[35] Altera Application Note (AN 574). 2009. *Printed circuit board (PCB) power delivery network design methodology*. Altera, May.

[36] Bogatin, E. 2003. The inductance of a transmission line: understanding the relationship between total loop inductance of a line, time delay and its characteristic impedance (No Myths Allowed). *Printed Circuit Design & Manufacture, July*.

[37] Zhou, P., K. Sridharan, and S. S. Sapatnekar. 2009. Optimizing decoupling capacitors in 3D circuits for power grid integrity. *IEEE Design and Test of Computers* 26 (5):15 - 25, September/October.

[38] Thompson, D., Ansoft. *PCB racliated emissions linked with enclosure*. www. ansoft.

com/emiuk04_PCBRadiatedEmissionsLinkedWithEnclosure. pdf.

[39] Gozzi, C. , Ansoft. *EMI-EMC analysis and noise reduction on printed circuit board*. June 2008, http://www. ansoft. com/emiuk/EMI — EMC% 20Analysis% 20and% 20Noise%20Reduction%20on%20PCB. pdf.

[40] Gisin, F. , and Z. Pantic—Tanner. 2001. Radiation from printed circuit board edge structures. *IEEE EMC* 2001 *International Symposium* 2:881 - 883.

[41] Clayton, P. 2006. Introduction to electromagnetic compatibility, 2nd ed. Hoboken, NJ: Wiley—Interscience.

[42] Ott, H. 1988. *Noise reduction techniques in electronic systems*, 2nd ed. New York: Wiley.

[43] Benedict, E. 2001. *PCB design for EMI/EMC compliance*. WEMPEC seminar, July.

[44] Steinecke, T. , D. Hesidenz, and E. Miersch. 2006. *EMI modeling and simulation in the IC design process*, EMC Zurich 2006—17th International Zurich Symposium on EMC, pp. 594-597, March.

[45] Dunbar, T. 2006. Solving EMI issues during the design process. *IEEE EMC Dallas Chapter*, November.

[46] Schmidt, R. J. —H. Kim, W. Kim, D. Oh, J. Feng, C. Yuan, et al. 2008. *Analyzing the impact of simultaneous switching noise on system margin in gigabit single—ended memory systems*. DesignCon 2008, Santa Clara, February.

[47] Djordjevic, A. , and T. Sarkar. 2001. Wideband frequency domain characterization of FR4 and time domain causality. *IEEE Transactions on Electromagnetic Compatibility* 43(4):662-667, November.

第 6 章 电源分配建模与电源完整性分析

Li-Rong Zheng, Sampo Tuuna

6.1 简介

在数字与混合信号超大规模(VLSI)和特大规模(ULSI)集成电路中,大量逻辑元件与输入输出(I/O)驱动电路同时发生开关变换,会在电源分配网络中产生大量的、具有阻抗性和电感性的噪声。这些噪声降低了电源的质量,同时削弱了逻辑门的驱动能力,也因此增加了系统回路的总延时。噪声同时还通过衬底、布线层,或以辐射的形式直接耦合到了回路中的信号线路和一些敏感节点上。因此,一个强大而健全的电源分配网络是保证电路稳定工作在一个高水平状态下所不可或缺的部分。

开关噪声一直被认为是由封装电感所造成的,"快速转换 I/O 驱动引发的感应电压的下降(ΔI 噪声)(如参考资料[1]~[5])"已能较好地用来对此进行等效模拟。可是,随着当今科学技术向纳米级迈进,越来越多的小尺寸且复杂的 VLSI/ULSI 电路芯片会工作在 GHz 级的内部时钟频率下,这比 I/O 的速度快了几倍。鉴于这个原因,以及更高的芯片集成密度的影响,由核心逻辑电路开关引起的噪声变得更加严重,这种噪声目前可以通过一种粗略的方式进行建模[6]~[8]

①首先,片上线路可被等效成一个具有阻抗的网络,它通过封装电感与一个理想的电源相连。然后,分别计算芯片上的 IR 电压降与 ΔI 噪声,我们简单的假设总的电源噪声是它们的叠加。这种方法的局限性是显而易见的。总电流变换速度达到最大值时,ΔI 噪声达到最大值;而当电流达到其峰值时,才会出现 IR 压降的最大值,因此,IR 压降的最差情况与 ΔI 噪声的最差情况并不会同时出现。

其次,半导体技术的特征尺寸以每年 13%的速度减小,而芯片边界尺寸每年却以大约 6%的速度增加[6]。技术进步带来更短的信号上升、下降时间和更高的集成规模,如果电源分配策略保持不变,作为与电源电压成比例的芯片级阻抗性压降会以每年 71%的速度增加[6]。更为糟糕的是,作为与电源电压成比例的芯片级片上电感电压压降($L \cdot \mathrm{d}i/\mathrm{d}t$)/$V$ 将会增长得更快,达到每年 96%的速度。也正因为如此,片上感应压降并不是微不足道,可以忽略不计的,与已知的信号线互连耦合类似,电源分配互连电感也变得日益重要起来,尽管其与前者相比技术上已经落后了几代[9]。

再次,在最先进的 ULSI 芯片上,利用片上去耦合电容[10]来减轻开关噪声早已是一种必要措施。当回路在工作在任一个时刻,只有一小部分逻辑门进行开关切换,而其他未动作的逻

---

① S. Tuuna, L-R. Zheng, J. Isoaho and H. Tenhunen. Portions reprinted, with permission, from Modeling of On-Chip Bus Switching Current and Its Impact on Noise in Power Supply Grid. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, *Vol*. 16, No. 6, June 2008, pp. 766 770. ©2008 IEEE.

L-R. Zheng and H. Tenhunen. Fast Modeling of Core Switching Noise on Distributed LRC Power Grid in ULSI Circuits. *IEEE Transactions on Advanced Packaging*, Vol. 24, No. 3, Aug. 2001, pp. 245 254. ©2001 IEEE.

辑门可以被看做共生旁路电容[6]。尽管忽略这些容性项(包括线路容性)会高估噪声值,但在当今先进的VLSI/ULSI电路设计中,可用的噪声容限还是相当的小。这是因为电源电压的按比例缩小,以及过度采用高速电路系列产品,如多米诺逻辑。因此,必须考虑对这些容性项[11]~[13]的核心开关噪声的准确建模。此外,为了降低电源噪声,片上电源分配技术已经有了长足的发展。在本章内容会中经常提到新型电源分配网络的拓扑结构,如电源网格结构,电源与地平面,电源环和复杂的电源树状结构,再配以片上或非片上的去耦电容。片上电源线表现得更像一个复杂的传输线网络,该网络上连接着数以百万计的开关器件。一个完整的片上电源分配模型应由一个固定电压源与时变电流源所激励出的分布式容性、感性及阻性的元件组成的线性网络构成。这个模型类似高速数字系统中用于封装或电路板级分析时采用的模型[14]~[17]。与封装或板级电路分析不同,做片上电路分析最大的问题在于网络规模太大,而无法使用诸如SPICE这样的通用电路仿真软件。即使采用阻抗网络加上封装电感这种方法,噪声仿真也要分成两步进行[6]~[8]。第一,假设流过非线性器件的电流是在理想电压下测得;第二,认为这些器件是时变电流源,并且在阻抗网络上或在封装引脚间,由这些电流源所激励产生的电压降所测得。尽管有这些简单化的处理,但仿真网络仍然很大。为了使网络尺寸更加简单,易于管理,可采用一些有效的算法及特殊处理的计算机辅助设计(CAD)工具和方法(比如,稀疏线性系统解决法[7]、多网格方法[18]~[19]、分级解决法[8]、或直接测量法[20])。第二个严峻的问题是对于时变电流源我们只有在设计循环完成后才能得到它的准确信息,但我们却必须在芯片设计的早期阶段确定电源网格的结构、尺寸和版图[7],[8],[11],[18],而且初始电源网格肯定会在从早期布局到后期布局、再到版图成型的整个过程中不断地被修改完善[7]。目前大多数现有的模型是针对电源分配网络的后端验证,这是在完成整个芯片设计,并已知流过晶体管的电流值情况下所进行的[7]~[8],[18]~[20]。而在此阶段发现电源网格的任何问题通常会很难修复,或者花费昂贵的成本加以矫正。因此,寻求合适的建模技术,特别是在整体芯片设计的早期确保一定的准确率显得尤为重要。

在这一章中,我们提出一种适用于现代ULSI电路的建模技术,用以对其电源分配网络进行准确且有效的分析在该模型下,电源线被认为是由固定电压源与开关电容激励出的阻性、容性和感性(RLC)元件组成的一个线性网络。依据这个模型,我们可为噪声峰值与噪声分布推导出快速方程。

我们同时提出一个用于估算片上总线开关电流的模型。文献[21],[22]提出若干精确的模型,用于估算CMOS逻辑门产生的开关噪声。然而内部互连所消耗的功率与总功率的比例越来越高,而内部互连所消耗的功率中,大约有一半的功率是消耗于全局总线上[23]。一般说来,越长的片上总线需要的电流越大,因为它需要由更大的驱动器及更多的中继器来驱动和缓冲,以应对信号完整性与传输延时等问题。这些电流反过来也造成电源分配网络里的噪声。长总线线路不能用容性负载来等效,需要把它考虑为RLC传输线。一个片上总线的电流消耗由其设计参数决定,如:长度、宽度和开关频率。在模型中还包含了互连线及与不同开关模式之间的耦合,它们在总线电流消耗上都具有不可忽略的影响。上述这个分析模型可以用于快速检测电源分配网络设计流程中的总线设计参数。我们将融合总线模型与电源分配网络模型,并将其应用于实例研究,以展示不同的电源噪声消除技术的实际效果。

需要注意的是,核心逻辑电路的开关噪声不仅存在于片上电源线中,同时也存在于封装上[1]~[3][20],在这一章里我们更加关注前者,主要讨论用于分析复杂片上电源网格主要开关噪声的快速建模技术。当然通过整合封装模型,封装上的核心开关噪声也同样可以进行仿真。

6.2　电源分配网格的建模

为了对带有寄生参数的电源分配网络进行有效建模，我们首先来看下 ULSI 电路中的实际电源分配。如图 6-1 所示，片上电源分配通常使用顶层金属来实现。向上，顶层金属连接到封装；向下，顶层金属通过中间层金属及过孔，连接到芯片中的有源器件。这种电源分配的图形拓扑结构可以大致用不规则和非均匀的网格来描绘①。图 6-2 给出了这类电源网格的一个示例。尽管存在其他多种拓扑结构，例如：网形、环形、树形，或是这些形状的混合型，但是这些结构都可以看作是不规则网格结构的特例。为了方便我们的分析，电源网格每个边缘都被等效成一串 π 形 RLC 等效电路[27]，如图 6-2 所示。传统上有源器件被等效为时变电流源[6]~[8],[11]。然而，在设计的早期阶段，这些等效电流源准确的变化曲线是未知的，因此这种模型需要在每个时间步进上不断重复，而这并不利于快速仿真。事实上，知道噪声上限（上边界噪声）或是噪声峰值比知道时变噪声曲线（时变曲线）更为有用。因此，我们采用具有固定开关时间间隔的开关电容来等效开关器件（即图 6-2 中的 C_{Lp} 与 C_{Lq}）。对于像与非门（NAND），与门（AND），或非门（NOR），异或门（XOR）等基本逻辑门而言，开关电容的参数（电容大小、开关时间）都是预先表征的。每个逻辑元件在每个时钟周期里的确切的开关电容值，可通过查找表和其开关情况来确定。除了这种方法，如果这些逻辑单元消耗的功率已知，则负载电容值可以从它们的功耗估算中得出，功率估算的详述可参考文献[24]～[26]。

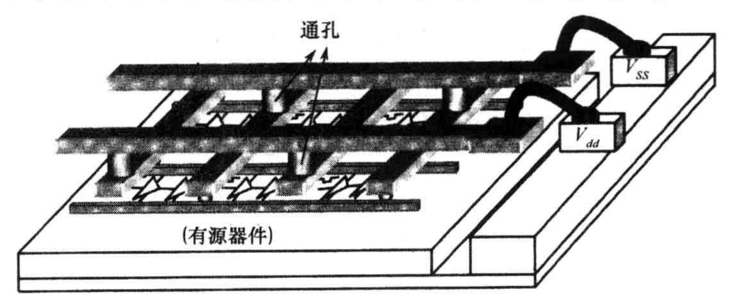


图 6-1　在实际 ULSI 中，多层金属绕线的片上电源分配网络示意图。电源分布网络的存线由连接在封装上的顶层金属来实现，并通过下层金属及过孔，最后到达片上的有源器件

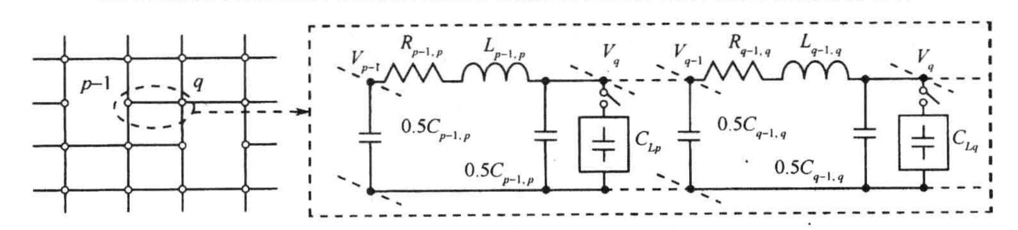


图 6-2　每条网格边缘上带有 π 形 RLC 等效电路的电源网格模型。边缘的段数根据边缘长度及可用于计算的最大节点数决定

我们考虑图 6-2 中节点 $p-1$ 到节点 p 之间的一段，开关之前，$V_p=V_{\mathrm{DD}}$，在开关的瞬间产

① 文中的“不规则”意思是，该网格不同于普通的网状电源网格，每个节点都有可能连到相邻的一个或 4 个甚至更多个节点上，（也就是说，有些节点边缘缺失，而有些节点可能存在别的边缘）。“非均匀”的意思是指不同的边缘会有不同的长度和不同的 RLC 寄生参数，而且不同的节点也会有不同的开关负载值。

生了一个噪声毛刺以及一个电源电压的最小值，用 V_p^{min} 来表示。采用与参考文献[2]，[4]和[27]类似的方法，我们把噪声脉冲近似成一个在 $t=0$ 时值为 0，在 $t=t_s$ 时值为 $V_{DD}-V_p^{min}$ 的线性斜坡线段，t_s 是在节点 p 的脉冲变化时间。因此流过 $R_{p-1,p}$ 与 $L_{p-1,p}$ 的电流为：

$$\begin{aligned} I_{p-1,p}(t) &= \frac{1}{L_{p-1,p}}\int_0^t (V_{p-1} - V_p - I_{p-1,p}R_{p-1,p})\mathrm{d}\tau \\ &= \frac{1}{L_{p-1,p}}\int_0^t \frac{V_{p-1}^{min} - V_p^{min} - I_{p-1,p}^{max}R_{p-1,p}}{t_s}\tau\mathrm{d}\tau = \frac{V_{p-1}^{min} - V_p^{min} - I_{t-1,p}^{max}R_{p-1,p}}{2L_{p-1,p}t_s}t^2 \end{aligned} \tag{6-1}$$

由式(6-1)我们得到：

$$I_{p-1,p}^{max} = \frac{V_{p-1}^{min} - V_p^{min}}{2L_{p-1,p} + R_{p-1,p}t_s}t_s \tag{6-2}$$

由式(6-1)和式(6-2)可以导出：

$$I_{p-1,p}(t) = \frac{V_{p-1}^{min} - V_p^{min}}{(2L_{p-1,p} + R_{p-1,p}t_s)t_s}t^2 \tag{6-3}$$

式(6-3)是当电容 C_L 变化时电源线上节点 $p-1$ 到节点 p 间流过的电流，在本章下一节它将用于计算噪声峰值。

对于一般情况，在任意一个电源网格框图(如图 6-3 所示)中考虑任意一个节点(如节点 j)，这个节点连接着节点 1，2，3，4，…，k(即相邻的连接总数为 k)，则在节点 j 的总电容为 $C_T = 0.5(C_{1,j} + C_{2,j} + C_{3,j} + \cdots + C_{k,j})$ $(k\neq j)$。在开关之前，节点 j 电压充电至 V_{DD}，故存储于此节点的总电量是 C_TV_{DD}。当 j 点的负载电容 C_{Li} 开始放电，电源电压下降，在节点 j 处出现的最小值电压值为 V_j^{min}。此时，节点 j 的总电量为 $(C_T + C_{Lj})V_j^{min}$。电量间的差异必须由周围节点流过的电流来补偿，换言之：

$$C_TV_{DD} + Q = (C_T + C_{Li})V_j^{min} \tag{6-4}$$

图 6-3　用于推导噪声峰值公式的任意电源网格中的任一节点示意图

由邻近所有节点转移而来的总电量可应用公式(6-3)来计算：

$$\begin{aligned} Q &= \int_0^{t_s}\Big(\sum_{i=1,i\neq j}^{k} I_{ij}(\tau)\Big)\mathrm{d}\tau = \int_0^{t_s}\Big(\sum_{i=1,i\neq j}^{k}\frac{V_i^{min} - V_j^{min}}{(2L_{i,j} + R_{i,j}t_s)t_s}\tau^2\Big)\mathrm{d}\tau \\ &= \sum_{i=1,i\neq j}^{k}\chi_{i,j}V_i^{min} - V_j^{min}\sum_{i=1,i\neq j}^{k}\chi_{i,j} \end{aligned} \tag{6-5}$$

式中，$\chi_{i,j} = t_s^2/(6L_{i,j} + 3R_{i,j}t_s)$。用式(6-5)代换式(6-4)中的 Q，可以得到：

$$V_j^{min} = \frac{\sum_{i=1,i\neq j}^{k}\chi_{i,j}V_i^{min} + \frac{1}{2}\sum_{i=1,i\neq j}^{k}C_{i,j}V_{DD}}{\sum_{i=1,i\neq j}^{k}\chi_{i,j} + \frac{1}{2}\sum_{i=1,i\neq j}^{k}C_{i,j} + C_{Lj}} = \frac{1}{\lambda_j}\Big(\sum_{i=1,i\neq j}^{k}\chi_{i,j}V_i^{min} + \frac{1}{2}\sum_{i=1,i\neq j}^{k}C_{i,j}V_{DD}\Big) \tag{6-6}$$

式中，

$$\lambda_j = \sum_{i=1,i\neq j}^{k}\chi_{i,j} + \frac{1}{2}\sum_{i=1,i\neq j}^{k}C_{i,j} + V_{Lj}$$

式(6-6)说明了节点 j 与邻近节点的最小电压值的关系。现在假设一个完整的电源网格，点其

具有 n 个节点。我们首先标出空闲节点(未知电势)1,2,3,…,$m-1$,m;然后标出限定节点(固定电势)$m+1$,$m+2$,…,$n-1$,n。则式(6-6)可以写成如下矩阵形式,即

$$\begin{bmatrix} -1 & \frac{\chi_{1,2}}{\lambda_1} & \frac{\chi_{1,3}}{\lambda_1} & \cdots & \frac{\chi_{1,m}}{\lambda_1} & \cdots & \frac{\chi_{1,n}}{\lambda_1} \\ \frac{\chi_{2,1}}{\lambda_2} & -1 & \frac{\chi_{2,3}}{\lambda_2} & \cdots & \frac{\chi_{2,m}}{\lambda_2} & \cdots & \frac{\chi_{2,n}}{\lambda_2} \\ \frac{\chi_{3,1}}{\lambda_3} & \frac{\chi_{3,2}}{\lambda_3} & -1 & \cdots & \frac{\chi_{3,m}}{\lambda_3} & \cdots & \frac{\chi_{3,n}}{\lambda_3} \\ \vdots & \vdots & \vdots & & \vdots & & \vdots \\ \frac{\chi_{m,1}}{\lambda_m} & \frac{\chi_{m,2}}{\lambda_m} & \frac{\chi_{m,3}}{\lambda_m} & \cdots & -1 & \frac{\chi_{m,n}}{\lambda_m} & \\ \vdots & \vdots & \vdots & & \vdots & & \vdots \\ \frac{\chi_{n,1}}{\lambda_n} & \frac{\chi_{n,2}}{\lambda_n} & \frac{\chi_{n,3}}{\lambda_n} & \cdots & \frac{\chi_{n,m}}{\lambda_n} & \cdots & -1 \end{bmatrix} \begin{bmatrix} V_1^{\min} \\ V_2^{\min} \\ V_3^{\min} \\ \vdots \\ V_m^{\min} \\ \vdots \\ V_n \end{bmatrix} = \begin{bmatrix} -\frac{1}{2\lambda_1}\sum_{i=2}^{n} C_{i,1}V_{\mathrm{DD}} \\ -\frac{1}{2\lambda_2}\sum_{i=1,i\neq 2}^{n} C_{i,2}V_{\mathrm{DD}} \\ -\frac{1}{2\lambda_3}\sum_{i=1,i\neq 3}^{n} C_{i,3}V_{\mathrm{DD}} \\ \vdots \\ -\frac{1}{2\lambda_m}\sum_{i=1,i\neq m}^{n} C_{i,m}V_{\mathrm{DD}} \\ \vdots \\ -\frac{1}{2\lambda_n}\sum_{i=1}^{n-1} C_{i,n}V_{\mathrm{DD}} \end{bmatrix} \tag{6-7}$$

或是简单的用空闲节点与限定节点的子矩阵:

$$\begin{bmatrix} \boldsymbol{\varphi}_{ff} & \boldsymbol{\varphi}_{fp} \\ \boldsymbol{\varphi}_{pf} & \boldsymbol{\varphi}_{pp} \end{bmatrix} \begin{bmatrix} \boldsymbol{V}_f \\ \boldsymbol{V}_p \end{bmatrix} = \begin{bmatrix} \boldsymbol{b}_f \\ \boldsymbol{b}_p \end{bmatrix} \tag{6-8}$$

其中,

$$\boldsymbol{\varphi}_{ff} = \begin{bmatrix} -1 & \frac{\chi_{1,2}}{\lambda_1} & \frac{\chi_{1,3}}{\lambda_1} & \cdots & \frac{\chi_{1,m}}{\lambda_1} \\ \frac{\chi_{2,1}}{\lambda_2} & -1 & \frac{\chi_{2,3}}{\lambda_2} & \cdots & \frac{\chi_{2,m}}{\lambda_2} \\ \frac{\chi_{3,12}}{\lambda_3} & \frac{\chi_{3,2}}{\lambda_3} & -1 & \cdots & \frac{\chi_{3,m}}{\lambda_3} \\ \vdots & \vdots & \vdots & & \vdots \\ \frac{\chi_{m,1}}{\lambda_m} & \frac{\chi_{m,2}}{\lambda_m} & \frac{\chi_{m,3}}{\lambda_m} & \cdots & -1 \end{bmatrix}, \boldsymbol{\varphi}_{fp} = \begin{bmatrix} \frac{\chi_{1,m+1}}{\lambda_1} & \frac{\chi_{1,m+2}}{\lambda_1} & \cdots & \frac{\chi_{1,n}}{\lambda_1} \\ \frac{\chi_{2,m+1}}{\lambda_2} & \frac{\chi_{2,m+2}}{\lambda_2} & \cdots & \frac{\chi_{2,n}}{\lambda_2} \\ \frac{\chi_{3,m+1}}{\lambda_3} & \frac{\chi_{3,m+2}}{\lambda_3} & \cdots & \frac{\chi_{3,n}}{\lambda_3} \\ \vdots & \vdots & & \vdots \\ \frac{\chi_{m,m+1}}{\lambda_m} & \frac{\chi_{m,m+2}}{\lambda_m} & \cdots & \frac{\chi_{m,n}}{\lambda_m} \end{bmatrix},$$

$$\boldsymbol{b}_f = \begin{bmatrix} -\frac{1}{2\lambda_1}\sum_{i=2}^{n} C_{i,1}V_{\mathrm{DD}} \\ -\frac{1}{2\lambda_2}\sum_{i=1,i\neq 2}^{n} C_{i,2}V_{\mathrm{DD}} \\ -\frac{1}{2\lambda_3}\sum_{i=1,i\neq 3}^{n} C_{i,3}V_{\mathrm{DD}} \\ \vdots \\ -\frac{1}{2\lambda_m}\sum_{i=1,i\neq m}^{n} C_{i,m}V_{\mathrm{DD}} \end{bmatrix}$$

$$\boldsymbol{\varphi}_{pf}=\begin{bmatrix}\frac{\chi_{m+1,1}}{\lambda_{m+1}} & \frac{\chi_{m+1,2}}{\lambda_{m+1}} & \frac{\chi_{m+1,3}}{\lambda_{m+1}} & \cdots & \frac{\chi_{m+1,m}}{\lambda_{m+1}}\\ \frac{\chi_{m+2,1}}{\lambda_{m+2}} & \frac{\chi_{m+2,2}}{\lambda_{m+2}} & \frac{\chi_{m+2,3}}{\lambda_{m+2}} & \cdots & \frac{\chi_{m+2,m}}{\lambda_{m+2}}\\ \vdots & \vdots & \vdots & & \vdots\\ \frac{\chi_{n+1}}{\lambda_n} & \frac{\chi_{n,2}}{\lambda_n} & \frac{\chi_{n,3}}{\lambda_n} & \cdots & \frac{\chi_{n,m}}{\lambda_n}\end{bmatrix},\boldsymbol{\varphi}_{pp}=\begin{bmatrix}-1 & \frac{\chi_{m+1,m+2}}{\lambda_{m+1}} & \cdots & \frac{\chi_{m+1,n}}{\lambda_{m+1}}\\ \frac{\chi_{m+2,m+1}}{\lambda_{m+2}} & -1 & \cdots & \frac{\chi_{m+2,n}}{\lambda_{m+2}}\\ \vdots & \vdots & & \vdots\\ \frac{\chi_{n,m+1}}{\lambda_n} & \frac{\chi_{n,m+2}}{\lambda_n} & \cdots & -1\end{bmatrix},$$

$$\boldsymbol{b}_p=\begin{bmatrix}-\frac{1}{2\lambda_{m+1}}\sum_{i=1,i\neq m+1}^{n}C_{i,m+1}V_{\mathrm{DD}}\\ -\frac{1}{2\lambda_{m+2}}\sum_{i=1,i\neq m+2}^{n}C_{i,m+2}V_{\mathrm{DD}}\\ \vdots\\ -\frac{1}{2\lambda_n}\sum_{i=1}^{n-1}C_{i,n}V_{\mathrm{DD}}\end{bmatrix}$$

式中，$\boldsymbol{V}_{\mathrm{f}}=[V_1^{\min}V_2^{\min}V_3^{\min}\cdots V_m^{\min}]^{\mathrm{T}}$ 和 $\boldsymbol{V}_{\mathrm{p}}=[V_{m+1}^{\min}V_{m+2}^{\min}\cdots V_{n-1}^{\min}V_n^{\min}]^{\mathrm{T}}$，这个方程的解可直接写为

$$\boldsymbol{V}_f=\boldsymbol{\varphi}_{ff}^{-1}[\boldsymbol{b}_f-\boldsymbol{\varphi}_{fp}\boldsymbol{V}_p] \qquad (6\text{-}9)$$

6.3 电源分配模型的数值分析

在参考文献[7]～[8]和[18]中所提出的有效的计算方法可以应用于方程式(6-9)。方程式(6-9)显而易见是稀疏的系数矩阵，因为只有直接相连的两项会在系数矩阵中产生非零项。对于 $n\times n$ 的网格结构，最大的疏密度为 $4(n-1)/n^3$，并且 $x_{i,j}=x_{j,i}$，因为在系数矩阵中他们代表的是同一个边缘。这一点可有效地用于目前稀疏矩阵的求解方法中[28]。通过这种求解稀疏矩阵的三角分解法可直接求得结果，也使其计算耗时相应减少。

在有足够存储空间的情况下，直接法比其他方法更迅速更实用，但当求解大型网络问题时，迭代法则是更为行之有效的方法。迭代法在经过有限次的运算步骤后产生一个近似解。系数矩阵在其中通过矩阵向量积的形式或者线性算子的抽象结果等形式间接作用于计算结果。我们注意到 φ_{ff} 是非对称的，所以不能在给定的条件下直接运用共轭梯度法。式(6-9)中的各个自由电势如果用其他的自由电势和限定电势表示，可得到：

$$\boldsymbol{V}_f^{new}=[\boldsymbol{\varphi}_{ff}+1]\boldsymbol{V}_f^{old}-[\boldsymbol{b}_f-\boldsymbol{\varphi}_{fp}\boldsymbol{V}_p] \qquad (6\text{-}10)$$

利用方程式(6-10)可以有效解决模型问题。类似于有限差分技术中的迭代法，在该方程中，自由节点最初都被赋以初始值(比如 0 或 V_{DD})。而自由节点的新值通过计算求出。在这一章节中，我们会同时用到直接法与迭代法。一般我们采用直接法来求解小型电源网格问题(如图 6-4～6-10 所示)，采用迭代法来求解大型网格问题(如图 6-16～图 6-19 所示)。

6.4 差模噪声与共模噪声

电源噪声通常指的是对地反弹与电源反弹。之前的很多研究[1]～[3],[5]只对地电位反弹或者电源电位反弹进行，这对于封装级分析也许已经足够，但对于核心电路开关噪声的仿真来说

是不足的。建模分析参考文献[2]与[29]中表明，当 V_{DD} 与 V_{SS} 同时出现感性及容性耦合时，V_{DD} 和 V_{SS} 处的噪声毛刺会首次出现同相位(共模噪声)，这种情况下内部的逻辑元件将不受影响。最初噪声的尖峰过后，V_{DD} 和 V_{SS} 处的噪声波形会有 180°的相位差(差模噪声)。对于内部逻辑元件的内部信号，差模噪声显得更加重要，这是因为处于相同区域的逻辑元件总是连向同一电源和地。然而对于模块间的通信，共模噪声变得同样重要，这是因为接收方与发射方未必共享同一个电源与地。

当考虑模块间通信时，某一段电源线在 V_{SS} 上与在 V_{DD} 上的返回电流是不同的。为了模拟差模噪声，我们假设每一段电源线的参数如下(以 p 段为例)：

$$R_{p-1,p}=R^{d}_{p-1,p}+\alpha R^{s}_{p-1,p} \tag{6-11}$$

$$L_{p-1,p}=L^{d}_{p-1,p}-M_{p-1,p}+\alpha(L^{s}_{p-1,p}-M_{p-1,p}) \tag{6-12}$$

式中，$R^{d}_{p-1,p}$ 和 $R^{s}_{p-1,p}$ 分别是 V_{DD} 和 V_{SS} 线上的电阻项；$L^{d}_{p-1,p}$ 和 $L^{s}_{p-1,p}$ 是 V_{DD} 和 V_{SS} 线上的部分电感项；M_{p-1}，p 是 V_{DD} 和 V_{SS} 之间的互感项；a 是在 V_{SS} 上的返回电流与 V_{DD} 上的驱动电流之比。同理，封装引脚上的等效电感可推导为：

$$L_{e}=L_{b}-M_{d}+\alpha(L_{b}-M_{b}) \tag{6-13}$$

式中，L_{b} 是一个独立焊线或封装引脚上的部分电感；而 M_{b} 是电流引脚和返回地点引脚之间的互感。

除此之外，当电路工作时，在某一时刻，只有一小部分逻辑门发生翻转，其余没有翻转的逻辑门将其输出负载与本地电源相连。未发生翻转的逻辑门的负载不应被忽略，因为它们是片上旁路电容(也称共生旁路电容)的重要组成部分[5]～[6]。因此，每一段的电容项(以 P 段为例)应包括以下几项：

$$C_{p-1,p}=C^{q}_{p-1,p}+C^{d}_{p-1,p}+C^{w}_{p-1,p} \tag{6-14}$$

式中，$C^{q}_{p-1,p}$ 代表共生旁路电容之和；$C^{t}_{p-1,p}$ 代表在这一段里增加的去耦电容；$C^{w}_{p-1,p}$ 代表 V_{DD} 和 V_{SS} 之间的导线电容。做了上述等效以后，图 6-2 所示的传输线模型即可用于预测差模噪声，即

$$\Delta V^{dif}_{p}=\Delta V^{d}_{p}-\Delta V^{s}_{p} \tag{6-15}$$

式中，ΔV^{dif}_{p} 代表 p 段上的差模噪声；ΔV^{d}_{p} 和 ΔV^{s}_{p} 则分别是电源电位反弹与地电位反弹。

对于共模噪声仿真而言，线路可以被理解为其上的导体被连在一起并驱动相同的负载。由此产生的共模电流除了受到模块间电容与串联阻抗的作用外，不会受到任何 V_{DD} 和 V_{SS} 之间的本地电容的影响[6]。通过使电源和地导体产生相等的电压降，可以得到 p 段的等效串联阻抗为：

$$Z^{eq}_{p-1,p}=\frac{Z^{d}_{p-1,p}Z^{s}_{p-1,p}}{Z^{d}_{p-1,p}+Z^{s}_{p-1,p}}+M_{p-1,p} \tag{6-16}$$

式中，$Z^{d}_{p-1,p}=R^{d}_{p-1,p}+j\omega(L^{d}_{p-1,p}-M_{p-1,p})$ 和 $Z^{s}_{p-1,p}=R^{s}_{p-1,p}+j\omega(L^{s}_{p-1,p}-M_{p-1,p})$。当图 6-2 的传输线模型用于估算共模噪声时，它的寄生参数如下：

$$R_{p-1,p}=\mathrm{Re}(Z^{eq}_{p-1,p}) \tag{6-17}$$

$$L_{p-1,p}=\mathrm{Im}(Z^{eq}_{p-1,p})/\omega \tag{6-18}$$

$$C_{p-1,p}=C^{d}_{off}+C^{s}_{off} \tag{6-19}$$

式中，C^{d}_{off} 和 C^{s}_{off} 分别是连在 V_{DD} 和 V_{SS} 导体间的全部模块间非负载电容(例如，可能存在的模块间共生旁路电容或去耦电容)。同理，通过共模电流看到的负载现在就只有净模块间负载电容，即：

$$C_{Lp}=C_{Lp}^{d}-C_{Lp}^{s} \tag{6-20}$$

式中，C_{Lp}^{d}和C_{Lp}^{s}分别代表V_{DD}和V_{SS}上总的非模块负载电容。要注意的是方程式(6-20)的净负载电容可能会是负值，这取决于哪一项支配着负载。计算中允许出现负的负载电容，它表示V_{SS}线上的返回电流大于在V_{DD}线上的返回电流。有趣的是，我们发现一个共模噪声的通用分析表达式，可以由地电位反弹与电源电位反弹来表示：

$$\Delta V_{p}^{com}=(\Delta V_{p}^{d}Z_{p-1,p}^{s}+\Delta V_{p}^{s}Z_{p-1,p}^{d})/(Z_{p-1,p}^{s}+Z_{p-1,p}^{d}) \tag{6-21}$$

式中，ΔV_{p}^{com}是在p段的共模噪声；ΔV_{p}^{d}和ΔV_{p}^{s}分别是这一段的电源电位反弹和对地电位反弹；$Z_{p-1,p}^{d}$和$Z_{p-1,p}^{s}$含义与式(6-16)中一样。当线路平衡时，(即：$Z_{p-1,p}^{d}=Z_{p-1,p}^{s}$)我们得到一个已熟悉的方程，如下式：

$$\Delta V_{p}^{com}=(\Delta V_{p}^{d}+\Delta V_{p}^{s})/2 \tag{6-22}$$

这个方程给出了共模噪声与独立的电源电位反弹或地电位反弹之间的关系，为了对电源电位反弹或地电位反弹进行仿真，每条线的参数设置与单根导线一样例如V_{SS}或V_{DD}，其他导线则可以当作是理想导体。

6.5 验证与误差分析

在0.35μm CMOS工艺下，应用已有模型可计算电源网络中的峰值噪声分布。该工艺的供电电压为3V。对两块基准电路进行测试，一个是如图6-4所示的无根树状电源网格，另一个则是如图6-7所示的不规则电源分配网格，这两种结构是目前ULSI电路中典型的电源分配网络的拓扑结构。电源线是由第三层金属以两条平行线(电源和地)的形式构成，金属线宽及线间距均为4μm。X轴上每150μm为一段，Y轴上每100μm为一段。我们通过内部的电磁场解算器软件来提取电源线的寄生RLC参数，同时采用两个尺寸为$W_p/W_n=3\mu m/1\mu m$的级联反相器作为开关负载。这些负载有很多都直接连在每段的电源线上。在本例中，连接在本段电源线上的负载有50个，15个负载做开关变换，另外35个保持不变(17个保持低电位，18个保持高电位)。通过SPICE软件仿真一个相同大小的反相器链可得到负载的开关电容值与开关时间，同时以曲线拟合其开关电流。通过这种方法，得到的电容值是包含了负载内部节点充放电效应的净负载电容值。我们采用直接法来计算噪声。为了验证现有模型的准确性与速度，我们用ELDO(Mentor Graphic公司的一个SPICE仿真器，V4.6)来仿真同一个电路，其中所有的晶体管均采用BSIM3v3短沟道器件模型。为了在SPICE中得到合理且准确的峰值噪声，一个时钟周期内需要进行最少100次运算。在这一节中，我们采用这个最小的运算次数和半个时钟周期的总仿真时间来测定SPICE仿真所需要的CPU时间。为了保证测量精度，我们在实际SPICE仿真中采用每个时钟周期进行500次运算的策略，并对50个时钟周期进行仿真。所有上述仿真、运算均通过SUN－Ultra10工作站完成。

我们首先计算如图6-4所示的无根树状电源分配网络中的噪声。其SPICE仿真的最小CPU时间为3.71s，而通过模型计算需要0.01s。对于不同节点的峰值噪声，我们所拟的模型计算结果与SPICE软件的仿真结果的比较可见图6-5所示。显然，两者的曲线图表明计算与仿真结果高度一致。电源电平反弹和地电平反弹之间噪声水平的差异是由模块内以及模块间通信所导致的开关负载不同而引起的。此外，电源网络中所有热点的位置都已准确定位，为了更清楚地给予说明，图6-6给出了每个节点的相对误差。

我们发现许多节点在较低的噪声下相对误差较大，这是因为在SPICE仿真中较低的噪声

$C_{pad}=1pF, C_{bump}=18.7fF$, and $L_{bump}=17pH$. X: 150μm/grid, Y: 100μm/grid.

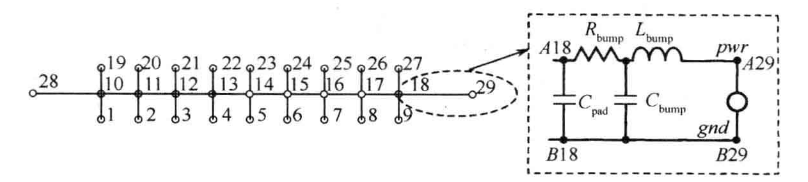


图 6-4　无根树状电源分配网络分析简图，图中节点(10,28)与节点(18,29)的连接代表 C4 封装的焊料凸点，其中 R_{bump} = 34.2 mΩ，C_{pad} = 1pF，C_{bump} = 18.7fF，和 L_{bump} = 17pH。X 轴：150μm/格，Y 轴：100μm/格。

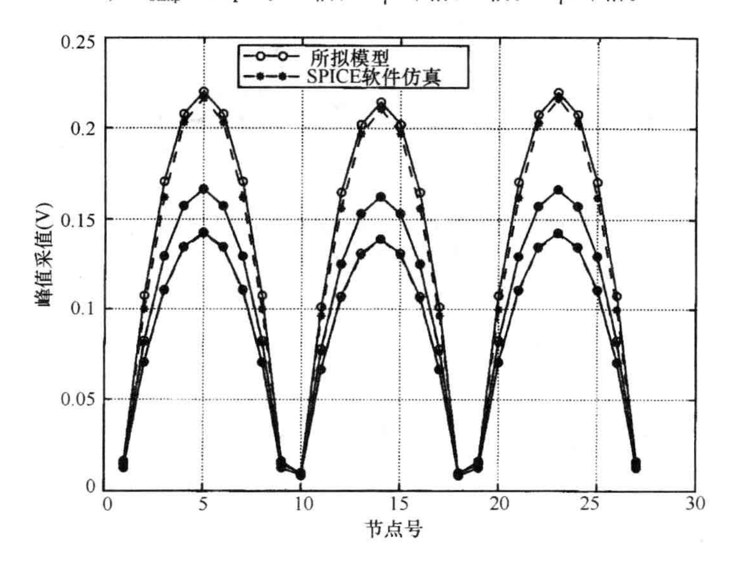


图 6-5　无根树状电源分配网络中采用 SPICE 软件仿真和所拟模型计算两种方法下所得的峰值噪声的比较结果。顶部：差模噪声，中部：电源电位反弹，底部：地电位反弹

导致了较大的相对测量误差，从而在相对误差的计算中造成较大的误差值。例如，对于某一节点在 100mV 下测量误差为 1mV，则相对误差为 1%，但 1mV 的测量误差如果在 2mV 的噪声下则会造成 50%的相对误差值。不过在实际应用中，我们感兴趣的都是那些有着较大噪声的节点。在上述这个例子中，所有节点都是正确定位的，并且相对误差低于 5%。此外，我们发现在图 6-6 中所有相对误差都是正值，这表示我们所拟的模型准确地预测了噪声上限。

对于更为一般的情况，比如在第二个例子中，我们在如图 6-7 所示的非规则电源分配网格中计算噪声分布，其计算结果如图 6-8 所示。同样地，它与 SPICE 仿真结果高度一致。这就很好地预测了不同节点的相对噪声振幅，因此也可以精确地预测网格中的热点位置。此计算的 CPU 用时为 0.02s，而 SPICE 仿真至少用时 8.26s，这两种仿真的相对误差如图 6-9 所示。这也再次印证了处于较大噪声下的节点其相对误差低于 5%。

当电路正常工作时，一般情况下只有一小部分逻辑门会在同一时刻发生翻转，其余不翻转的逻辑门可以认为是共生旁路电容。但在一些极端情况下，大部分的逻辑门同时发生翻转，大大增加了电源网络的负载。不分段对于这种情况，我们所拟的模型估算结果会过于悲观，对方程(6-4)求导，得到：

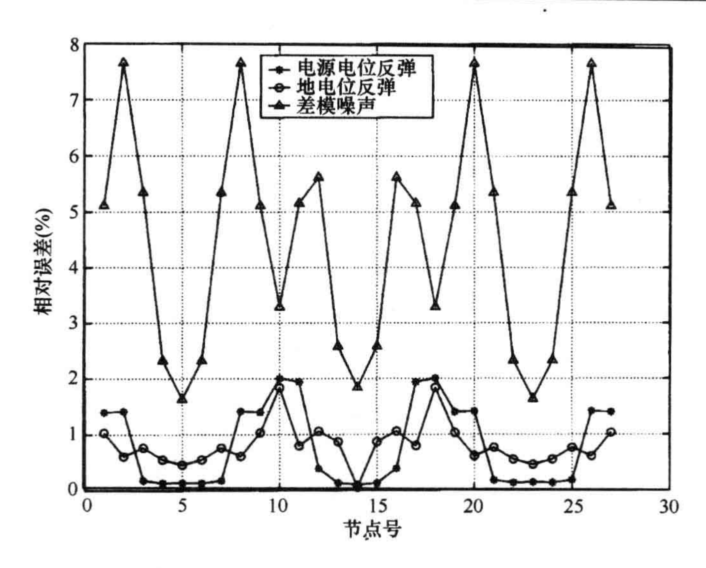


图 6-6 无源树状电源分配网络中采用 SPICE 仿真软件和所拟模型计算两种方法下所得的每个节点的相对误差

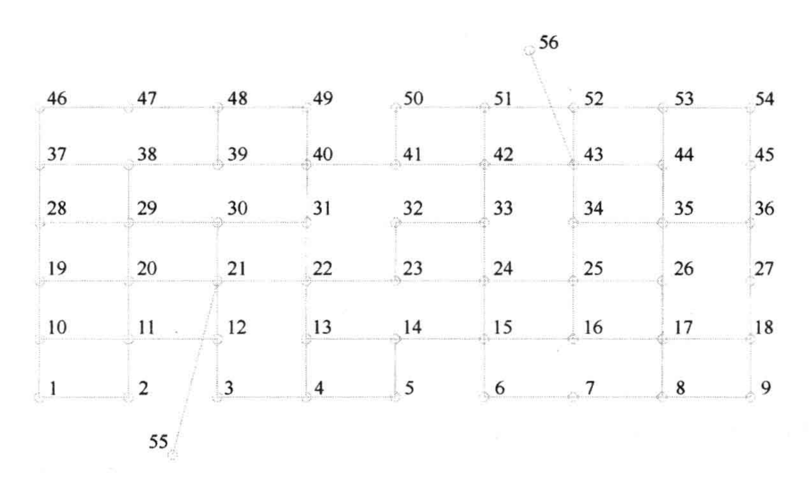


图 6-7 用于分析的不规则电源分配网格的示意图，节点(21,55)和节点(43,56)之间的连接代表了 C4 封装的焊料凸点，其参数与图 6-4 中完全相同。X 轴：150 μm/格，Y 轴：100 μm/格

$$dV_j^{\min}=\frac{dQ/C_{Lj}-V_j^{\min}(dC_{Lj}/C_{Lj})}{1+C_T/C_{Lj}}\approx\frac{\gamma-\beta V_j^{\min}}{1+C_T/C_{Lj}} \tag{6-23}$$

式中，$\gamma=dQ/C_{Lj}$ 且 $\beta=dC_{Lj}/C_{Lj}$。假设节点 p 上同时发生翻转的负载总数目是 n，那么 γ 和 β 可以近似为常数。因此，由方程式(6-23)可知，如果 $C_T\gg C_{Lj}$，则所拟模型的计算误差会很小。但是，如果电源分配网络负载很大，即 C_{ij} 与 C_T 相当甚至比 C_T 大，那么误差就会很大。一般情况下，电路下发生翻转的部分少于 20%，因此 C_T/C_{Lj} 通常都会大于 4。

负载大小对模型误差的影响如图 6-10 所示。在这个例子中，电源分配网络的拓扑结构与图 6-4 相同，只是我们将网格长度增加至 600μm/X 轴—每格和 400μm/Y 轴—每格。我们假设所有负载同时发生翻转，因而没有共生旁路电容。通过这一变化，可以看到当开关负载数量增加时，所拟模型的计算结果与 SPICE 软件的仿真结果有了明显的偏差：随着电源线负载的不断增大，通过所拟模型计算所拟的结果显得越来越悲观，我们利用方程式(6-23)从偏差数据

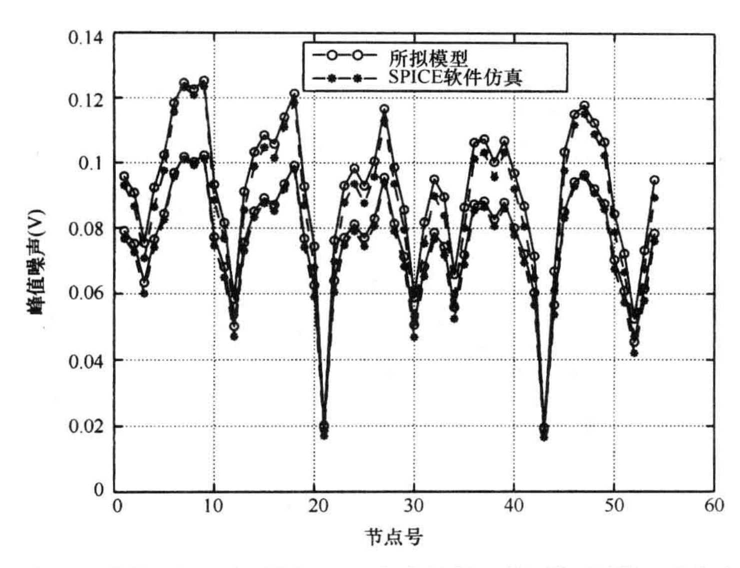


图 6-8　不规则电源分配网格中采用 SPICE 仿真软件和所拟模型计算两种方法下所得的峰值噪声比较结果，上端曲线：差模噪声，低端曲线：电源波动

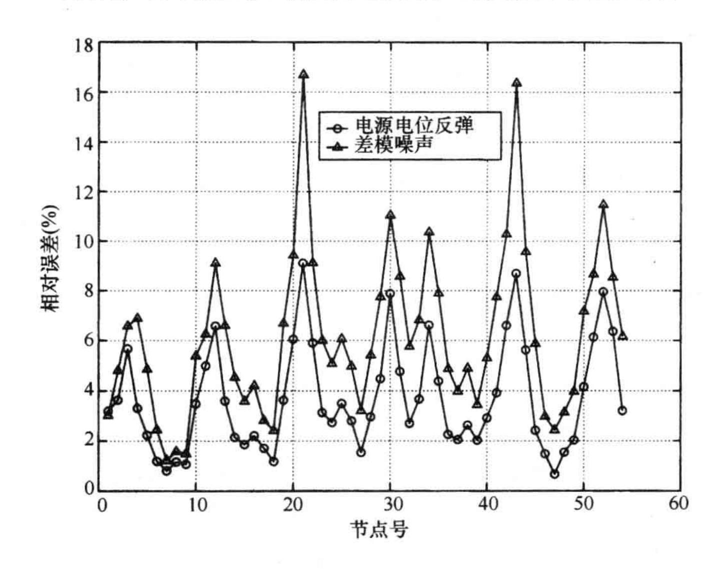


图 6-9　不规则电源分配网格中采用 SPICE 仿真软件和所拟模型计算两种方法下所得到的每个节点的相对误差

中计算 γ 和 β，并且用这个方程修改所拟的模型。结果表明修改后的数据与 SPICE 的仿真结果高度一致，这说明在重负载条件下，方程式(6-23)可以用来提高我们所拟模型的准确性。

到目前为止，我们所有的讨论和建模的全是建立在所有逻辑门同时翻转这一基本假设上的，如果众多逻辑门之间存在翻转时间的差异，那么我们关于“同时翻转”的假设将给出噪声上限过于悲观的结果。接下来的章节里我们将“非同时翻转”的情况进行建模与讨论。

在我们所建立的模型中，已假设电路在每次翻转之前其电源电压都是理想的，换句话说就是电源线在负载下次翻转之前必须要快速充电至理想供电电压。对于 ULSI 芯片来说这是常见情况，因为 ULSI 电路最大允许电压降应小于电源供电电压的 10%，这样电源网络才会有充足时间来从电压降中恢复。可是，如果在下次负载翻转前电源电压无法恢复，我们的模型就

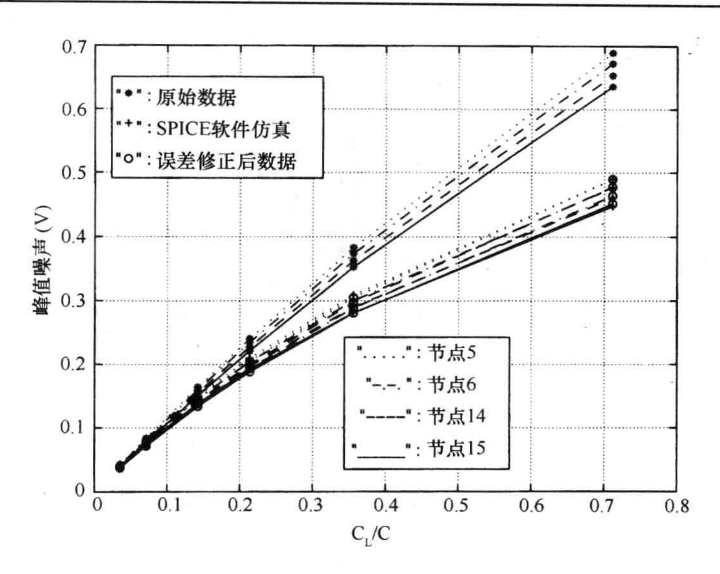


图 6-10 误差修正前后，采用 SPICE 软件仿真和所拟模型计算两种方法所得的重负载电源线的峰值噪声比较结果。该电源分配网络的拓扑结构与图 6-4 中结构相同，只是网格长度增加为 600μm/X 轴一格和 400μm/Y 轴一格

会得出示于乐观的估算。为了验证上述情况，我们可以参看下述这个方程：

$$C_{\mathrm{L}j}(V_{\mathrm{DD}}-V_j^{\min})\leqslant\int_0^{t_n}I_{\mathrm{av}}\,\mathrm{d}t \tag{6-24}$$

式中，I_{av} 是负载的平均开关电流；t_{n} 是发生两次翻转的时间间隔。如果满足式(6-24)中的条件，那么模型预测的结果就是可靠的，否则该模型下的估算可能会显得过于乐观。

6.6 片上总线开关电流建模

除了模拟等效电源分配网络之外，也有必要对网络负载进行建模或做近似估算。开关动作造成电流尖峰，它的形状和大小影响着电源分配网络上的噪声总量。大的电流尖峰由片上通信造成，因为总线大多由大的驱动器来驱动并且带有很多缓冲单元(通过电源线上的其他驱动器增强)。由于金属线纵横比增加，加上开关变化速度加快，连线之间的容性和感性耦合成为纳米级 CMOS 设计中需要考虑的重要问题。在总线中，耦合作用通常较为显著，这是因为总线之间会平行走向很长的距离。这就需要在线路模型中考虑耦合的作用。

对芯片上的电源分布噪声进行仿真通常可分为两步：第一步，在假设理想电源电压的情况下对有器件的各项开关电流分别进行仿真。第二步，用近似于开关电流的负载分段线性电流源来模拟电源分配网络中的噪声。这种分析方法有利于保证计算的可行性。接下来，我们依据 S 域的传输线分析来推导片上总线的开关电流。

一段带有有源阻抗 Z_{S} 和负载阻抗 Z_{L} 的传输线可以等效为如图 6-11 所示的一个双端口。电路有源阻抗代表驱动器的阻抗，负载阻抗代表接收器的阻抗。

双端口网络的终端方程如下：

$$V_1=a_{11}V_{\mathrm{out}}+a_{12}I_{\mathrm{out}} \tag{6-25}$$

$$I_{\mathrm{S}}=a_{21}V_{\mathrm{out}}+a_{22}I_{\mathrm{out}} \tag{6-26}$$

$$V_{\mathrm{S}}=V_1+I_{\mathrm{S}}Z_{\mathrm{S}} \tag{6-27}$$

$$V_{out}=I_{out}Z_L \tag{6-28}$$

线路终端电压 V_{out} 与电源电压 V_S 的关系可以由二端口网络方程推导出：

$$\frac{V_{out}}{V_S}=\frac{Z_L}{(a_{11}+Z_S a_{21})Z_L+a_{12}+Z_S a_{22}} \tag{6-29}$$

图 6-11　带有有源阻抗与负载阻抗的传输线二端口电路模型

传输线可以被认为是由很多无穷小的 RLC 段构成，这些 RLC 段之间级联，这可以很方便地用 ABCD① 参数进行分析，因为级联系统的 ABCD 矩阵是简单地由各个独立的 ABCD 矩阵积所构成。当 RLC 段的数目接近无穷多时，这个矩阵积以及单个统一的 RLC 线性 ABCD 矩阵变为[30],[31]：

$$\begin{pmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{pmatrix}=\begin{pmatrix} \cosh(\gamma h) & Z_0\sinh(\gamma h) \\ Z_0^{-1}\sinh(\gamma h) & \cosh(\gamma h) \end{pmatrix} \tag{6-30}$$

式中，$Z_0=\sqrt{(r+sl)/(sc)}$ 和 $\gamma=\sqrt{(r+sl)sc}$；r，l 和 c 分别是长度为 h 的 RLC 连线上每单位长度的电阻，电感和电容。驱动器可以用带串联阻抗 Z_S 的指数电压源来等效。其输入电压 V_S 为：

$$V_S(t)=\left(1-e^{-\frac{t-\tau}{t_r}}\right)u(t-\tau) \tag{6-31}$$

式中，t_r 为指数信号上升时间；$u(t)$ 是单位阶跃函数；τ 是驱动器开始开关的时间。在 s 域的电压源为：

$$V_S(s)=\left[\frac{1}{s}-\frac{1}{s+\frac{1}{t_r}}\right]e^{-\tau s} \tag{6-32}$$

电源网络流出的电流相当于连接线末端驱动器上的电流。由于一部分电流损耗在连接线的自身电容充电上，因此连线末端接收器上的电流脉冲较小。将 $I_{out}=V_{out}/Z_L$ 代入方程(6-26)，则流入连接线的电流可以推导为：

$$I_S=\left(a_{21}+\frac{a_{22}}{Z_L}\right)V_{out} \tag{6-33}$$

将方程式(6-29)带入式(6-33)，我们得到以下电流源与电压源的关系：

$$\frac{I_S}{V_S}=\frac{Z_L a_{21}+a_{22}}{(a_{11}+Z_S a_{21})Z_L+a_{12}+Z_S a_{22}} \tag{6-34}$$

对于源阻抗是串联电阻与电感 R_S+s_{LS}，负载阻抗是电容负载的 $1/sC_L$ 的分布式传输线，其电流源与电压源的关系则为：

$$\frac{I_S}{V_S}=\frac{Z_0^{-1}\sinh(\gamma h)+sC_L\cos(\gamma h)}{(Z_S sC_L+1)\cosh(\gamma h)+(Z_0 sC_L+Z_0^{-1}Z_S)\sinh(\gamma h)} \tag{6-35}$$

---

① 二端口网络的传输，级联或传输线参数。http://en.wikipedia.org/wiki/Two-port_notwork ABCD-parameters

此方程的反变换无法以计算分析法解出，但却可以用级数展开来做近似，级数展开的精确度一般取决于项数。这里采用了一个 4 级近似。这是因为 4 级多项式是可以用计算分析法解出的最高极限，其近似项可写为：

$$\frac{I_S}{V_S} \approx \frac{n_3 s^4 + n_2 s^3 + n_1 s^2 + n_0 s}{b_4 s^4 + b_3 s^3 + b_2 s^2 + b_1 s + 1} \tag{6-36}$$

将方程式(6-32)带进方程式(6-36)，得到电流为：

$$I_S = \frac{(n_3 s^3 + n_2 s^2 + n_1 s + n_0) e^{-\tau s}}{d_4 s^4 + d_3 s^3 + d_2 s^2 + d_1 s + d_0} \tag{6-37}$$

关于系数 n_i 与 d_i 的说明见本章附录。采用部分分式展开式和反拉普拉斯变换，时域电流可表示为：

$$I_S(t) = \sum_{p=1}^{4} A_p e^{s_p (t-\tau)} u(t-\tau) \tag{6-38}$$

式中，s_p 是方程式(6-37)中分母的根。

为了模拟总线上的开关电流，上述方程可扩展为多重耦合互连。总线被等效为容性和感性耦合 RLC 传输线。总线电路模型如图 6-12 所示。

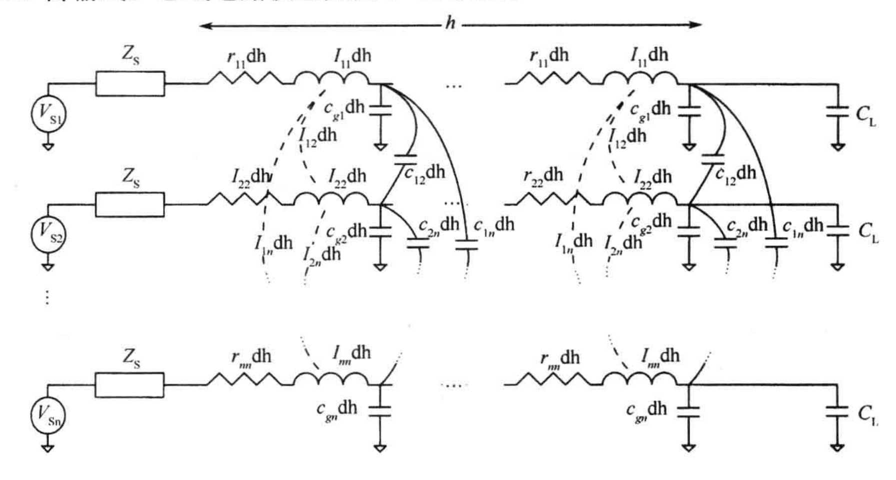


图 6-12 包含 n 段互连的分布式 RLC 总线的电路模型

多重耦合互连的电特性可以简洁地用传输线矩阵的形式表征。例如，一个有 n 段导体的系统，其电容矩阵的形式为

$$\boldsymbol{C} = \begin{bmatrix} C_{11} & -C_{12} & \cdots & -C_{1n} \\ -C_{21} & C_{22} & & \\ \vdots & & \ddots & \\ -C_{n1} & & & C_{nn} \end{bmatrix} \tag{6-39}$$

式中，C_{nn} 是由导体 n 处看入的总电容，C_{mn} 是导体 m 与 n 间的耦合电容。

用非对角线所表示的耦合使得多重互连的分析变得复杂。但是通过采用去耦合方法[32],[33]以及独立分析各条去耦合线路，可以进行对角化传输线矩阵。在得到各去耦合线路的波形后，其线性组合可以用于获得原始耦合线路的波形。去耦合方法可用于无损耗线，通过采用相似变换来确定去耦模式的电流矩阵 $\hat{\boldsymbol{I}}$ 为：

$$\boldsymbol{I}(z,t) = \boldsymbol{M}\hat{\boldsymbol{I}}(z,t) \tag{6-40}$$

式中，$\boldsymbol{M}$ 是 $n \times n$ 的变形矩阵，而 $\boldsymbol{I}$ 是 $n \times 1$ 的电流矩阵。

对传输线去耦合以后，有很多方法可以用来解决驱动器与接收器端的边界问题。我们采用文献[34]中提出的方法，在去耦合法里包含驱动器与接收器。为了在去耦合法中包含损耗线，假设电阻矩阵在初始时是对角化的。在这种情况下，用于对电容和电感矩阵进行对角化的变换矩阵 $\boldsymbol{M}$ 是电容或电感矩阵的特征向量矩阵。耦合传输线系统可以转换为带有下列方程的去耦合系统。去耦合系统在方程中用上标“ˆ”表示。

$$\hat{\boldsymbol{R}}=\boldsymbol{R} \tag{6-41}$$

$$\hat{\boldsymbol{C}}=\boldsymbol{M}^{\mathrm{T}}\boldsymbol{C}\boldsymbol{M} \tag{6-42}$$

$$\hat{\boldsymbol{L}}=\boldsymbol{M}^{\mathrm{T}}\boldsymbol{C}\boldsymbol{M} \tag{6-43}$$

$$\hat{\boldsymbol{Z}}_{\mathrm{S}}=\boldsymbol{Z}_{\mathrm{S}} \tag{6-44}$$

$$\hat{\boldsymbol{C}}_{\mathrm{L}}=\boldsymbol{C}_{\mathrm{L}} \tag{6-45}$$

$$\hat{\boldsymbol{V}}_{\mathrm{S}}=\boldsymbol{M}^{\mathrm{T}}\boldsymbol{V}_{\mathrm{S}} \tag{6-46}$$

$\boldsymbol{Z}_{\mathrm{S}}$和$\boldsymbol{C}_{\mathrm{L}}$分别是源阻抗矩阵和负载电容矩阵，同时，$\boldsymbol{V}_{\mathrm{S}}$是包含了电压源的矩阵，上角标 T 表示矩阵的转置。源阻抗与负载电容的值在耦合与去耦合系统中保持一致。在计算出去耦合系统的线上响应后，可将其叠加得到耦合线的响应，如公式(6-40)所示。

由公式(6-40)可知，耦合互连线上的电流是去耦合互连线上电流的总和。通过这些公式的组合可知，总线上的总开关电流可以推导为 n 段互连线上的电流总和：

$$I_{\mathrm{tot}}=\sum_{k=1}^{n}\sum_{i=1}^{n}\boldsymbol{M}_{ki}\sum_{j=1}^{n}\boldsymbol{M}_{ij}^{\mathrm{T}}I_i(t,\tau_j) \tag{6-47}$$

式中，$\boldsymbol{M}_{ki}$和$\boldsymbol{M}_{ij}^{\mathrm{T}}$是特征矩阵和它的转置矩阵分别在位置$k,i$和$i,j$上的值。$I_i(t,\tau_j)$是方程式(6-38)中单一去耦合互连的输入电流。$\tau_j$是第 j 个驱动器开始变化时的时间，电流 I_{S}通过分别对角化电阻、电容和电感矩阵 $\hat{\boldsymbol{R}}_{ii}$，$\hat{\boldsymbol{C}}_{ii}$，$\hat{\boldsymbol{L}}_{ii}$的值计算得出。

当片上总线发生开关变化时，由电源网络传输而来的电荷量可通过对方程式(6-47)求积分计算得到。若所有的驱动器同时变换开关状态，则总电指量为：

$$Q_{\mathrm{tot}}=\int_0^{\infty}I_{\mathrm{tot}}(t)\mathrm{d}t=\sum_{k=1}^{n}\sum_{i=1}^{n}\boldsymbol{M}_{ki}\sum_{j=1}^{n}\boldsymbol{M}_{ij}^{\mathrm{T}}\sum_{p=1}^{n}\frac{-A_p}{s_p} \tag{6-48}$$

因为互连线之间的耦合，电荷量的传递取决于驱动器是否同时变化开关状态。如果驱动器在不同时间发生变化，则积分需要分段完成。在电源分配网络模型下的负载电容可由公式$C^{\mathrm{load}}=Q_{\mathrm{tot}}/V_{\mathrm{DD}}$求得。

6.7 总线模型的验证

我们通过与 HSPICE 仿真工具的对比来验证总线模型。其中总线的连线属性根据 ITRS 关于 65nm 工艺下全局布线的规定来设定。连线的宽度和间距均为 145nm。使用 FastHenry[35]来提取电阻和电感值，使用 Linpar 来提取电容值[36]。驱动器上升时间设定为 100ps。

图 6-13 显示了长度为 1mm 的 8 位总线的开关电流。打开每一个相间的驱动器，同时，关闭其余的驱动器可使电容耦合导致的负载最大化。下行的开关驱动器在上行驱动器开始驱动

过后的 200 ps 开始驱动。全连线间的耦合影响可以被认为是从电源分配网络上得到的电流跳跃。从图中可以看到，该模型的仿真结果接近 HSPICE 的仿真结果。

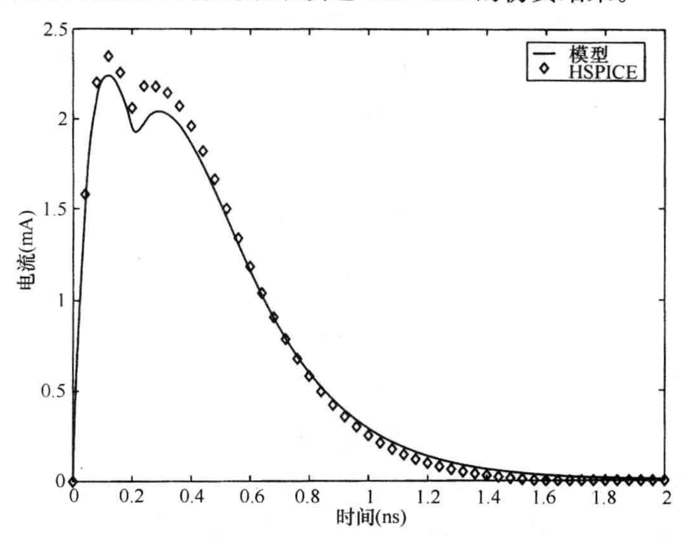


图 6-13　1mm 长的 8 位总线的开关电流。相间的驱动器打开，其余驱动器在 200ps 后开始关闭

图 6-14 显示 3mm 长的 32 位总线在所有驱动器都同时打开时的开关电流。连线尺寸与之前保持一致。其模型和 HSPICE 仿真结果仍然十分接近。

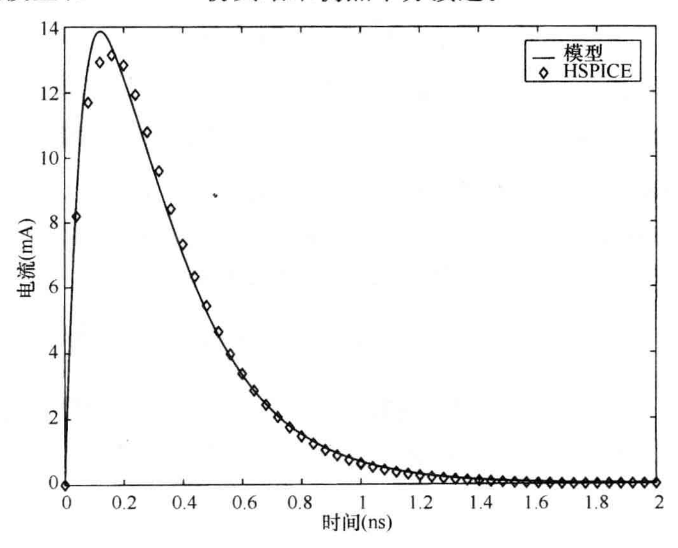


图 6-14　3mm 长 32 位总线的开关电流。所有驱动器同时打开

计算总线电流的仿真运行时间可见表 6-1。仿真程序在主频为 2.8GHz 的奔腾 1V 处理器上运行，其所得的数值是从 10 次仿真运行时间的平均值。模型通过 MATLAB 程序实现，HSPICE 仿真时使用的则是 W-元素有损耗传输线模型。8 位、32 位和 64 位的三种总线宽度用以测量仿真的运行时间。可以看到相较于 HSPICE，模型的计算速度有明显提高，特别是对 64 位总线。

表 6-1　计算不同总线宽度的开关电流曲线的仿真时间

总线宽度	模型仿真(s)	HSPICE 仿真(s)
8 位	0.07	0.19
32 位	0.12	3.80
64 位	0.20	24.00

总线模型也可以通过电源分配模型来验证。电源分配网络由如图 6-15 所示的方格表示。

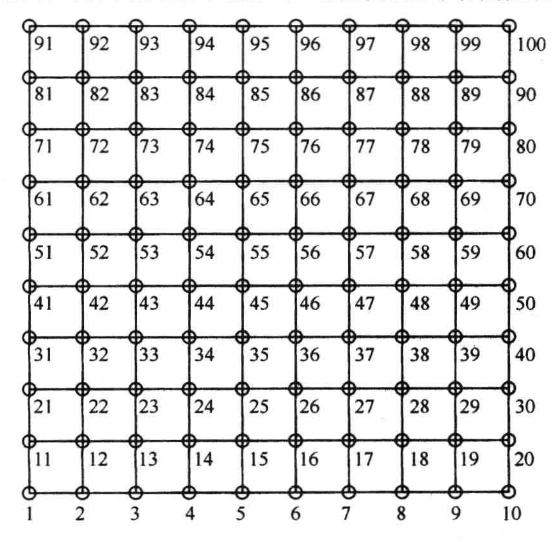


图 6-15　一个 10×10 的电源分配网格，每段长 100μm

每段长度为 100μm 的电源网格都可等效为一个 RLC 电路。节点 1，10，91 和 100 用具有恒定工作电压的封装管脚建模。电源网格连线宽 2μm，线厚 0.319μm。如图 6-14 所示的 3mm 长 32 位宽的总线，其开关电流位于图 6-15 中的节点 55 处。每个节点所产生的相应最差工作电压结果如图 6-16 所示。模型的噪声电压与 HSPICE 仿真结果相比最多相差 8%。

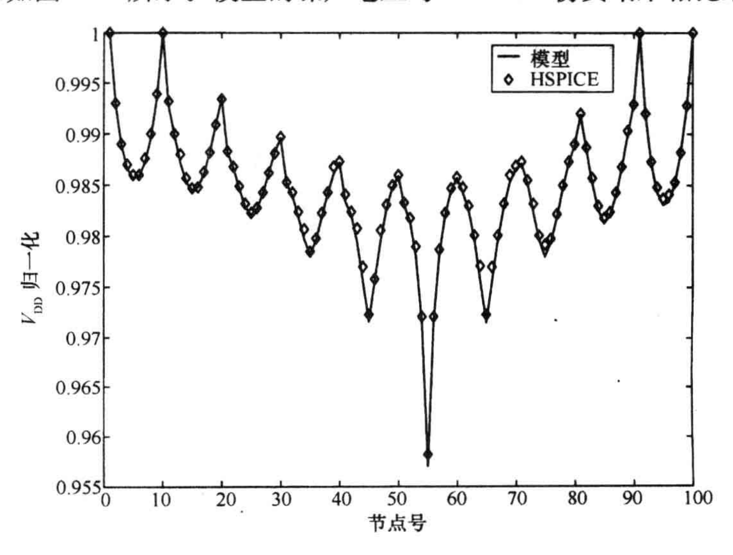


图 6-16　最差情况下 10×10 电源分配网格的节点电压

6.8 用以减小电源分布噪声的总线偏斜

由总线的开关行为所导致的电流尖峰可以通过调整相关驱动的开关时间来降低[37]；即避免所有驱动器在时钟边沿到来时刻同时开关，尽量使其开关时间有个微小的时间差。该方法通过将电流按时间分散来使最差情况电流波形平滑，由此，减小了整个电源分配网络的负荷。需要的静态延时可以通过使用反相器链或延时触发器来实现。另外一种降低峰值电流的方法是使用上升时间和下降时间较长的、驱动能力较弱的总线驱动器。然而，这种方法会导致噪声性能变差，以及在接收器处造成更大的短路电流功耗。另一方面，总线偏斜并不需要对上升和下降时间做出改变。

总线模型可以用来分析不同时序情况的影响。驱动器偏斜时间的改变也会导致总线上的电荷的改变，从而引起 C^{load} 的改变。对于任何偏斜延迟造成的相应的新的开关时间 t_s，都可以通过假定 C^{load} 和 t_s 之间的线性关系得到。通过这个办法可以利用预先描述的两个总线负载电容来计算开关时间，该总线负载电容可通过两个不同偏斜时间计算得到。

图 6-17 显示的是一条长度为 3mm 长、32 位宽的总线，当其一半驱动器在另一半驱动器开关之后 0ps、200ps 以及 400ps 开关时处于最差情况下的工作电压。

在没有偏斜的情况下，在节点 55 处最大的噪声是 V_{DD} 的 4.3%。在有 200ps 偏斜时间的情况下，最大噪声减小为 V_{DD} 的 3.6%～16%。在 400ps 偏斜时间的情况下最大噪声进一步减小到 V_{DD} 的 3%，也使得电源噪声分布噪声总体降低了 30%。在其他节点，最大噪声也有所降低。由于开关驱动器间的关联减弱，进一步加大偏斜已无法继续减小噪声。因此，通过取得噪声和偏斜延迟间的折中可以达到降低电源噪声的目的。对于一定的总线，其最大可取的偏斜时间取于总线本身与系统级工作频率之间的时间差。

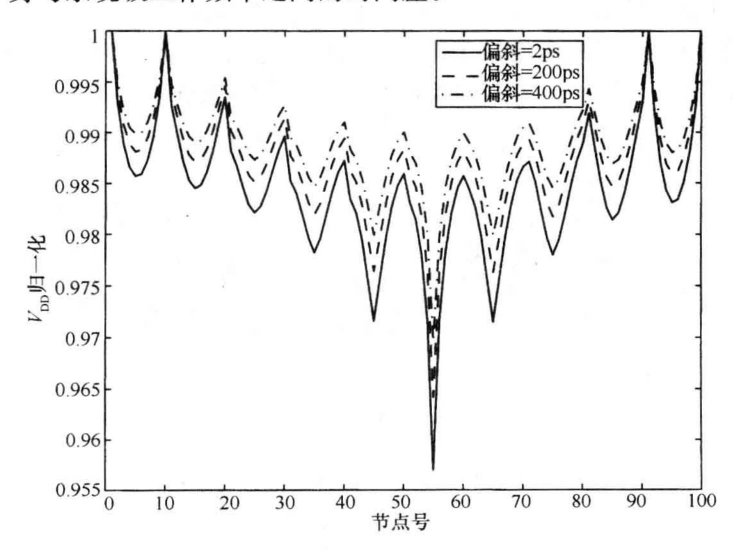


图 6-17　不同总线偏斜时间下大小为 10×10 的电源分配网格的最差情况节点电压

6.9 实例研究：电源分布噪声的降低

在芯片中获得稳定的工作电压需要对电源分配网络进行若干周期的重复设计和调整。有几种方法可以减小电源噪声，其中包括调整连线尺寸、使用耦合电容，以及尽量避免电路同时开关等。增加电源线尺寸会减小电阻，因此也可以减小阻性的 IR 噪声；减小电路同时开关的概率会减小电流峰值和整个电源分配网络的负载。反言之，去耦合电容也相当于临时的局部电荷储存单元。本节中所表述的模型将用来展示这些方法在减小由两条总线所带来的电源分布噪声上的效果。

如图 6-15 所示是位于 10×10 网格中的两条设有缓冲的 16 位总线。第一条总线的驱动端位于节点 25，第二条总线的驱动端位于节点 58。位于节点 25 的总线长为 2mm，位于节点 58 的总线长为 4mm。两条总线线宽均为 300nm，两者之间的间距为 400nm，驱动器的上升时间为 50 ps。电源网格线宽为 1μm，网格角上的节点工作电压为常数，用以仿真芯片到封装引脚的连接。图 6-18 是一个三维图，该描绘了由这两条开关总线所导致的最差情况下的工作电压下降情况。在网格节点中，靠近总线驱动的节点的噪声最大，靠近封装引脚的节点噪声最小。

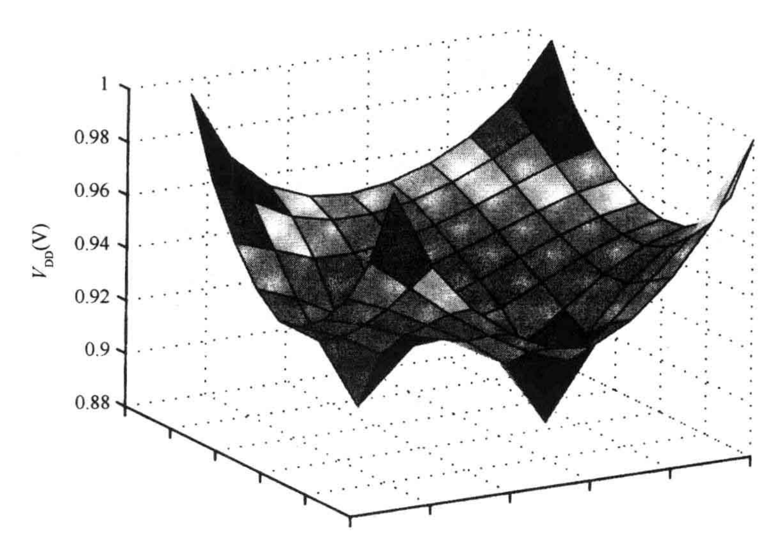


图 6-18 在最差情况下两条开关总线所导致的工作电压下降情况

利用模型来分析不同方法在减小电源分布噪声上的效率，其结果如图 6-19 所示。2mm 和 4mm 总线间的最大传播延时是 400ps。假定两条总线工作在同一时钟下，则较短的总线有一定的裕度可以使用总线偏斜技术。较短总线上一半的驱动器与其他驱动器开关有 400ps 延迟。图 6-19 显示了 2mm 总线附近降低的电源分布噪声。由于较长的总线没有可用的频率裕度，因此其电源分布噪声只能通过添加去耦电容来降低。两个 10pF 的去耦电容放置于节点 59 和 48 处，用来减小 4mm 总线附近节点的噪声。通过将电源线从 1μm 增加到 2μm 来分析电源网格线的影响，所产生的结果证明虽然在电路面积上的开销会增加，但这使得在所有电路节点上的电源分布噪声显著降低。最后，所有方法会协同使用。所有节点包括热点在内，其最初的最差情况噪声由 0.11V 降低到了 0.05V，甚至更低。

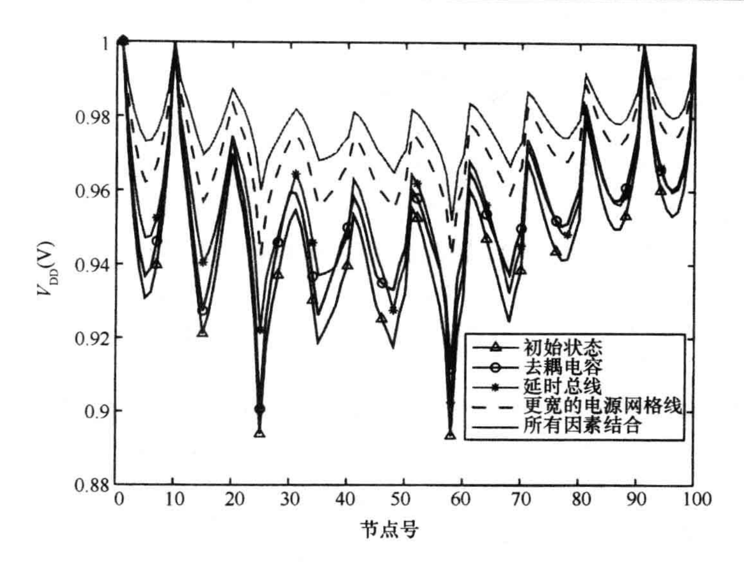


图 6-19　不同方法在降低电源分布噪声上的效果

6.10　练习题

6-1　在电源分配网格模型和总线模型中，有源非线性器件均用线性成分代替。为什么要这么做？试文中找出分属三种情况的实例，并解释选择不同线性成分的原因。

6-2　任意一个电源网格都可以通过方程式(6-7)建模。假设一个简单常规的 3×3 电源网格与图 6-15 类似。用一个矩阵表示网格节点间的连接，以"1"代表连接，"0"代表不连接，则该矩阵的大小是多少？其中有多少 0 和 1？该矩阵是否是正方形？如果使用另外一个具有相同节点总数的电源网格拓扑结构，例如图 6-4 的无根树或图 6-7 中的不规则网格，而不是现在规则的3×3网格，那么结果会有什么变化？矩阵通常是存储在一个二维阵列中，是否有其他的方法来存储一个稀疏矩阵？

6-3　两条 3mm 长的连线并行排列。每条连线与地之间的电容为 50fF/mm，电阻为 200Ω/mm，自感为 0.14nH/mm。两线之间的耦合电容为 150fF/mm，互感为 0.11nH/mm。

(1) 导出系统的 $\boldsymbol{R}$，$\boldsymbol{L}$ 和 $\boldsymbol{C}$ 传输线矩阵。

(2) 计算其转换矩阵 $\boldsymbol{M}$，并运用它来对角化 $\boldsymbol{L}$ 和 $\boldsymbol{C}$ 矩阵。

(3) $\boldsymbol{R}$ 矩阵的非对角线元素代表什么？

6.11　附录一公式(6-37)的方程系数推导

$$n_3=\frac{1}{7!\ t_r}r^3c^4h^7+\frac{1}{6!\ t_t}C_Lr^3c^3h^6+\frac{2}{5!\ t_r}rlc^3h^5+\frac{2}{4!\ t_r}C_Lrlc^2h^4 \tag{6-49}$$

$$n_2=\frac{1}{5!\ t_r}r^2c^3h^5+\frac{1}{4!\ t_r}C_Lr^2c^2h^4+\frac{1}{3!\ t_r}lc^2h^3+\frac{2}{2!\ t_r}C_Llch^2 \tag{6-50}$$

$$n_1=\frac{1}{3!\ t_r}rc^2h^3+\frac{1}{2!\ t_r}C_Lrch^2 \tag{6-51}$$

$$n_0=\frac{1}{t_r}(ch+C_L) \tag{6-52}$$

$$d_4=\frac{1}{8!\ t_r}r^4c^4h^8+\frac{1}{t_r}\left(\frac{1}{7!}R_Sr^3c^4+\frac{1}{7!}C_Lr^4c^3\right)h^7+\left[\frac{1}{6!}r^3c^3+\frac{1}{t_r}\left(\frac{3}{6!}r^3lc^3+\frac{1}{6!}C_LR_Sr^3c^3\right)\right]h^6+\left[\frac{1}{5!}R_Sr^2c^3+\frac{1}{5!}C_Lr^3c^2+\frac{1}{t_r}\left(\frac{3}{5!}C_Lr^2lc^2+\frac{2}{5!}R_Srlc^3+\frac{1}{5!}L_Sr^2c^3\right)\right]h^5+\left[\frac{1}{4!}C_LR_Sr^2c^2+\frac{2}{4!}rlc^2+\frac{1}{t_r}\left(\frac{1}{4!}l^2c^2+\frac{1}{4!}C_LL_Sr^2c^2+\frac{2}{4!}C_LR_Srlc^2\right)\right]h^4+\left[\frac{1}{3!}R_Slc^2+\frac{2}{3!}C_Lrlc+\frac{2}{3!}C_L^2rc+\frac{1}{t_r}\left(\frac{1}{3!}C_Ll^2c+\frac{1}{3!}L_Slc^2\right)\right]h^3+\left(\frac{1}{2!\ t_r}C_LL_Slc+\frac{1}{2!}C_LR_Slc+\frac{1}{2!}C_LL_Src\right)h^2 \tag{6-53}$$

$$d_3=\frac{1}{6!\ t_r}r^3c^3h^6+\frac{1}{t_r}\left(\frac{1}{5!}R_Sr^2c^3+\frac{1}{5!}C_Lr^3c^2\right)h^5\left[\frac{1}{4!}r^2c^2+\frac{1}{t_r}\left(\frac{2}{4!}rlc^2+\frac{1}{4!}C_LR_Sr^2c^2\right)\right]h^4+\left[\frac{1}{3!}C_Lr^2c+\frac{1}{3!}R_Src^2+\frac{1}{t_r}\left(\frac{1}{3!}R_Slc^2+\frac{1}{3!}L_Src^2+\frac{2}{3!}C_Lrlc\right)\right]h^3+\left[\frac{1}{2!}C_LR_Src+\frac{1}{2!}lc+\frac{1}{t_r}\left(\frac{1}{2!}C_LR_Slc+\frac{1}{2!}C_LL_Src\right)\right]h^2+(L_Sc+C_Ll)h+C_LL_S \tag{6-54}$$

$$d_2=\frac{1}{4!\ t_r}r^2c^2h^4+\frac{1}{t_r}\left(\frac{1}{3!}R_Src^2+\frac{1}{3!}C_Lr^2c\right)h^3+\left[\frac{1}{2!}rc+\frac{1}{t_r}\left(\frac{1}{2!}C_LR_Src+\frac{1}{2!}lc\right)\right]h^2+\left(\frac{1}{t_r}(L_Sc+C_Ll)+R_Sc+C_Lr\right)h+\frac{1}{t_r}C_LL_S+C_LR_S \tag{6-55}$$

$$d_1=\frac{1}{2!\ t_r}rch^2+\frac{1}{t_r}(C_Lr+R_Sc)h+\frac{1}{t_r}C_LR_S+1 \tag{6-56}$$

$$d_0=\frac{1}{t_r} \tag{6-57}$$

参考文献

[1] Senthinathan, R. , and J. L. Prince. 1991. Simultaneous switching ground noise calculation for packaged CMOS devices. *IEEE Journal of Solid-State Circuits* 26: 1724 1728, November.

[2] Bathey, K. , M. Swaminathan, L. D. Smith, and T. J. Cockerill. 1996. Noise computation in single chip packages. *IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B*, 19:350-360, May.

[3] Vaidyanath, A. , B. Thoroddsen, and J. L. Prince. 1994. Effect of CMOS driver loading conditions on simultaneous switching noise. *IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B*, 17:480-485, November.

[4] Yang, Y. C. , and J. R. Brews. 1996. Design trade-offs for the last stage of an unregulated, long-channel CMOS off-chip driver with simultaneous switching noise and switching time considerations. *IEEE Transactions on Components, Packaging, and Manufacturing Technology. Part B*, 19: 481-486, August.

[5] Kabbani, A. , and A. J. Al-Khalili. 1999. Estimation of ground bounce effects on CMOS circuits. *IEEE Transactions on Components, Packaging, and Manufacturing*

Technology, 22:316 325, June.

[6] Dally, W. J., and J. W. Poulton. 1998. *Digital system engineering* (pp. 10-22,200-259). Cambridge: Cambridge University Press.

[7] Dharchoudhury, A., R. Panda, D. Blaauw, and R. Vaidynathan. 1998. Design and analysis of power distribution net works in PowerPC™ microprocessors. *Proceedings of the 35th Design Automation Conference*, 738-743.

[8] Zhao, M., R. V. Panda, S. S. Sapatnekar, T. Edwards, and R. Chaudhry. 2000. Hierarchical analysis of power distribution networks. *Proceedings of the 37 th Design Automation Conference*, 150-155.

[9] Mezhiba, A. V., and E. G. Friedman. 2004. Scaling trends on on-chip power distribution noise. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 12(4):386-394, April.

[10] Meng, X., K. Arabi, and R. Saleh. 2006. Novel decoupling capacitor designs for sub-90nm CMOS technology. *Proceedings of the International Symposium on Quality Electronic Design*, 266-271.

[11] Chen, H., and D. V. Ling. 1997. Power supply noise analysis methodology for deep-submicron VLSI chip design. *Proceedings of the 34th Design Automation Conference*, 638-643.

[12] Chen, H. H., and J. S. Neely. 1998. Interconnect and circuit modeling techniques for full-chip power supply noise analysis. *IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B*, 21:209-215.

[13] Zheng, L.-R., and H. Tenhunen. 1999. Effective power and ground distribution scheme for deep submicron high speed VLSI circuits. *Proceedings of the International. Symposium on Circuits and Systems*, I537-1540.

[14] Low, Y. L., L. W. Schaper, and S. S. Ang. 1997. Modeling and experimental verification of the interconnected mesh power system (IMPS) MCM topology. *IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B*, 20:42 49, February.

[15] Hashemi, H., and D. J. Herrell. 1997. Power distribution fidelity of wirebond compared to flip chip devices in grid array packages. *IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B*, 20:272-278, August.

[16] Herrell, D. J., and B. Beker. 1999. Modeling of power distribution systems for high-performance microprocessors. *IEEE Transactions on Advanced Packaging* 22, August.

[17] Novak, I. 2000. Lossy power distribution networks with thin dielectric layers and/or thin conductive layers. *IEEE Transactions on Advanced Packaging* 23: 353-360, August.

[18] Nassif, S. R., and J. Kozhaya. 2000. Multi-grid methods for power grid simulation. *Proceedings of the International Symposium on Circuits and Systems*, V457-460.

[19] Kozhaya, J. N., S. R. Nassif, and F. N. Najm. 2002. A multigrid-like technique for

power grid analysis. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 21(10):1148-1160, October.

[20] Chen, Z., B. Young, and N. Pham. 1998. Norton equivalent modeling of microprocessor core noise from measurements. *Proceedings of the 7th Topical Meeting on Electrical Performance of Electronic Packaging*, 195-198.

[21] Tang, K. T., and E. G. Friedman. 2002. Simultaneous switching noise in onchip CMOS power distribution networks. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 10(4):487-493, August.

[22] Eo, Y., W. R. Eisenstadt, J. Y. Jeong, and O.-K. Kwon. 2000. New simultaneous switching noise analysis and modeling for high-speed and highdensity CMOS IC package design. *IEEE Transactions on Advanced Packaging* 23 (2):303-312, May.

[23] Magen, N., A. Kolodny, U. Weiser, and N. Shamir. 2004. Interconnect-power dissipation in a microprocessor. *Proceedings of the International Workshop on System-Level Interconnect Prediction*, 7-13.

[24] Bogliolo, A., L. Benini, and B. Ricco. 1996. Power estimation of cell-basedcircuits. *Proceedings of the 33rd Design Automation Conference*, Las Vegas, NV, June.

[25] Rabe, D., B. Timmermann, and W. Nebel. 1994. CMOS librarycharacterization for power consumption. *Workshop on Power and Timing Modeling Optimization Simulation*, Barcelona, Spain.

[26] Jiang, Y.-M., K.-T. Cheng, and A. Krstic. 1997. Estimation of maximum power and instantaneous current using a generic algorithm. *Proceedings of IEEE Custom Integrated Circuits Conference*, 135-138, May.

[27] Zheng, L.-R, B. X. Li, and H. Tenhunen. 2000. Efficient and accurate modeling of power supply noise on distributed on-chip power networks. *Proceedings of the International Symposium on Circuits and Systems*, II513-516.

[28] Golub, G. H., and C. Van Load, *Matrix Computations*, Baltimore: The Johns Hopkins University Press, 1996.

[29] Larsson, P. 1997. di/dt noise in CMOS integrated circuits. *Analog Integrated Circuits and Signal Processing* 14:113-129.

[30] Paul, C. R. 1994. Analysis *of multiconductor transmission lines*. New York: Wiley.

[31] Banerjee, K., and A. Mehrotra. 2002. Analysis of on-chip inductance effects for distributed RLC interconnects. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 21(8):904-915, August.

[32] Paul, C. R. 1996. Decoupling the multiconductor transmission line equations. *IEEE Transactions on Microwave Theory and Techniques* 44(8):1429-1440, August.

[33] Tuuna, S., J. Isoaho, and H. Tenhunen. 2006. Analytical model for crosstalk and intersymbol interference in point-to-point buses. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 25(7): 1400-1411, July.

[34] Chen, J., and L. He. 2002. A decoupling method for analysis of coupled RLC interconnects. *Proceedings of IEEE/ACM International Great Lakes Symposium on* VL-

SI, 41-46.

[35] Kamon, M. , M. J. Tsuk, and J. K. White. 1994. FastHenry: A multipoleaccelerated 3-D inductance extraction program. *IEEE Transactions on Microwave Theory and Techniques* 42(9):1750-1758, September.

[36] A. Djordjevic, M. Bazdar, T. Sarkar, and R. Harrington. 1999. *LINPAR for Windows: Matrix parameters for multiconductor transmission lines, software and user's manual, version* 2.0. Boston: Artech House.

[37] Liljeberg, P. , J. Tuominen, S. Tuuna, J. Plosila, and J. Isoaho. 2004. Selftimed approach for noise reduction in NOC. In J. Nurmi, H. Tenhunen, J. Isoaho, and A. Jantsch (Eds.), *Interconnect-centric design for advanced SoC and NoC* (pp. 285-313). Norwell, MA: Kluwer.

第7章　有效的电流密度和连续模型

当集成电路和系统进入到纳米尺度(1～100nm)后，分析技术变得更加复杂。由于光刻技术的进步，最小尺寸已经可以低于100nm，硅芯片开始集成一亿个以上的晶体管，并包括了复杂的数字，模拟和存储器功能模块。这些集成的器件和功能模块采用更多层的金属进行互联。传统的处理方法提取每段连线的电气特性，例如电阻、电感和电容。随着工艺技术的进步，这种方法产生了极其大量的子元件和节点。这意味着对这样的数据库进行仿真将耗费大量时间，难以应用。利用集成电路结构的对称性和高度提取(详见第4章)，可以找到更好的提取集成电路结构的方法。分析这些参数提取之间相互作用的复杂度受限于所提取的特性和需要的时间、空间分辨率。这种提取方法采用了连续模型，带来了一种新型电荷流表达方法的范例，即所谓的有效电流密度(Effective Charge Density，ECD)，具体在本章和附录A中进行描述。

7.1　电路和模型简化

电路仿真程序(例如SPICE及其衍生程序)已被广泛使用了几十年，用以帮助电子电路设计。这些程序基于一系列的模型来表示电路的各种元件。这些模型包括以简单方式表示的无源元件(理想电容、电阻等)，以及来用复杂公式描述的半导体器件。

仿真模型正以不同的方式，试图跟上现代电路设计中日益增加的复杂度和元件量。例如，半导体器件模型，因设计师的应用需求可优化精度或速度。即使是很简单的优化(如查找表)，也以大大降低仿真复杂系统所需的时间。

一种常见的电路优化方法是将两个或两个以上(理想)组件串联或并联组合。这些组件通常可以代表一个单一的实体。这种简化可以大大减少大型网络中的仿真组件数量。然而，这是只适用于组件之间的相互作用很简单的情况，如只需要导线电阻的网络(IR压降的电源完整性分析)的仿真。当导线的电感和电容对网络中的电压和电流有明显影响的情况下，我们需要一个更复杂的简化方法。当电磁波波长相当或短于器件的物理长度，组件简化不可能的。在这种情况下，导线往往是由传输线表示，网络的各个终端之间的电压和电流没有简单的关系。

ECD[6]方法在电路仿真中用单独的紧凑模型来表示电路中含有的大量连接线。经过发展，ECD被用于提取集成的互连器件，并迅速求解它们之间的相互作用。这保留了真正的电磁行为，并使前端优化成为可能(如第4章所述)。ECD提供在较长和较短的波长限制下均有效的连续模型，并具有如下重要的特性：网络中大量的连线不会增加计算时间。在应用这种方法的电路中，我们可以快速、准确地模拟不限数量的连接线或器件，允许早期的“what-if”的实验和优化。

7.2　有效电流密度的定义

平均电流密度定义为流经导体横截面的总电流除以导体截面面积。有效电流密度定义为流经导体横截面的总电流除以一个任意包围导体的截面积。导体的边界不与任意选择的区域

的边界重合。图 7-1 给出了一个含绝缘体和导体的空间横截面示意图。在导体中的电流由下式给出：

$$I = A_c J_{av} = A_{eff} J_{eff} \tag{7-1}$$

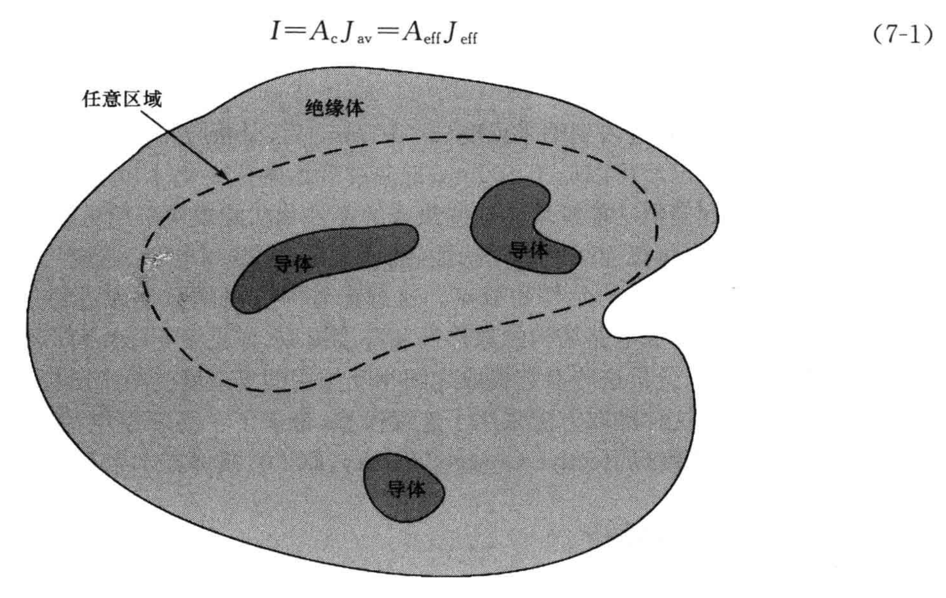


图 7-1　包含绝缘体和导体的空间截面示意图

式中，J_v是平均导体电流密度；J_{eff}是有效电流密度 A_c 是导体横截面积；A_{eff}是任意区域面积。图 7-1 说明了 ECD 的概念。因此，两个电流密度的关系是

$$J_{av} = \frac{A_{eff}}{A_c} J_{eff} \tag{7-2}$$

例如，图 7-2 显示了一个横截面面积 A_c 的矩形导体，以及一个任意区域面积 A_{eff}。如果此导体用于从一个地方向另一个地方转移电荷量，可以通过平均电流密度或有效的电流密度计算电荷量。只要在计算中使用适当的区域，结果是相同的。相对电荷转移而言，在所选择的区域内导体的位置以及截面的结构完整性是无关紧要的。

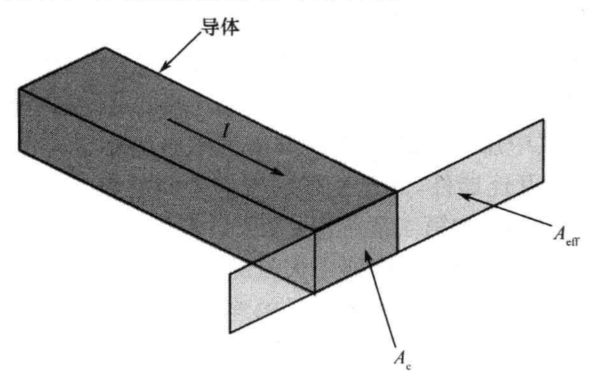


图 7-2　矩形导体

这个结论模糊了绝缘体和导体之间的区别，认为电势是连续的，并且在绝缘体内部紧邻导体的电势与导体材料本身的电势相同。这个电流的定义不会改变导体和绝缘体组合的电气性能，因为电荷流动和电势差特性由任意选择区域内的导体(S)性质决定。这种描述遍布网络

中电荷流动的灵活性，可用于为电路连线和其他元件开发紧凑型连续模型。平均电流密度在许多应用中得到应用，避免了导体截面电流密度变化(由于表面粗糙，材料缺陷，趋肤效应等)带来的复杂性。有效的电流密度与平均电流密度的不同，仅在于其将此简化方法由导体横截面向外扩展而不是导体横截面。

由于在网络中导体之间的绝缘体内部电流可以忽略，在我们的定义中包含这些区域的优势不会立即显现。当 ECD 方法被用来为包含有大量导线、半导体、绝缘体和其他元件的系统推导连续模型时，它的作用才会变得明显。

7.3 有效电流密度和虚拟电流

图 7-3 显示了当导体可能与其他导体重叠时，用于计算有效电流密度的面积。

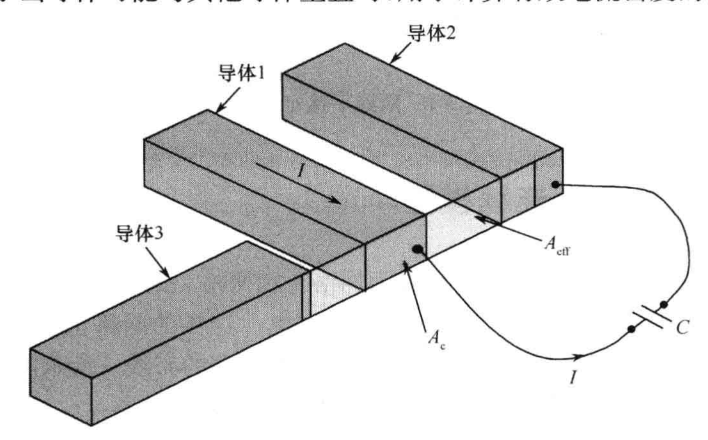


图 7-3　多根导体和充电电流

例如，在图 7-3 所示的面积 A_{eff} 用于定义导体 1 的有效电流密度。A_{eff} 也占有一些含有导体 2 和导体 3 的空间。这对网络中的各种充电电流的计算没有影响。有效电流可以被视为流经一个与包含导体的现实空间重叠的虚拟空间。在电容 C 中，其充电电流可以使用导线中的真实电流、平均电流密度、或有效电流密度计算。电流密度总是与公式(7-1)描述的真实电流密度有关。

7.4 有导体，绝缘体，和其他组件的网络的对称性

当采用有效电流密度来推导连续模型的时候，导体网格物理布局的对称性(如空间平移或旋转时的不变性)，常常被用来简化偏微分方程。例如，图 7-4 显示了一个网络的一部分。一些导体以等距离 S 放置。

有效的电流密度的方法总是会涉及到选择一个合适的并且由公式(7-2)定义的区域。选择在几何及对称性上与物理网格布局匹配的任意面积尺度，将在最终的连续模型中简化偏微分方程。因此模型建立的过程中，对称性的确定起着重要的作用。对称性普遍存在于常见的结构中，例如片上供电网格，特别是将外部电压和电流提供给芯片的全局供电网格。现在，我们将用它来开发一个典型的芯片供电网格的连续模型。

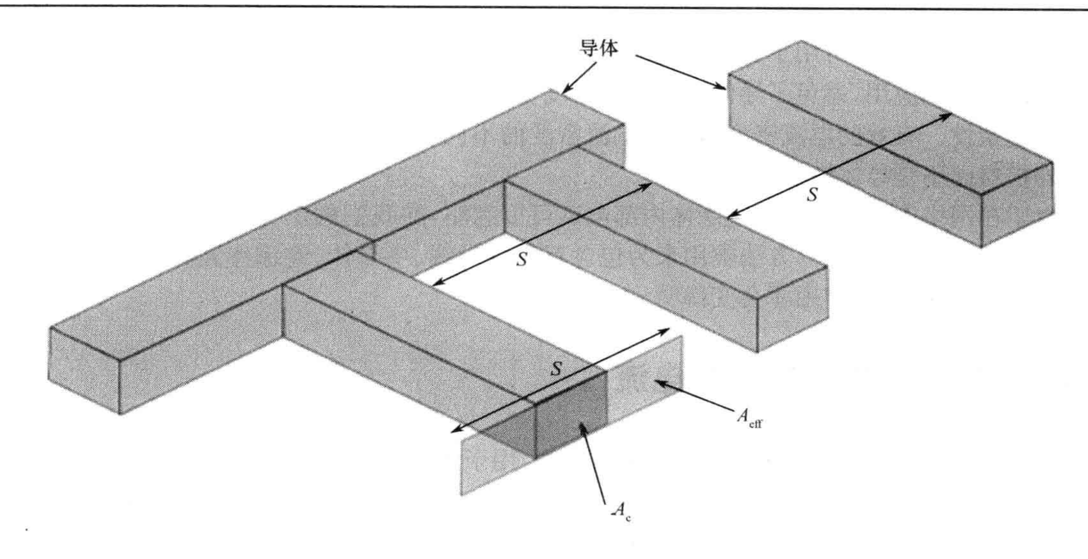


图 7-4 网络平移对称性

7.5 使用 ECD 的一个连续模型

图 7-5 所示的二维导电网格由两个被称为网格 1 和网格 2 的交错网格组成。这种类型的网格通常是用来进行跨集成电路或印制电路板的供电。这样的网格也会传播无用信号或噪声。这种类型的网络通常会比图中所示大得多,包含有更多的布线。所示网格是二维方向的,也就是说短的垂直导体与水平导体的连接交叉点上阻抗可以忽略不计。这种特定的网络通过正交走线的导线构建。此种网格中的电压和电流可以很方便地用笛卡儿坐标系构建。其他形状的网格可以采用基本向量的组合表示。

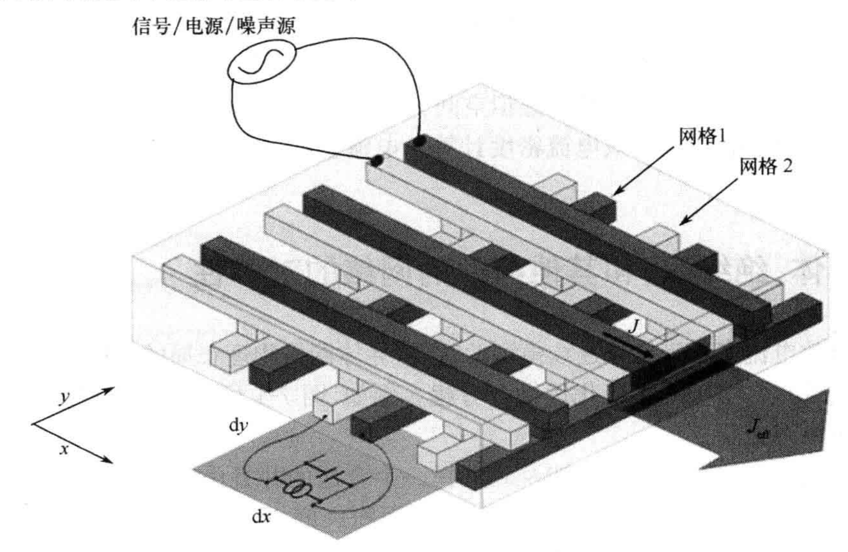


图 7-5 一个二维的交错传导网格

图 7-5 所示类型的网络，可以使用 SPICE 和 SPICE 衍生工具进行仿真。此过程的实现是通过解构网格，以形成由短线路元件组成的网络。每个线路元件，用电阻、电容和电感的组合模型(RLC 模型)，或传输线模型表示。这些方法的缺点是，更大的线路密度会增加仿真时间。单位面积内包含大量线路元件的网络，往往导致在最后的器件列表或网表中含有过多的 RLC 元件或传输线。一个大型网络的 RLC 电路整体动态仿真经常超过可用的硬件计算能力。我们可以利用有效电流密度方法推导出的连续模型，来替换大型网表或者部分网表。

如图 7-6 所示，我们将导体网格划分成面积单元，开始将二维电源网格转换为连续模型。电流流进、流出每个面积单元。图中所示的矩形区域单元在 x 方向长度为 dx，在 y 方向长度为 dy。正如 7.3 节中所解释的，对于每个面积单元和交错网格，这些电流可通过有效电流密度或平均电流密度表示。在下面的分析中，选择了一个矩形的区域来计算有效电流密度。此矩形的长度与面积单元相同而宽度等于网格中走线的厚度。因此，电流沿 x 方向在网格 1(见图 7-5)上流入面积单元可以表示为：

$$I_{xi}=J_{xeff}(x,y)h\,dy \tag{7-3}$$

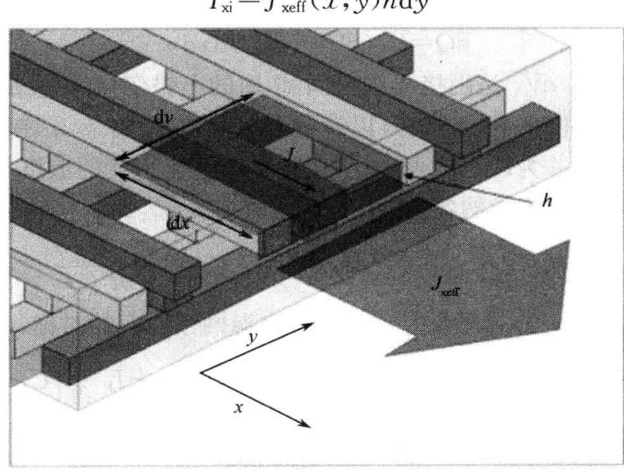


图 7-6　电流通过面积单元流经导线网格

式中，$J_{xeff}(x,y)$是位于(x,y)处的有效电流密度沿 x 方向的分量；h 是网格中的导线厚度。在网格 1 上，沿 x 方向流出面积单元的电流为

$$I_{xo}=J_{xeff}(x+dx,y)h\,dy \tag{7-4}$$

式中，$J_{xeff}(x+dx,y)$是位于$(x+dx,y)$处的有效电流密度沿 x 方向的分量。y 方向的表达可采用类似的形式。网格 1 上，沿 y 方向流入面积单元电流为

$$I_{yi}=J_{yeff}(x,y)h\,dx \tag{7-5}$$

式中，$J_{yeff}(x,y)$是位于(x,y)处的有效的电流密度在 y 方向的分量。在网格 1 上，沿 y 方向流出面积单元的电流为

$$I_{yo}=J_{yeff}(x,y+dy)h\,dy \tag{7-6}$$

式中，$J_{yeff}(x,y+dy)$是位置$(x,y+dy)$的有效的电流密度的 y 方向分量。

一个如图 7-5 所示的导体网格，通常会包含其他元件。在区域单元的面积内，通过此面积划分适当的物理数值，这些元件的物理特性可以包括在连续模型内。例如，图 7-5 显示了连接到电源网格的局部电容和电流源。如果这些器件连接到电源网格的长度明显小于系统最短波长，则可采用理想电容和电流源近似。在连续模型中，以单位面积电容和单位面积电流的形式

进行表达。

一个连续模型也可能被包含在带有更多布线的大型系统级仿真中，或被包含在其他连续模型或其他仿真模型中。在网格边界以内，在特定位置使用适当的每单位面积连接点个数，可以将每个连续模型与系统中的节点相连接。由于这些连接可以放在任何地方，所以它们可以由连续模型边界内的位置函数表示。因此，一个无限小的时间 $\mathrm{d}t$ 后，面积单元内积累的电荷可以表示为

$$\mathrm{d}Q=(I_{\mathrm{xi}}-I_{\mathrm{xo}}+I_{\mathrm{yi}}-I_{\mathrm{yo}}-I_{\mathrm{A}}\mathrm{d}x\mathrm{d}y-I_{\mathrm{e}}\mathrm{d}x\mathrm{d}y)\mathrm{d}t \tag{7-7}$$

式中，I_{A} 是面积元内直接流经网格 1 和网格 2 之间局部器件的单位面积电流；I_{E} 是面积元内非直接流经外部（系统级）器件的单位面积电流。当有效电流密度并入到一个较大的系统级模型时，这种直接和间接电流源的分离方法非常方便。如果需要的话，两个电流源可以合并成一个单独的（并联的）电流源。另外，网格上每个位置的总电流密度可分割成任意需要数目的并联源。

面积单元内的积累电荷也可以写为

$$\mathrm{d}Q=C_{\mathrm{A}}(\mathrm{d}V_1-\mathrm{d}V_2)\mathrm{d}x\mathrm{d}y \tag{7-8}$$

式中，C_{A} 是单位面积电容，$\mathrm{d}V_1$ 是网格 1 在时间 $\mathrm{d}t$ 内的电势变化，$\mathrm{d}V_2$ 是网格 2 在时间 $\mathrm{d}t$ 内的电势变化。C_{A} 包括网格的自身电容，以及面积单元内网格 1、2 之间的所有附加电容。式(7-3)到式(7-8)可以合并为以下的表达式，它将有效电流密度的散度与流入流出网格表面所有点处的每个无穷小面积单元的各种电流分量联系在一起，即

$$-h\left(\frac{\partial I_{\mathrm{xeff}}}{\partial x}+\frac{\partial I_{\mathrm{yeff}}}{\partial y}\right)=I_{\mathrm{A}}+I_{\mathrm{E}}+C_{\mathrm{A}}\frac{\partial(V_1-V_2)}{\partial t} \tag{7-9}$$

附录 A 提供了这个统一体模型推导，采用 IC 电源网格固有的对称（如图 7-7 所示），

$$-\frac{w}{sR_{\mathrm{s}}}\nabla^2 V=I_{\mathrm{A}}+I_{\mathrm{E}}+\frac{\partial}{\partial t}\left(C_{\mathrm{A}}\frac{\partial V}{\partial t}\right)+\frac{wL}{R_{\mathrm{s}}}\frac{\partial}{\partial t}\left[I_{\mathrm{A}}+I_{\mathrm{E}}\frac{\partial}{\partial t}\left(C_{\mathrm{A}}\frac{\partial V}{\partial t}\right)\right] \tag{7-10}$$

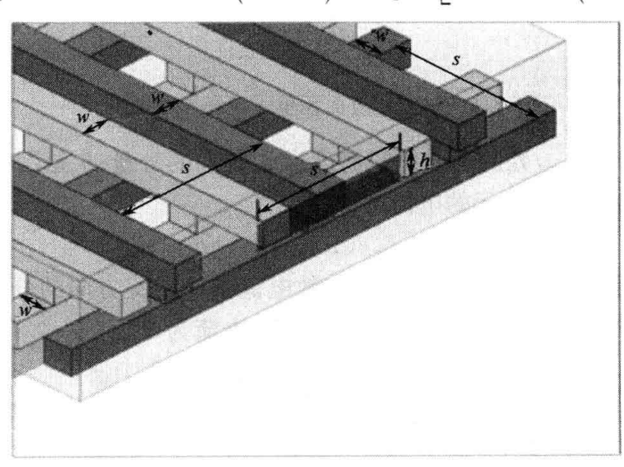


图 7-7　在一个二维的交错网格中的对称性

式中，$\nabla^2 V=\left(\frac{\partial^2 V}{\partial x^2}+\frac{\partial^2 V}{\partial y^2}\right)$；$w$ 和 s 分别为导线宽度与间距（或总线间距），如图 7-7 所示；L、R 和 C_{A} 是电感、方块电阻与网格相关的电容。式(7-10)提供了一个紧凑的包括网络中的所有电气方面因素的模型。这种模型可以在电源网格覆盖的全部面积内使用任何的标准数值方法求解，如有限差分法或有限元法。这为电源网格中供电压差计算提供了连续表面。

例子：

如图 7-8 所示的对称网格，由 2500 导线元件组成。这种类型的网格也可以使用连续模型公式(7-10)仿真。导线元件不单独考虑，而是作为一个复合结构的组成部分。

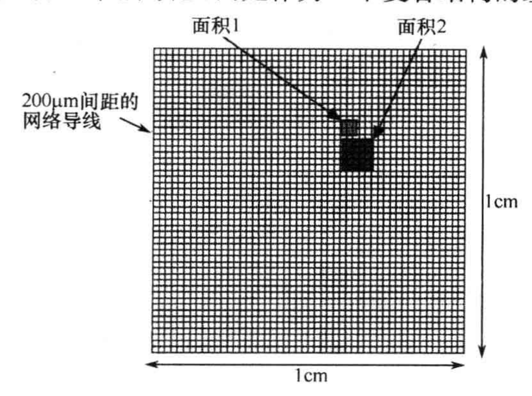


图 7-8　对称布线网络

集成电路的全局电源分配是图 7-8 所示网格的一种典型应用。在集成电路中，连接到网格上的大量元件可以用来推导出模型中单位面积电容和电流。下面的仿真结果是通过以下网格和连接的器件参数获得的：

网格导线宽度　$w=5\mu m$。

网格导线间距　$s=200\mu m$。

网格导线方块电阻　$R_s=50m\Omega$。

网格导线单位长度传输线电感　$L=NH/10cm$。

在面积 2 外单位面积网格电容　$C_A=10nF/cm^2$。

在面积 2 内单位面积网格电容　$C_A=800nF/cm^2$。

面积 1 外，单位面积的电流　$I_A=0A/cm^2$。

一个 50ps 的脉冲电流源被用作区域 1 内的单位面积电流。在 $t=0ps$ 时，脉冲以 $0A/cm^2$ 启动，在 $t=25ps$ 时上升至 $80A/cm^2$，并在 $t=50ps$ 时下降到 $0A/cm^2$。这意味着因为区域内大量逻辑门开关，引起了电流的快速变化。在这个例子中，在网格边界使用了理想电压源。网格连接处电流 I_E 设置为 $0A/cm^2$。

此例中公式(7-10)采用有限差分法求解①。图 7-9 展示了在一个特定时刻($t=40ps$)的仿真结果。

在电源网格中，快速开关的电流产生了电压差或噪声的瞬态波动。这些噪声波从源头开始的传播速度取决于网格中的电感和电容。图 7-10 显示了在 $t\approx200ps$ 时的结果。仿真结果表明，在 2 区的附加电容显著减缓了噪声的传播。噪声水平、衰减速度以及在网格传播的距离，也取决于导线方块电阻和电感等参数。

以下的仿真结果表明了电流密度法较之前的解构技术的主要优点。在 SPICE 以及其衍生程序中，每个布线元件的电气性能首先从物理布局中提取。在上面的例子中，2500 个传输线对中的每一个都可以用一个电阻，电容和电感的组合表示，得到了包含 7500 个元件的仿真网表。假设现在有必要仿真的网格中的传输线间距从 200μm 减少到 100μm。网格中的传输

① ECD 连续模型采用 Anasim Corporation 公司的 pi-fp 仿真器进行仿真和求解。

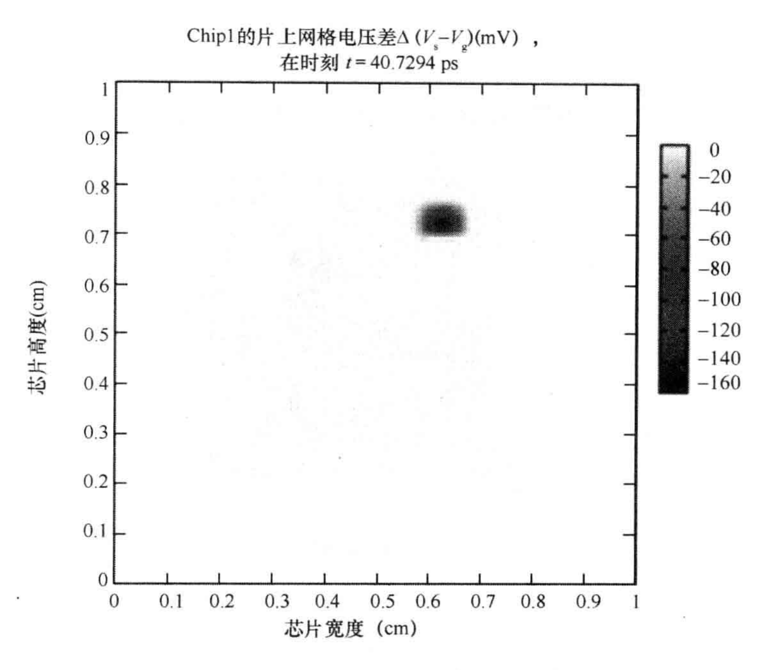


图 7-9 IC 电源网格的差分电压的变化

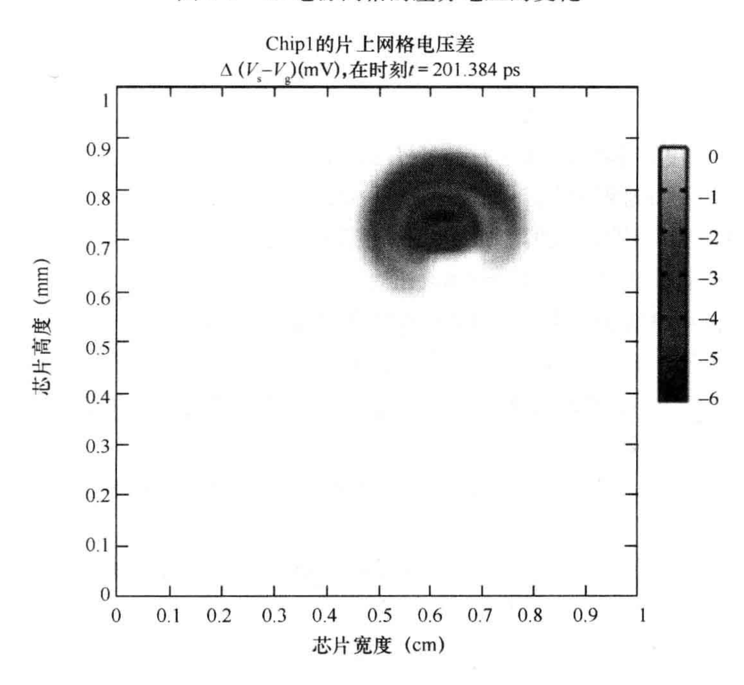


图 7-10 在 $t\approx$200ps 时的电源网格噪声展示了噪声沿区域的电容传播

线对数上升到 10 000 个，而需要仿真的元件数上升至 30 000。这会对仿真时间和计算资源产生非常大的影响。通过有效电流密度方法得到的连续模型，导线个数的增加不会增加仿真时间。单一参数（线间距 s）从 200μm 变化到 100μm，然后再重新仿真。图 7-11 显示了在 $t\approx$40ps 时的结果。图 7-12 显示了在 $t\approx$200ps 时的结果。在这种情况下，这些结果显示了额外的导线元件添加到网格后出现的一定程度的噪声降低。这样，我们就可以在早期的设计过程

中，通过大量的仿真去优化各种元件，以得到最小的电源网格噪声。

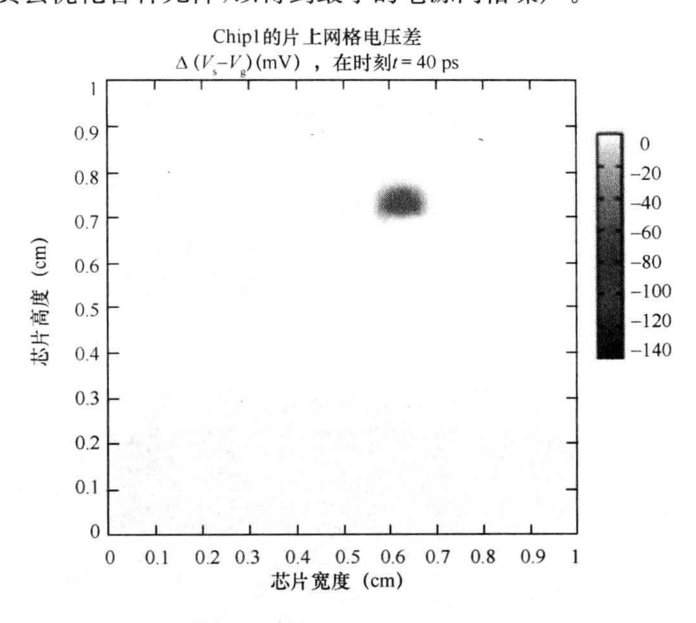


图 7-11　当 s=100μm 时，在 t～40ps 时的仿真结果

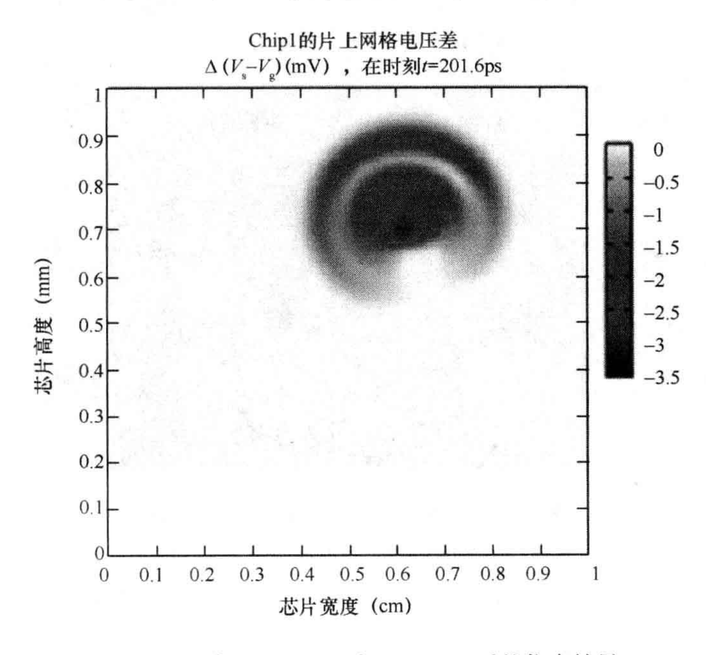


图 7-12　当 s=100μm 时，t≈200ps 时的仿真结果

图 7-9 至图 7-12 的仿真结果没有表明实际的导线网格对噪声分布图像的影响。使用有效电流密度得出的模型是真正的连续模型，因为电压和电流是在整个网络所占用的空间中计算所得的。通过应用网络几何形状或有效电流密度定义进行仿真，导线或元件的参数总是可以从仿真结果中推导得出。例如，一个特定导线元件的电压可通过确定其在网络内的位置并提取连续模型位于此位置的相应电压来得到。电压存在于整个网络，包括绝缘材料占据的空间以及导线之间的空间。利用式(7-1)，真实电流总是可以由有效电流密度得到。细心的读者

可能还注意到，相同时间传播的噪音距离在图 7-12 中明显大于图 7-10。这是由于导线元件数量的增加，相应地减少了网格电感，从而减少了传播延迟 $\sqrt{LC}$。

7.6　一个基于连续性模型的 IC 版图仿真

图 7-13 展示了基于连续性模型小规模 IC 版图布局与电源完整性的仿真实例。该实验采用了一块 1mm×1mm 的芯片，带有一个单电流源负载模块（在芯片中与电源网格相连），并且两条代表绑定线的传输线将电源网格与外邻集总电容相连。图中最外层的边框代表芯片边沿，同时定义了仿真面积范围。

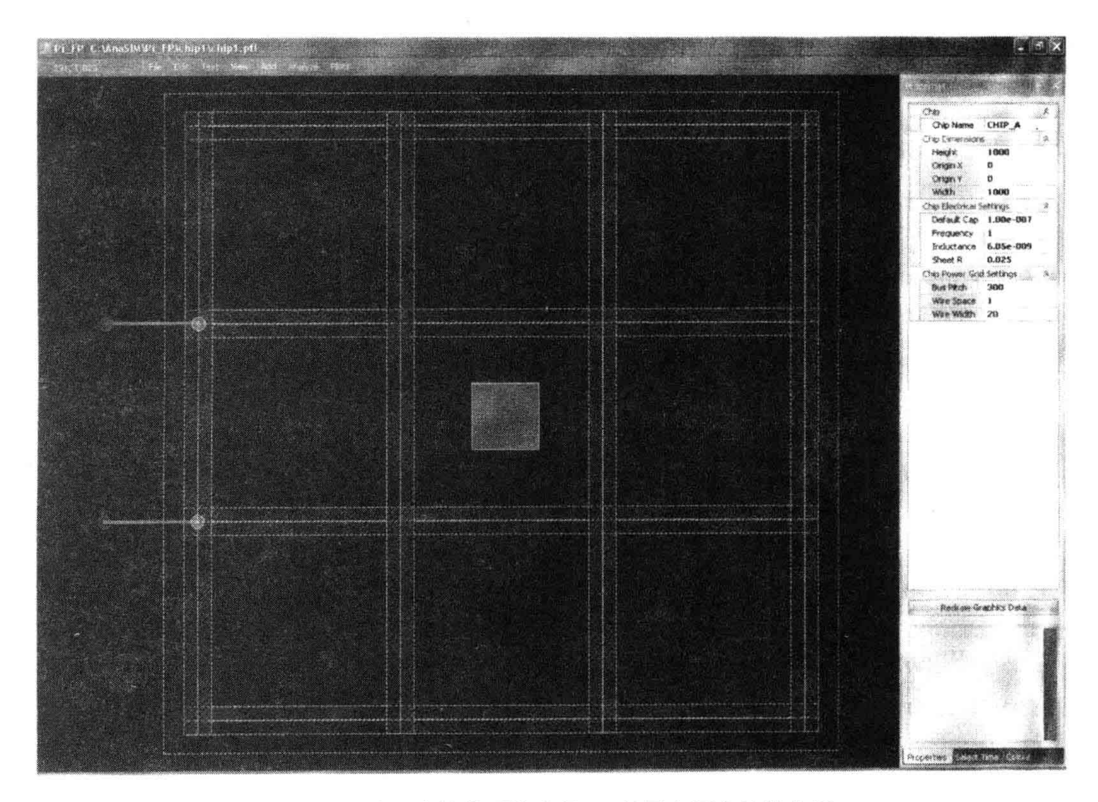


图 7-13　基于连续模型仿真的 IC 版图电源完整性分析
（来源：Auasim Corp.，Softwove π-fp[1]）

这个简单的仿真实验可用如下网表表示（语句介绍详见第 4 章）：

```
.TRAN 1.60e-009
.PLOT 20
.ACC 4.00e-003
.PRINTNODE NODE_C
GCHIP_A 0.1 0.1 0.002 0.03 0.025 6.05e-009 1.00e-007
ICHIP_A 0.0456 0.0458 0.01 0.01 crrnt_a.txt 10
TTLINE_A NODE_A NODE_B 0.05 1.00e-008 1.50e-013 0.005
TTLINE_B NODE_C NODE_D 0.05 1.00e-008 1.50e-013 0.005
NCHIP_A NODE_A 0.005 0.035
```

NCHIP_A NODE_C 0.005 0.065

LCAP1 NODE_B 1.00e+006

LCAP2 NODE_D 1.00e+006

CCHIP_A 0.0456 0.0458 0.01 0.01 1.00e-009

语句“GCHIP_A 0.1 0.1 0.002 0.03 0.025 6.05e-009 1.00e-007”表示一个 1mm×1mm 的网格(默认单位为 cm),有一条 20μm 宽的电源总线(电流流入、流出),并且总线之间的距离为 300μm。具体物理图如图 7-13 所示,其中位于芯片中央的网格由两层金属制作而成(如图 7-7 所示)。该仿真同时提供了实例化的节点(图 7-13 中的小圈)以及内部节点与外部节点的连接。这些节点和传输线能让我们检验芯片中特定位置的噪声。

图 7-14 展示了在某一时间芯片内的噪声分布截图。注意到电压噪声值(在电源电压差中减小)是通过整个芯片面积计算出来的,且与仿真最小分辨尺寸有关。最小分辨尺寸由语句“.ACC 4.00e-003”定义为 40μm。因此,噪声是在 40μm 见方的方块内计算而出,图中芯片面积为 $1mm^2$,共有 625 块这样的方块。这就是基于连续性模型的仿真与基于 SPICE 仿真的主要不同之处,后者仅仅计算电源网格中每个独立单元的噪声。连续性的表征不会改变网格的传播特性,即原来由物理电源网格中 R、L、C 的值所决定的波传播,转而将分析区域内进行“平均化”或“柔和化”当负载点的位置改变时会引起节点噪声的变化,从而能观察到波形的变化。图 7-16 展示了版图的仿真电路图。

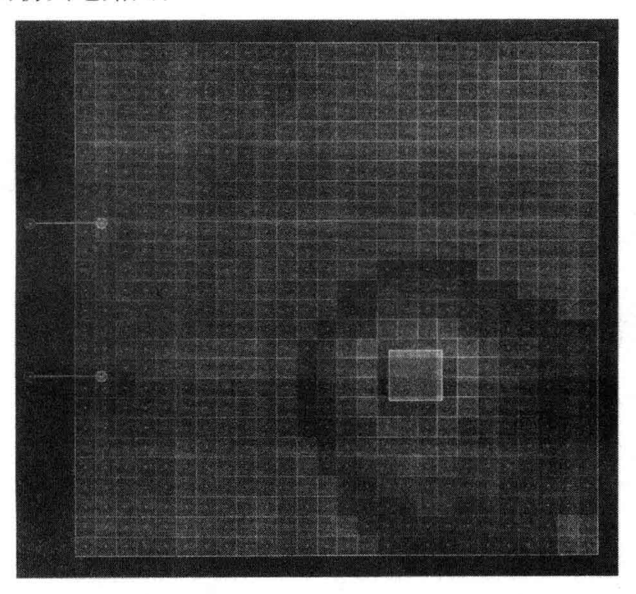


图 7-14 连续模型仿真下芯片噪声分布图

图 7-15 展示了当有电流流入时,图 7-13 中更低一层节点电压的变化。节点与外部引脚电路的传输线相连。图中振荡的波形为电流[①],那根一直下降的折线表示电源与地之间节点电压差。由图可知,经过差不多 160ps 的延时(该延迟为噪声由激励产生到传播到该节点所需要的时间),电流从外部集总电容经传输线流入节点。由于更多的电流流入、流出该节点,节点

① 负载电流模块是用 SPICE 语句定义的分段线性源,如下:“iload vload_p vload_n pwl 0.0 0.0, 1e−10 0.04, 2e−10 0.1, 3e−10 0.04, 4e−10 0.02, 5e−10 0.02, 6e−10 0.04, 7e−10 0.1, 8e−10 0.04, 9e−10 0.02, R 0”,以上语句表示了 0.9ns 内的两个电流尖峰。

的电荷被耗尽，电源电压开始下降。这是因为电压由与节点相连的集总电容维持。电压差下降 8mV 用了 1.6ns，为仿真激励时长。图中一共 20 个数据值，对应网表语句“.PLOT 20”，由表中的电流与电压画出。

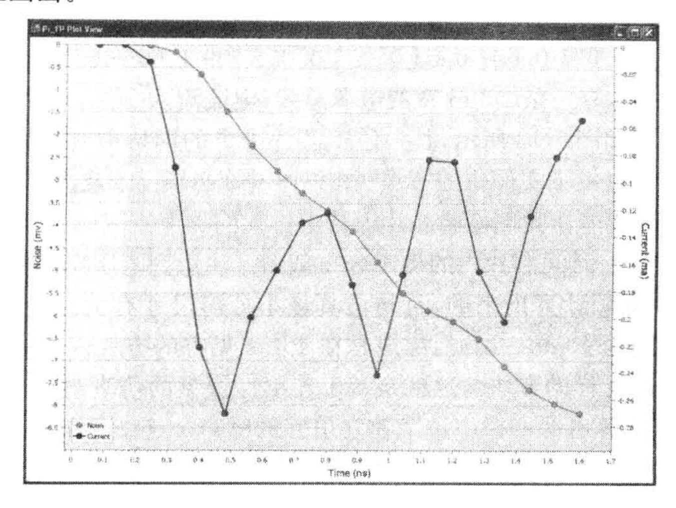


图 7-15　节点 A(负载电流源在中央)的节点噪声与电流图

图 7-16 将 IC 中的负载模块移动到非正中的位置，不同位置对于外部连接会有不同性质。只需要改变语句中的(x,y)值，对应网表语句“ICHIP_A 0.0456 0.0458 0.01 0.01 crrnt_a.txt 10”。需要注意的是，图 7-14 的噪声分布图是经过修正引脚排布的仿真截图。

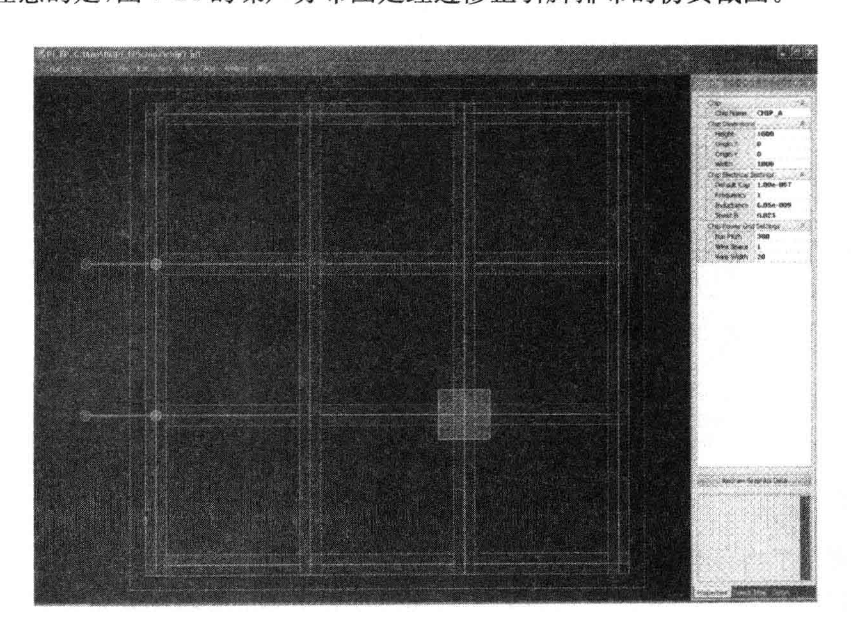


图 7-16　移动负载电流源位置的连续模性仿真电路

在节点 A 经过改变负载位置的噪声结果如图 7-17 所示。注意到尽管与一个很大的集总电容相连，节点 A 的电流仍然大幅度增加，同时节点电压噪声或电压降也相应增加。这是因为负载电路模块的新位置导致它更靠近更下面的绑定线对(由 t-line 所示，与外部电源相连)，因此，相比于图 7-13，有更多的电流从该通道流入负载。同时负载模块距离节点 A 更远(x 为

600μm，网表 Ⅰ 中为 458μm）。因此，根据图 7-17 第三个数据点，电流开始流入节点需要 240ps。这些效应将会由系统“封装”噪声的变化所展现。

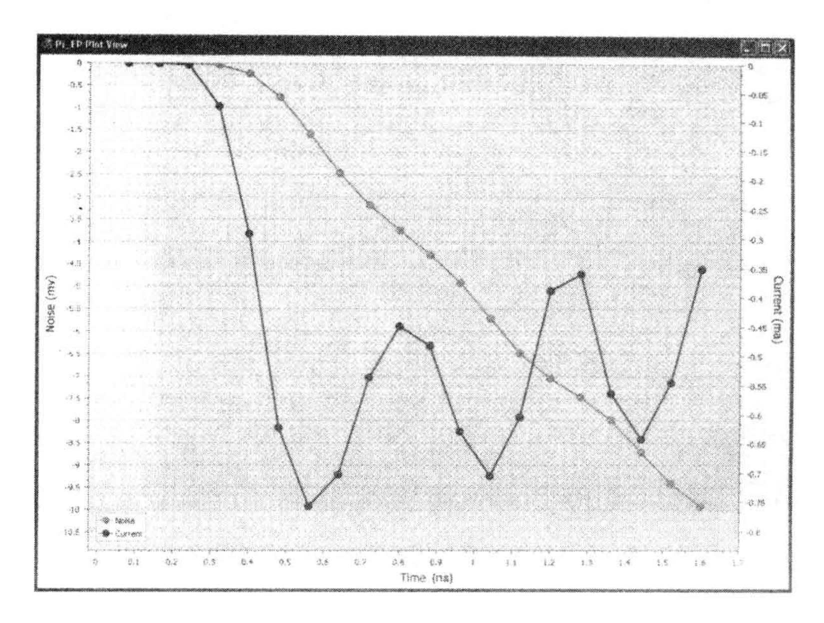


图 7-17　当负载向 A 点移动时，A 点的电压、电流值

以上的简单实验证明了运用基于连续性模型的仿真，有助于设计电路布局布线。芯片设计的许多方面——如电路模块、去耦电容的布局，对敏感电路的屏蔽等，都能在早期设计时进行这些抽象，而且易于理解的分析。这些分析包括集成电路核心方面，以及封装和 PCB 上的安装。

IC 布局布线一个关键方面就是优化资源——如金属层。数字或逻辑 SoC 经常受限于不同功能模块内部和相互之间的连线。高电流消耗与电源完整性的要求可能会导致使用大量金属连接电源与地，这将会导致拥挤的布线。而且为了避免芯片上信号完整性问题，还会导致芯片面积的增加。我们需要在保证电源完整性的基础上尽量减少连接电源与地之间的金属。

前面 IC 版图的分析验证了上述优化，并且减轻了对信号布局与集成的限制（详见第 4.2.1 节和第 4.2.2 节）。图 7-18 验证了如下实验：把图 7-16 的电源网格调整为 10μm 宽（为原来尺寸的一半），并且电源总线间距为 150μm，从而将功率网格单元数目增加了 4 倍，因此用 SPICE 仿真所花时间也将增加 4 倍。但在连续模型仿真下，并没有增加运算的复杂性，因为相同的区域将会用相同的最小分辨率进行分析。

不同电源总线间距的结果在 7.5 节中已经讨论过。实际经验证明更薄、间距更小的电源总线更适合电源完整性，而更厚的金属层能提供更小阻抗。这个实验可快速、轻易地由以下方式验证：使用基于连续模型的仿真器；改变电源网格与芯片布局的特性，如改变网格线宽、间距等变量以及负载模块与去耦电容的分配布局。这不仅减少了设计工作量与芯片整体预算，而且能对芯片资源进行前期优化，大大增加设计一次性成功的几率。第 8 章将会对电源完整性中的引脚排布做详细介绍。

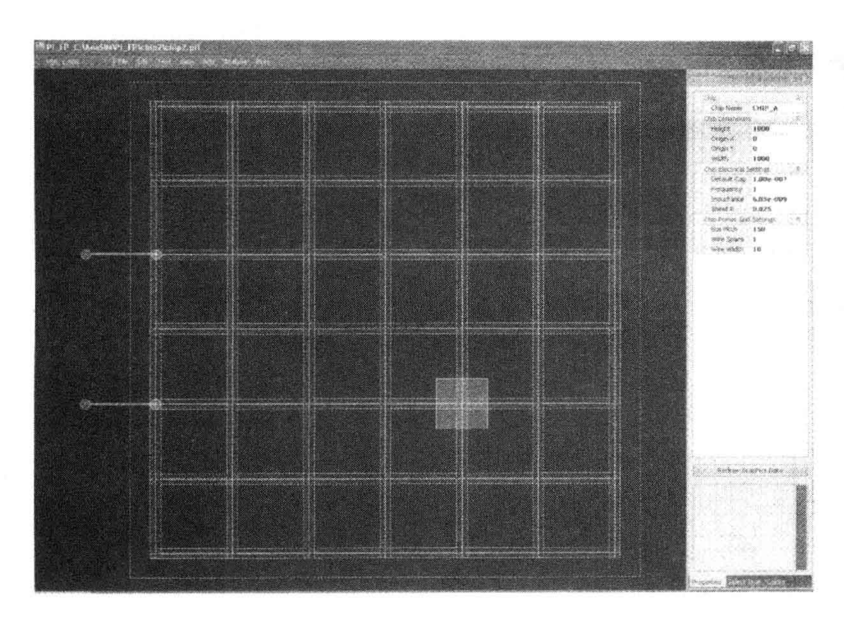


图 7-18 在电源总线宽与间距改为一半时，引脚仿真实验

7.7 连续性模型与 SPICE 模型对比

连续模型与 SPICE① 模型有本质的不同，后者是将元件以离散或成块形式体现出来。随着电源分布仿真中电源网格线数目的增加，SPICE 模型会更接近连续性模型。

一个 IC 电源网格不仅包含一个整体电源网格，如图 7-16 和图 7-18 所示，而且包括底层金属的互连，通常金属层要比网格层密。因此，连续模型能很好地表示一个 IC 电源网格。下面我们将分析 SPICE 模型对于芯片引脚分布的仿真情况。

图 7-19 为 SPICE 电路图，在连接处（总线横竖交叉处）之间的电源网格总线由不同 RLC 传输线等价模型表示。这些模型也用于表示与外部电容的连接线。建模方法有可能不同，并且有损耗的连接线 SPICE 模型（如参考文献[3]中的 RLGC 和 WTLNE）可用于替代简单 RLC 模型中，以期取得更好的精度。负载电路模块在模型中被视为单电流源和集总电容，电容值由它在芯片引脚布局的位置而定。

值得注意的是，如此一个集总元件（lumped-element）的等效可能与芯片真实电源网格电磁性质相差甚远，有些典型工具能提供有互相连接集总元件的网络。这些工具工作在像素（polygnal）级别，从每个像素中提取出电路特性，尽可能地减少得到的网表。当提取高密度集成电路中电感，或者像素间相互电磁作用时，这项工作将变得非常复杂。

图 7-20 展示了负载电路模块电压降的 SPICE 仿真结果。在 1.6ns 的仿真中，负载电流尖峰导致供电电压下降了 28mV。

相比之下，基于连续模型的仿真器 π-fp 仿真结果显示，在 1.6ns 的运行时间中电压差为 22mV，如图 7-21 所示。仿真差异的一个重要原因可见下图，尤其是噪声传播的方式。在连续

① 采用电路仿真程序[2]作为电路行为仿真的首选。

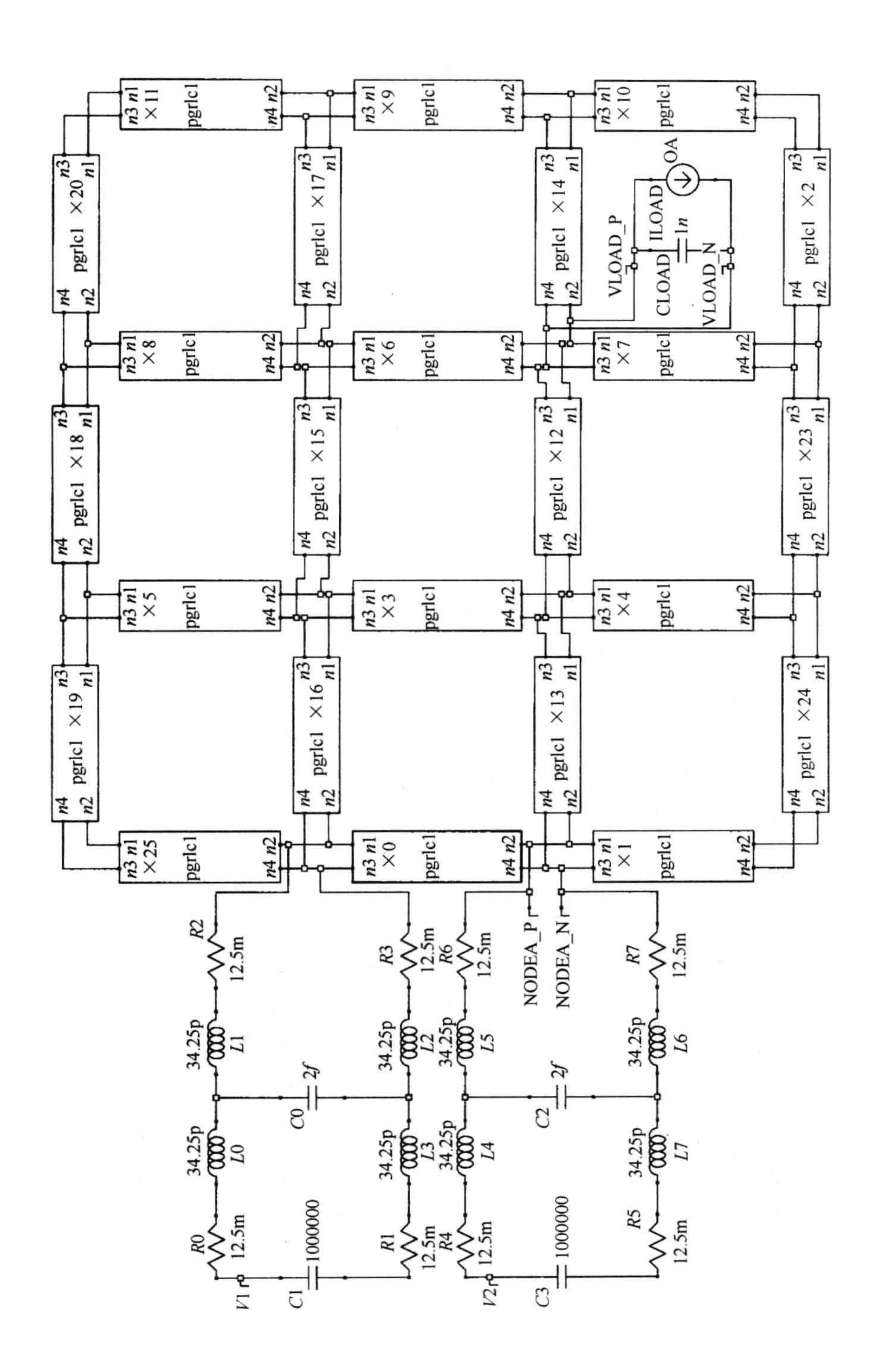


图 7-19　图 7-16 对应的采用 SPICE 模型的等效电路图

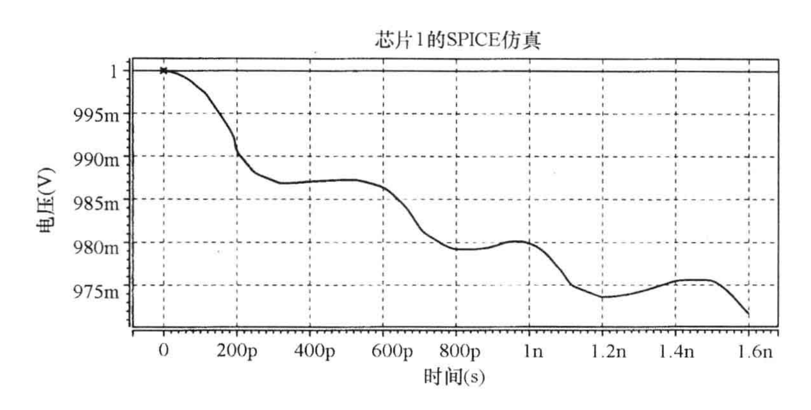


图 7-20 SPICE 仿真下负载电路到电源网格节点的电压差

性模型中，噪声统一从负载电路模块中辐射出来：电路模块中电荷耗尽与电荷从各方向流入相抵消。而在 SPICE 模型中，电荷必须从 4 个与节点相连电源网格单元的电容中流出进入节点，中间流经的电感会延缓电荷流动。如前面讨论，真实芯片对电荷流动并不没有如此限制。在目前的最新工艺下，IC 电源网格在它们的多层金属层中，多多少少会有连续的表面帮助电荷流动和噪声传播。

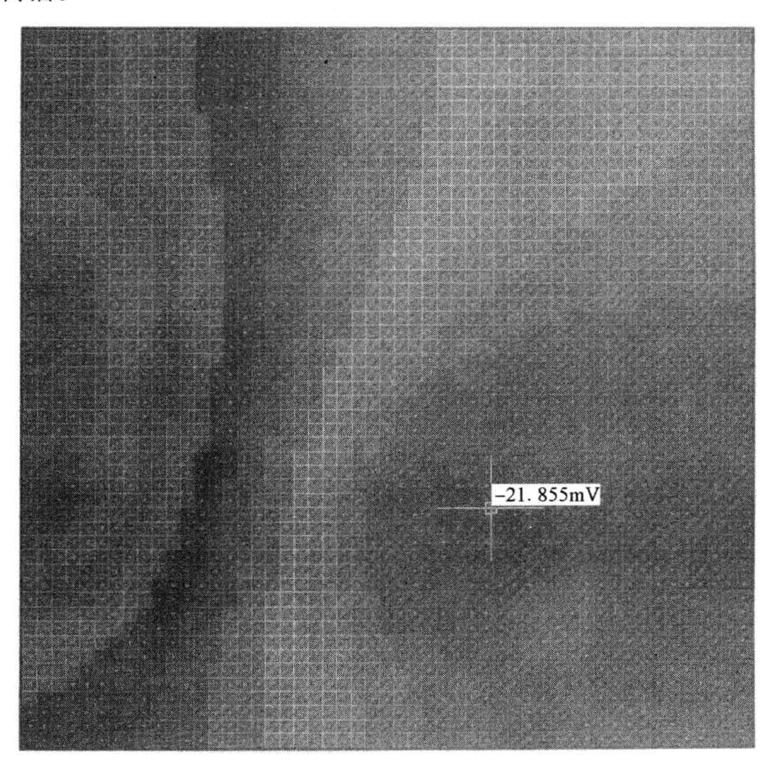


图 7-21 连续模型在 1.6ns 仿真中电源网格噪声分布截图

这个简单例子清晰展示了基于连续性模型与 SPICE 模型仿真的不同。连续性模型淡化了电荷流入路径和限制，从而平均了潜在的非物理噪声，总之，连续性模型提供了更良好的噪声仿真结果。更详细的比较与评价见参考文献[3]。

7.8　纳米级 CMOS 集成电路的模型优化

由于 CMOS 集成电路尺寸下降到 100nm 以下，而且阈值电压达到约 0.2V，晶体管不再是理想的开关，I_{on}和 I_{off}都大大退化。在如今的工艺制造下，关断漏电流 I_{off}大大增加，几乎占整个电路功耗的一半。漏电流由几方面因素产生①，如纳米工艺下亚阈值漏电，CMOS 栅氧泄漏电流。这些泄漏电流的一个重要特性就是它们都与加在器件上的电压，尤其是那些在晶体管器件中产生的电场线相关。

由于漏电流是功耗和电源完整性中的重要因素，而且它们与电压紧密相关，因此，我们需要将它们纳入 IC 功能模块行为仿真，并为它们建模。基于 ECD 的模型能实现上述电压相关仿真。实际上，电压变化时电压影响与漏电流作为两个独立电流源加载到每个单元中。这与电流波形图(表示活动区域单元随时间变化的电流)相一致，活动电流大部分都在仿真环境中表示出来。漏电流变化的值也能从图表中获得。

相似地，其他非线性行为也能用基于 ECD 的连续性模型表示。例如，随电压变化的电容模型被证明有助于控制瞬态噪声，且给纳米级集成电路提供电位差压缩(potential difference compression)。这项特性我们将会在第 9 章进行更为详细的讨论。因此，ECD 中的 C_A 电容可与电压有关，并且用于与电压有关泄漏电流的建模。基于 ECD 连续性模型在用于与电压相关的泄漏及电容的更深层次的研究就留给读者了。

7.9　练习题

7-1　在图 7-13 引脚分布的激励网表中，语句“GCHIP_A 0.1 0.1 0.002 0.03 0.025 6.05e-009 1.00e-007”含义是 1mm×1mm 连续性表面中，表面电阻为 25mΩ/m²，电感为 6.05nh/cm，电容为 100nf/cm²。

如果连续性表面在网格中被划分成 24 条传输线(电源与地配对)，如图 7-13 所示，计算每条传输线等效的 R、L、C 值。假设对称的不同传输线使用图 7-19 的外部模型，且采用基于 SPICE 模型的相同引脚分布电路。

7-2　如参考文献[5]所述，ECD 模型遵循“数量守恒”法则。在物理建模方法中(一个基于数学，更符合实际物理现象的模型)，模型方程会选用能量守恒的变量。

在 ECD 模拟电源网格中，哪个是基本的守恒量?

7-3　图 7-13 的连续性模型仿真验证了在 IC 网表中一个不固定的电流负载模块明显不会出现在电源网格总线或导体上。请解释在电源网格连续性模型中如何允许这种情况发生?

7-4　图 7-19 为图 7-16 引脚图的一个近似 SPICE 等效，如果将单电流源均分为 5 份，并将其中 4 条线在传输线中点的节点融合成一个节点，同时让第 5 根线连接这个节点会产生什么影响?

换句话说，将电流负载到电源网格的连接替换为一个如图 7-19 的分布电流源，会对 di/dt 与电压噪声能产生什么结果?

---

①　晶体管泄漏电流的详细讨论请见第 2 章中 2.2.2 节介绍。

参考文献

[1] Anasim Corporation. 2009. *Power integrity aware floor planner π-fp*, © 2009 Anasim Corp. , www. anasim. com/pi-fp-info. pdf .

[2] Wikipedia, The Free Encyclopedia. 2009.

http://en. wikipedia. org/wiki/Main_Page , various information pages.

[3] GayathriGanapathy et al. 2006. *Analysis of power grid noise using pi-fp and Hspice™*. Anasim Corp. white paper, www. anasim. com/papers/pi-fp-hspice. pdf.

[4] Nair, R. , and V. De. 2003. *Device and method for controlling voltage variation*. United States Patent & Trademark Office, patent application publication no. 20030058022, March.

[5] Tom Lee, Symbolic computation provides simulation speedimprovements and allows tackling large systems, online article, www. automotivedesignline. com/210605038, October 2008.

[6] Bennett, D. 2007. *Effective current density and continuum models for conducting networks*. United States Patent and Trademark Office utility patent application no. 11/714427, March.

第 8 章　考虑电源完整性的芯片布局规划与设计

Shane Stelmach, Snehamay Sinha

现代芯片设计者要在很多复杂且存在相互影响的因素中权衡考虑折中方案。电源完整性(PI)就是这其中的一个因素。一般而言,设计者要找到最经济的方法来满足特定的功能和性能要求:所设计的电路电源完整性必须满足这些要求。这是各类设计师共同的责任,包括芯片架构设计师、逻辑设计师、物理版图设计师、封装设计师,以及较大产品的系统设计团队。集成电路(IC)设计团队主要致力于影响电源完整性领域的设计,诸如平均值、峰值电源管理以及芯片布局规划等。这包括稳定的电源分配网络架构、有源的耗电电路位置排布和无源器件(如电源去耦电容器)的分布。

8.1　电源完整性设计:纳米时代下的考虑

在每个新的硅技术时代,尽管良好的芯片电源完整性的很多方面保持一致,但还是有很多看似无止境的、额外的复杂问题亟待解决。随着半导体器件特征尺寸的持续缩小,只有不断提高设计技术减小功耗才能最终满足新工艺下的集成度需求。于是,电源管理技术就增加了满足芯片电源完整性需求的复杂度。而且这些技术的局限性往往导致整个芯片功耗密度的增加,以至于前面描述的一些最基本的考虑也变得难以实现。

8.1.1　系统要求

在集成电路设计的布局规划中,系统约束至关重要。这些约束包括 PCB①、封装以及芯片功能区域的互连。图 8-1 是现代片上系统(SoC)布局设计的一个示例。

1. 印制电路板

集成电路中系统驱动的约束对芯片电源完整性至关重要。这些约束对电路板电源到封装的完整性,以及封装自身的电源完整性(由于封装的成本和复杂度对它的电源完整性有一阶影响)有直接影响。所用封装的类型会影响到封装的电源阻抗、电源和地的 BGA② 数量,以及可获得的电压值。封装的尺寸决定了芯片上电源和地的节点数、系统的变化和节点上的封装电压。对芯片设计者而言,这些折中方案最终决定了芯片设计中还有多少系统电源完整性的预算可用。

2. 球栅阵列,连接封装和板的锡球在二维网格中的一种排列

芯片的布局规划很大程度依赖于 PCB 板的约束,它影响了整个芯片封装的 BGA 分布和驱动芯片上电路的输入输出(I/O)端口的布局。I/O 的布局反过来会影响到芯片主要功能模

---

① 印制电路板

② 球栅阵列,连接封装和板的锡球在二维网格中的一种排列

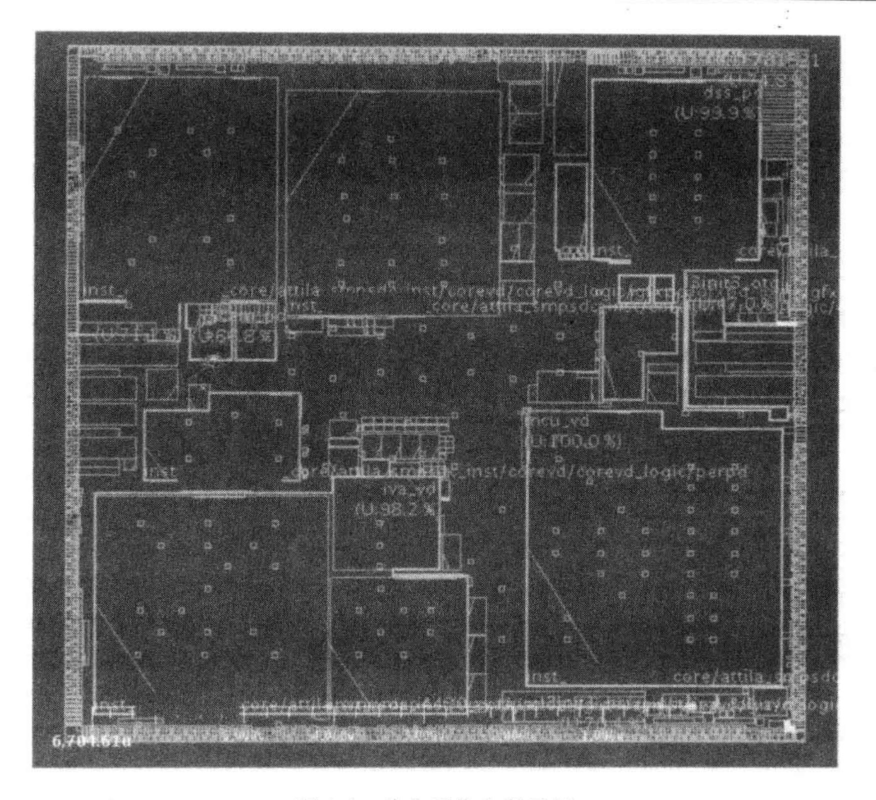


图 8-1 片上系统布局示例

块的布局。关键功能模块间对高性能 I/O 和数据流的需要可能会与由 PCB 约束所决定的功能模块布局相冲突。这也就可能会导致封装 BGA 分布和 PCB 布线发生更大的改变。

8.1.2 芯片成本

最小化芯片成本一直是整个设计团队优先考虑的问题之一。尽管有很多折中方案能够使芯片和封装的总成本最小化，但最先考虑的往往是如何减小芯片面积和所需掩模板的数量。

现代芯片的面积设计常受限于可用的金属资源(布线能力)，芯片的性能(能达到的最大工作频率)往往更多的受限于布线而不是电路本身。在芯片的布局中金属资源往往是非常珍贵的。对芯片电源完整性而言，一个稳定的电源分配网格必不可少，其高效的设计可以使芯片的面积最小化，芯片的性能最优化。这也解释了倒装芯片封装日益流行的原因：它能更为有效地加强芯片本身的电源网格。

随着 SoC 的集成度不断增加芯片内核也越缩越小(根据摩尔定律①按比例缩小)，在这种情况下，芯片尺寸往往受限于所需的 I/O 环的周长，因为 I/O 器件及其工作电压的缩小远跟不上芯片内核及其电压缩小的速度。由此也产生了在整个核上采用阵列 I/O 布局以最小化芯片尺寸的技术。但是由于采用这种技术会使封装的电压域分离(同样影响到 PCB 布线)，因此，这对于电源和 I/O 的信号完整性来讲是不利的。在采用较低成本封装的芯片中，比如焊线封装，这种约束同样需要最小化电源和地焊盘，这一点对芯片电源完整性设计的优劣至关重要。

---

① 请参见第 2 章中的讨论。

8.1.3 性能

正如前面所提到的，芯片的设计过程是在满足一个给定的功能和性能要求的前提下，最小化整个芯片和封装成本的过程。一些芯片的设计优先考虑的是性能而不是成本，大多数芯片设计把性能放在一个很高的优先级上，在成本约束范围内使其性能最优化。

芯片自动布局布线工具会在布局过程中优先排布有源电路，然后把去耦电容放在空闲区域。在这种设计流程中，关键的高速电路沿着时钟分布电路紧密排布。一般而言这导致具有高功耗需求的单元出现高密度排布现象，同时也导致去耦电容因放置太远，以至于不能保证为这些关键路径提供稳定的电源。这样的情况明显降低了电路的性能。这是个必须解决的问题，但解决方法常常使整个性能收敛的流程变得更加复杂。

对于一个满足性能需求的芯片设计，为了优化连线的寄生阻抗，往往需要为信号布线分配更多的金属资源，而为电源网络布线分配尽可能少的金属资源。作为补偿，电源网络通常使用最上层一个或多个较厚的金属层布线(这些金属层主要用于电源布线，也可以用作长信号总线布线)。另一个弥补方式是将电源和地在整个芯片上均匀分布，而不仅仅是在四周，就好像倒装芯片封装一样。

8.1.4 功耗最小化

在芯片设计过程中，传统意义上的约束主要指的是面积和性能。对于现代纳米级的电路设计，在摩尔定律下降低功耗的要求不能仅仅依赖于增强制造工艺。如今，降低芯片功耗需要的是制造工艺、设计、软件等的综合优化。正因如此，芯片设计中的电源管理技术也不再显得特别。而由这些技术带来的相关问题则使现存的问题变得更加恶化。例如，额外的电压域或电压岛所需的电源网络布线会使金属资源的分配变得更加紧张。这些附加的电源，及其对封装中电源层布线的影响，往往还会降低封装的 IR 降和信号完整性。

8.1.5 其他考虑

现代集成电路设计已经进入了 SoC 时代，转换信号的总线架构常常需要跨越很长距离来连接主要的逻辑和储存功能模块。因此，信号完整性设计是另一个考虑的重点。好的芯片电源完整性设计当然对信号完整性有利，对后者的设计特别需要折中考虑和中继器的距离、所用的金属层以及它们相应的宽度及间距这些相互作用的因素。而这势必会同芯片的电源网格和分布竞争金属资源。

除了电源去耦电容，空闲的布局空间常常被用于摆放改变设计和修复漏洞(设计错误)的逻辑电路静态放电保护(ESD)单元和测试电路。这些附加约束的优先级远低于其性能、面积和功耗最小化的优先级。尽管我们主张重视电源完整性在整个设计过程的重要性，但我们的目标依然是满足性能要求同时最小化系统成本。因此，对于一个 IC 设计师而言，必须最大限度地利用有限资源，以最小的成本满足芯片电源完整性设计的要求。

8.2 电源完整性设计：技术

确保 IC 设计中高质量的电源完整性可以由很多种技术方法来实现，具体的方法取决于给定芯片的设计需求。尽管不完全适用，但确实绝大多数高端应用往往是最先进的制造工艺下

生产的高性能芯片。

8.2.1 功耗管理

从电源完整性角度而言，具有高功耗密度或最大单位面积功耗（与电源和地的分布有关）的芯片设计最具挑战性。因此，使这些电路的功耗最小化非常关键。不仅如此，降低功耗还有助于减小整个系统的复杂度和制造成本。

从历史上看，人们总是对新的工艺寄予厚望，以期待能够解决这些功耗问题。这种期望可以追溯到 Gordon Moore 于 1965 年 4 月 19 日发表在 Electronics 杂志上的题为《在集成电路上填满更多器件》的论文[1]。这就是摩尔定律的来源，它最初的表述为“最低成本下元件的复杂性每年大约增加一倍。”在同一篇文章中，Moore 还考虑过解决器件缩小后集成度提高所产生的热量问题，并阐明“必须严格限制被驱动的电容数量。实际上，缩小集成结构的尺寸使同样电路在单位面积消耗同样功耗的情况下，能达到更高的运行速度。”

在现代互补金属氧化层半导体（CMOS）集成电路中，Moore 所指的功耗是开关功耗，由下式给出：

$$P=\alpha CV^2 f$$

式中，f 是电路的开关频率；α 是电路活跃因子；C 代表电路所驱动的负载电容（器件和导线的电容）。Moore 观察到负载电容会受布满器件的区域所限。但是，这并没有考虑 IC 设计中不断增长的电路频率，可能更薄的电介质（增加单位面积的电容），以及纳米级电路中的非开关电流。另外，在 Moore 发表论文时，器件间互连线的寄生电阻和电容是可以忽略不计的，但现在的工艺下这个假定早已不能成立。

由于 CMOS 电路开关功耗是电压的二次函数，降低工作电压可使更高集成度的电路工作在增大的频率下而保持功耗密度大致不变。由此晶体管的阈值电压也需要相应的降低。这就降低了可用于管理整个芯片电压降（即 V_{DD}（电源）和 V_{SS}（地）间的总势差）的“裕量值”。这些严格的容差增加了芯片电源完整性的复杂度和成本。

为了使 CMOS 电路的功耗最小化，必须同时最小化“撬棒”电流，这种电流是由缓慢的输入转换时间所导致，而转换时间变缓则是因为现代电路中存在相对较大的连线电阻及电容。最小化这些寄生负载，会使撬棒电流比电路开关电流有更显著的降低幅度。这可以通过在导线中插入电路中继器（这些中继器将增加设计的整体开关功耗），以及降低单位长度的电阻和电容来实现。例如，使用上层金属线来排布更宽、需要更大间隔的信号线。当然这样也必然减少了可用于电源网络的布线资源。

在现代半导体器件中，非开关电流功耗是芯片总功耗中重要的一个重要组成部分。非开关电流一般是指电路的漏电流，它已经成为纳米级电路设计的一个主要关注点，其详述可见本书第 2 章。目前漏电功耗大致和器件的开关功耗同数量级，有时还可能超过开关功耗，尤其是在便携式设备中。这些静态功耗由晶体管亚阈区的漏电流所产生，究其原因主要是由器件尺寸缩小，以及较低的电压下晶体管开关阈值的降低所造成的。许多技术被用来减小漏电流，包括嵌入式电源开关技术、有源器件衬底偏置技术、门控时钟技术、利用非最小晶体管栅长技术、片上电压发生器（例如低压差线性稳压器 LDO）技术，以及工作电压和频率的动态管理技术等。这些技术从多方面影响电源完整性，包括更严格的工作电压容限。这些方法所需的电源线和地线数量的增加，使得用于芯片电源网格的布线资源在整体可用的布线资源中所占比例大大增加。图 8-2 是多电压域布局和倒装芯片节点分布的例示图。

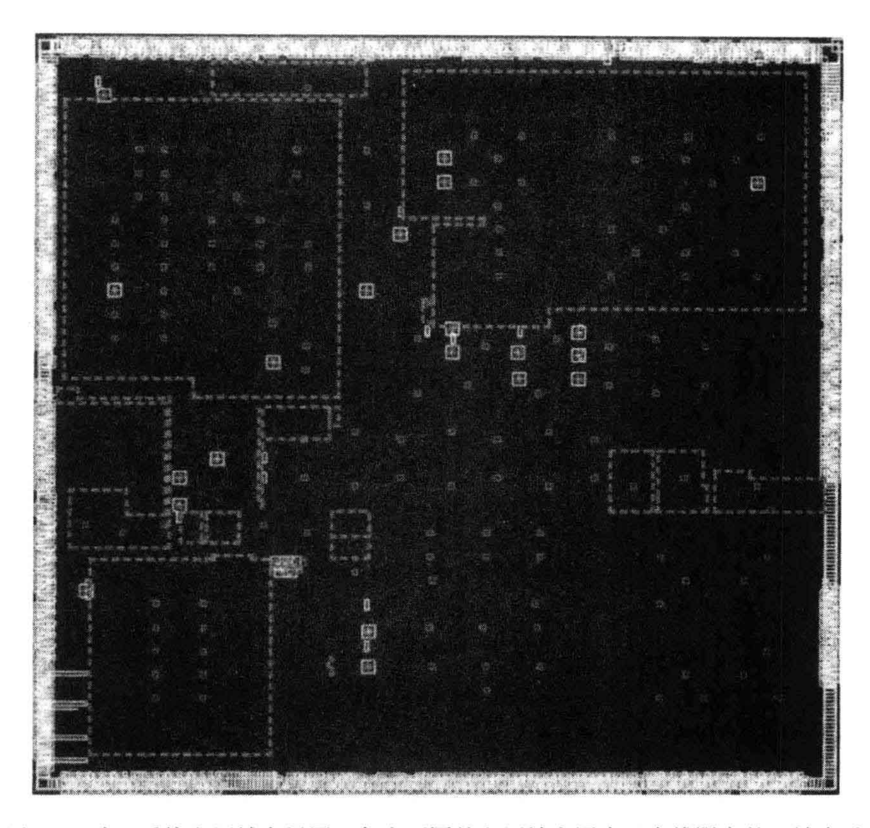


图 8-2　片上系统电压域布局图。各个不同的电压域在图中以虚线限定的区域表示

现代电路中功耗最小化的另一个问题与纳米工艺下在芯片上集成数亿甚至数十亿晶体管的能力有关。大量的器件（以及这些电路可能出现的众多的工作状态）连同更大数量的寄生电容、电阻和电感意味着要精确地仿真这些电路的功耗是不切实际的。而必要的抽象逐渐变得更加准确，尽管准确率还达不到 100%。这其中隐含另一个成本上的折中——可以通过增强计算能力、加长仿真时间来缩减抽象的层次。只不过在功耗估算中，这样的方法依然存在很大的不准确性，以及不确定性。

8.2.2　电源网格设计

在功耗最小化技术的实际应用中，电源网格的设计是维持芯片良性电源完整性的另一个重要机制。如前所述，有诸多因素限制了可供电源网格设计师运用的布线资源，包括芯片上用于信号线的布线约束，以及由现代设计技术所造成的许多独特的电源和地线布线资源的削减。在不断降低成本的压力下，不得不使用更便宜的封装，但这样的选择并不利于良性（和简单的）电源完整性设计。

设计一个稳定的电源网格的第一步是基于直流功耗估算限制其电阻式电压降。这可以通过欧姆定律（$V=IR$）和系统损耗的预算进行初步的估计。下面是一个额定 1V、0.50W 的电路设计实例，目标为 5%的最大静态电压降（即 V_{DD}下降 2.5%，V_{SS}弹起 2.5%；或在 1V 电压下各下降 25mV），并做如下假设：

PCB＋封装的功率传输有效电阻为 0.60Ω（每焊球连接）；

芯片 I/O 电源通孔电阻为 0.240Ω；

芯片 I/O 电源焊盘数量为 24(假定沿芯片周长均匀分布)。

满足上述约束的芯片电源网格的特征电阻(R_{grid})很容易计算:

$$0.025\text{V} = (0.5\text{W}/1.0\text{V}) \times (((0.60\Omega + 0.240\Omega)/24) + R_{grid})$$
$$= 0.5\text{A} \times (0.035 + R_{grid})$$
$$R_{grid} = (0.025\text{V}/0.5\text{A}) - 0.035\Omega = 0.015\Omega$$

这可以通过一个被称作"静态 IR 降检测器"的 EDA 工具来验证。这种工具还能够验证现代芯片设计的电源完整性。它们不只在芯片上有越来越多的应用,在芯片封装、甚至从电源稳压器到系统板的布线上也有广泛应用。图 8-3 是这种仿真结果的一个例示图。

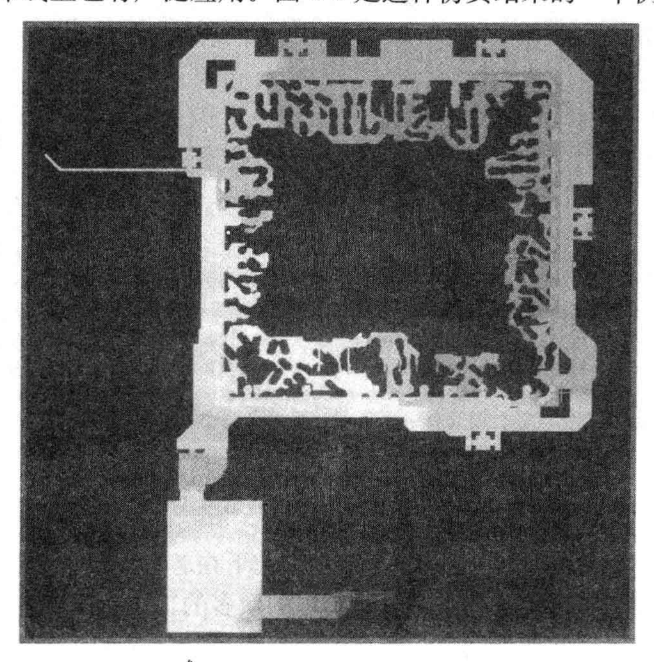


图 8-3 静态压降分析示意图。PCB 上电源电压稳压器通过封装一直到硅芯片自身电路,其中 PCB 和封装布线占用不超过 1/4 的总静态 IR 降

无论是否有这样的 EDA 工具协助,芯片设计中所需的电源网格电阻特征值都是通过芯片布线层的优先使用顺序来确定的。在目前绝大多数现代芯片的制造工艺中,至少有一列两个较厚的金属层(在高性能应用中会更多),作为低电阻电源网格(以及远距离信号线)的布线选择。常见的做法是预留两个或两个以上的金属层作为中等长度互连线的布线层,再留一到两个金属层作为局部或较短的互连线的布线层。通常用一到两个中间层金属作为一部分电源网格的布线资源,其余更低层金属作为从电源网格到下层电路的通孔。在使用嵌入式电源开关的设计中,这些过孔通常连接到开关本身。局部的开关电源到功能电路的互连需要使用额外的金属层来实现。

简单的计算在设计过程中的作用显而易见,但最终电源网格分布一定是在芯片的功能模块与电源地(I/O 电源和地模块,和/或倒装芯片封装的电源和地节点)的整体布局规划下完成的。这些模块可能会造成芯片的电源网络各部分存在差异,同时导致芯片某些特殊功耗点的出现。静态 IR 降验证工具正尝试提供电源网格的综合功能,以递归地执行类似上面列出的计算、验证设计、并修改参数直到满足系统要求。芯片布线层的相对权重通常作为这些算法的一个约束。这样电源网格综合可以在芯片模块布局中完成,也可以选择不在布局中完成(比方

说，为便于芯片信号线布线，可以预先计算并保留电源分配网络所需的金属资源）。在这些工具的协助下，我们可解决基本的芯片电源网络，电源和地的分布，以及各电路模块等耗电单元中的不连续性问题。我们可利用这些特性在相对较低功耗密度的区域内稀疏其布线，或在需要增强电源的区域内密集其布线。这样有利于芯片面积的优化并提高布线资源的利用效率，反过来也促进器件成本的降低。

由于电迁移现象会使静态电流过高，而影响 IC 的长期可靠性。电迁移是由电场产生的静电力（有时也被称为“电子风”）引起的。电子网可移动部分导体材料，随着时间的推移，逐渐增大导体的电阻率，而导致间歇性电路故障。经过较长的时间，导体可能成为一个开路电路（如图 8-4 所示）。此外，已迁移的导电材料会在导体的其他部分被收集并扩大，可能导致和其他连线短路。



图 8-4　铜互连线中电迁移所造成的故障的扫描电子显微镜图像。图片中间沿铜线的深色区域是空的，随着时间的推移那里的铜被多余的静态电流所迁移。（来源：Patrick-Email Zörner，Wikimedia Commons）

避免上述这个问题的办法是在设计中分析每根连线及过孔的电流与每层金属的最大平均电流密度。尽管最差情况各不相同，我们还是可以采用类似分析静态电压降的方法进行分析，因而需要做两次功耗估计和连线模型提取。

8.2.3　芯片布局规划和去耦电容

对于很多应用而言，验证芯片的静态电源完整性已经足够，而动态压降分析的需求也在不断增大以验证开关电源对电路性能和噪声容限的影响。为了对硅芯片本身进行分析，电路宏模块通常被建模为时变电流源，并连接到芯片的电源网格。电源网格通常提取为一个电阻电容（RC）

网络，包括布局中专用的电源去耦电容。一般情况，其余的开关网络仍然非常复杂，需要大量的时间和计算能力对其进行仿真。一个关键的简化是选择一组输入转换数据或者向量，对最坏情况下的峰值电流进行仿真。为了彻底验证芯片设计，必须对高集成度器件在各种工作模式下出现的多种情况加以分析。同时还需要分析器件初始状态及泄漏功耗管理的相关情况，例如门控时钟和退出休眠模式。这种级别的验证在仿真上的投入极大，在设计过程中一定要以成本和时间的折中方案权衡处理。

芯片、封装、系统和板结合起来，形成一个复杂的 RLC 网络。动态压降分析不只是单纯进行 IR 降仿真，电感以及 $di/dt(L \cdot di/dt)$对电源电压的影响也必须包括其中。由于这些额外的复杂性分析增加了仿真成本，通常我们会采用简化处理的方法。例如，芯片本身一般可等效为数量较少的集总开关电流源和 RC 网络，可以与芯片封装的复杂电路模型相耦合。同样，以集总寄生元件来简化得到的芯电封装模型可以用作整体芯片的一部分。同时使用这些简化，往往能以较低的仿真成本提供一种合理、准确的分析方法。

分析的结果可用于改进电源网格设计以及芯片的布局规划本身。现代 EDA 工具允许设计师探索优化技术以修正芯片电源网格的薄弱环节，改善去耦电容或电源与地的位置，完善芯片的封装设计。设计师还可以利用这些结果来改善芯片有源电路的布局。具体来说，可以调整功耗密度较高的区域，以缓减该区域对电源的较高需求。然而这种调整或变化往往造成电路路径的变化，从而造成对时序约束的挑战，因为时序约束往往会使路径上的标准单元紧密地放在一起。这种摆放对满足电路时序要求非常有利，但这种密集程度会造成很少有面积或者根本没有面积可用于避免功耗密度增大所添加的局部去耦电容的摆放。因此这种密集程度可以适当放宽，以改善该区域的动态电源完整性。图 8-5 和图 8-6 就是上述情况的一个例子。

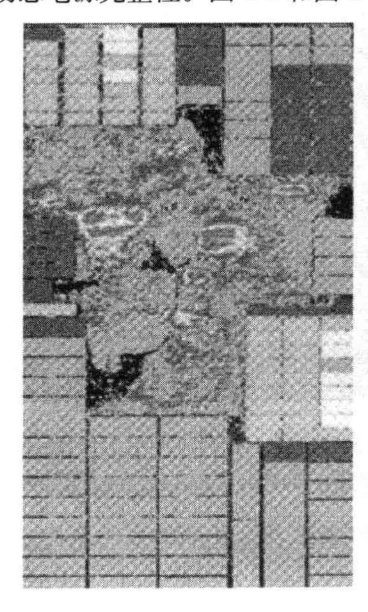
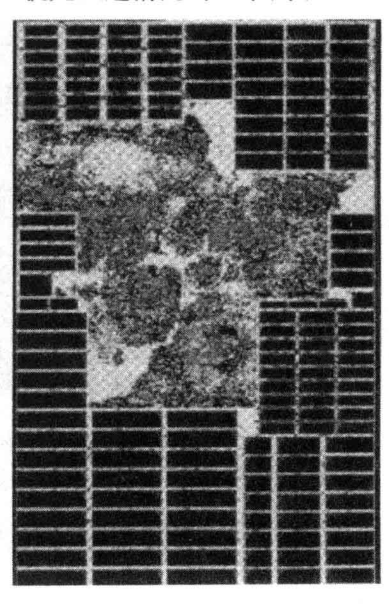



图 8-5 一个动态压降故障的例子。左图突出显示了最大动态电压降；右图显示的是同一个模块的布局

另一种用于管理电源完整性的技术涉及电源网络本身的微妙特征。把电源与地线网格放得尽可能的近，而不是以电源地线对间距的一半将两者分离开，这就允许互连层的自身横向寄生耦合电容被用作电源网格中的“自由”去耦电容。靠近电源地线对的电路会有相对低的电压降。就静态和动态电源完整性而言，线对之间的其他电路的 V_{DD}会有显著下降，同时 V_{SS}显著

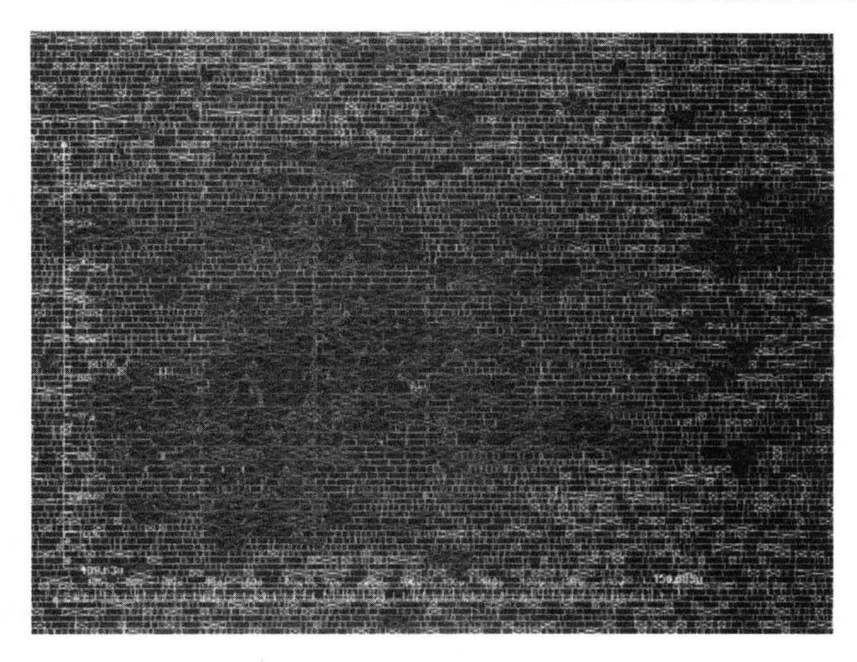


图 8-6　图 8-5 的单元布局规划放大视图，突出显示最大动态压降区域。
图中所示的故障原图是过于激进的时序路径上摆放过于密集的寄存器和时钟缓冲器。
在该图上部分，深色区域代表寄存器和时钟缓冲器。去耦电容是较亮的部分
（注意它们摆放的位置是在寄存器和缓冲器周围的一个空白光环中）

上升。其中一部分原因是由于线对所产生的额外电容的相互距离增大。电源地线对的交错摆放有利于减小最好和最差情况的压降差异(例如，出现最坏情况电压降的电路往往接近 V_{SS}，反之亦然以此平衡大多数电路的总电压衰减)。在第三种方法实理的电源网格中，电源地线对用最上层金属混合排布，用最下层金属均匀交错放置。

8.3　电源管理和电源完整性

两大不同因素推动着低功耗设备的不断发展。一方面，靠电池运行的手持设备 SoC 需要最大限度的利用电源管理技术以减少能源消耗并延长电池寿命。另一方面，诸如微处理器和 DSP 等高性能设备，对其电源进行有效的管理以应对系统的热限制，并且保持芯片的低结温。

减少动态功耗最简单的方法是降低电源电压。在过去的几十年里，超大规模集成(VLSI)技术已经在更小的几何尺寸和更低的电压下得以应用，这使低功耗器件具有更多的功能和更高的性能。大多数情况下功耗的减小得益于工艺技术的进步：功耗与缩小后器件尺寸按比例减小。这是因为可以通过电源电压按比例缩放来控制整个薄氧化层内的电场，同时缩小后器件的跨导[①]较高负载电容较低，使电路能够工作在较低的电源电压下而不加大延迟时间。但是同时，由于电源电压的降低，MOSFET 器件在平方法则下的门电路延迟时间增加。为了改善门电路延迟，减少 V_{DD}必然需要降低阈值电压 V_{th}，而这反过来又增加了亚阈值漏电流，因为它和 V_{th}呈指数关系。

① 跨导，输出电流与输入电压的比值。晶体管(Transistor)来源于“转移电阻(transfer resistor)”。

漏电功耗的增加对于现代器件的电源管理影响重大，因为它可以高达总功耗的 50%。与电源管理技术早期着重于管理动态功耗的方式有所不同，现代的器件制造中必须同时考虑静态及动态电源管理技术。

目前所用的电源管理技术通常有以下几种：

- 动态电源管理的门控时钟技术。在这种技术中，暂时不工作的数字电路模块的时钟信号可被禁止，从而减少开关动作；
- 运用多 V_t（器件阈值电压）库技术来改善漏电流并保证性能；
- 衬底偏置技术以减小漏电流；
- 嵌入式电源开关以切断不工作模块的电源（也指漏电流）；
- 电压岛，高性能模块由允许的最大电压供电，其他模块工作在较低的电压水平下；
- 电压缩放技术，不论静态或动态电压都根据电路性能需要进行实时缩放。

根据集成电路的实际需求，可使用上述的一种或多种。值得注意的是，从方法及使用的资源上这些技术的成本较高，因此在决定具体使用哪种技术前，有必要先做一个适当的成本效益分析。使用多 V_t 库技术会牵涉到库特征化和芯片级时序分析等许多额外工作。其中的一些技术不仅对半导体器件的制造商来说非常昂贵，对系统制造商也是如此。例如，如果使用电压岛，那么在板上就需要独立电源，其中每个电源都需要其自身的稳压器和相关组件。同样，电压调节技术需要板上提供额外的电压控制芯片，以读取器件的状态，并指示稳压器提供正确的电压。在下一小节中，我们将简要地回顾之前所提到的电源管理技术。

8.3.1 电源管理技术

门控时钟技术

在一个典型的 SoC 设计中，时钟树的功耗一般约占总动态功耗的 30%～40%。因此，关闭不工作电路的时钟所节省的功耗是相当可观的。门控时钟技术是修改时钟树以关闭某个时钟分支，禁止其传播到不工作电路中的一种技术。门控时钟一般是在 RTL[①] 级通过特殊的门控时钟单元来实现，可分为三类：系统级门控时钟，时序门控时钟和组合门控时钟。

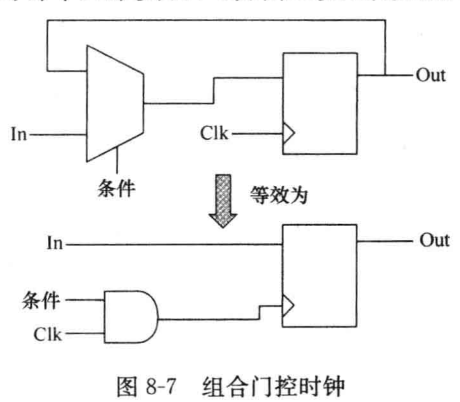


图 8-7 组合门控时钟

系统级门控时钟可关闭整个功能模块的时钟，有效地禁用整个模块功能。组合门控时钟和时序门控时钟都能选择性地暂停时钟，但模块本身可以继续产生输出。如图 8-7 所示，在组合门控时钟中，寄存器的时钟被禁用，输出不变。在典型的设计中，组合门控时钟可以减少 5%～10%的动态功耗。时序门控时钟涉及到改变设计的微架构，但不影响功能。它通过检测源代码中未使用的计算部分、依赖于输入数据的功能以及“无关”周期等来实现优化功耗的目的。判断是否使用时序时钟门控技术并非易事，需要进行时序分析。基于传播有效条件来关闭后级流水线是时序优化的一个例子因为需要额外的逻辑，所以这种等效及转换只有当数据路径是多位宽时才有意义。

① 寄存器传输语言：一种硬件描述语言，用软件来描述数字电路。

图 8-8 所示的时序门控时钟，是一个涉及很多折中方案和 RTL 修改的多周期优化，在其功能验证的资源方面有很大需求。另一方面，时序门控时钟技术可以大幅度降低功耗。对于一个给定的模块而言其开关活动的减少可带来相应的 15%～25%的功耗降低。

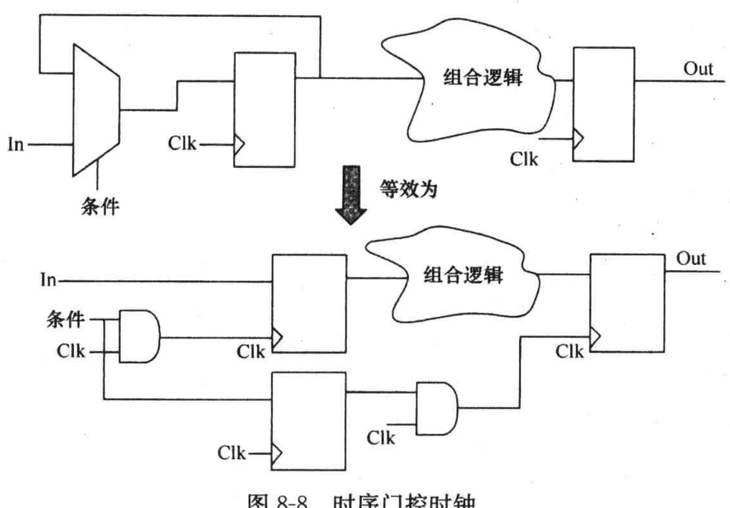


图 8-8　时序门控时钟

需要特别注意的是，只有在降低动态功耗时门控时钟才有效。由于所有的设备都还在通电，因此它对于降低漏电功耗或者说静态功耗是不起作用的。

多-Vt 库技术

现代的先进工艺使设计人员能够使用多 V_t 库来控制漏电功耗。由于亚阈值漏电流是 V_t 的指数函数，因此低 V_t 晶体管用于满足高性能需求，而高 V_t 晶体管能抑制亚阈值漏电流。在电路的关键路径上限制低 V_t 单元的使用可以大大改善漏电流问题。由于门电路延迟时间取决于晶体管阈值电压，如图 8-9 和图 8-10 所示，因此需要一个优化步骤可以在满足性能要求的同时使漏电流最小化。

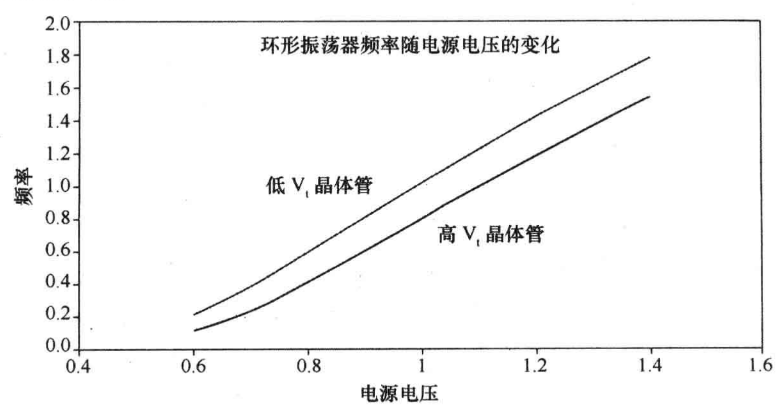


图 8-9　数字逻辑电路性能随阈值电压改变的测量图

衬底偏置技术

使晶体管的源与衬底(V_{sb})反向偏置，可以增加 MOSFET 的阈值电压，从而减小漏电流。然而，使 V_t 产生一个小的变化一定需要一个大的反向电压，因为它与反向偏置电压的平方根成正比。因此，当电源电压按比例缩小时这种方法就变得不那么有效。使用正向衬底偏置电压也可以减小 V_t，降低所经过的门电路的延迟。但是，正向衬底偏置电压会增加晶体管的漏

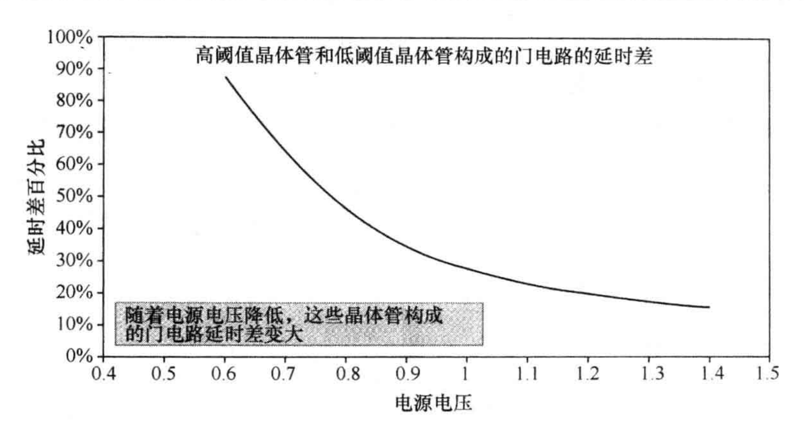


图 8-10　V_t 对晶体管性能的影响

来源：David Scott，德州仪器

电流和总电流。此外，还可以使用动态变化的阈值电压来降低漏电流。这种方法通过控制动态衬底偏置电压来调节其 V_t。反向衬底偏置用于空闲状态下以减小漏电流，而正向衬底偏置用于工作状态下进一步提高性能。

电压岛/电压域技术

典型的 SoC 中不同的模块有不同的性能需求，因此使各个功能模块工作在不同的电压下是一种行之有效的电源管理策略。这减少了漏电功耗和动态功耗，同时在特定的应用中能关闭不工作的电路模块。

芯片级电压岛可以由片上 LDO 稳压器实现，或在板级上将各个模块分别连接到各自独立的电源上。从芯片的角度来看后者更容易实现，但由于板上需要多个电源供电，因此这也会使系统设计变得更加复杂。板级电压岛通常用于设计有需要工作在特定模式下的模块，但这并不是常见的设计，而且在这种情况下，模块电源在芯片和封装级保持各自独立，只在需要时将其连接。

门控电源技术

门控电源是另一种常见的电源管理技术，概念上类似于电压岛。在门控电源中，单个模块的电源可根据它们是否处在闲置或工作的状态来开启或关闭。门控电源使用"睡眠"晶体管与模块逻辑电路和电源轨的晶体管串联，来建立虚拟的电源和地连接。这些"睡眠"的晶体管器件如图 8-11 所示。

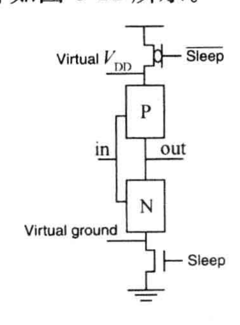


图 8-11　逻辑模块级的门控电源

当电源开关晶体管处于关闭状态时，逻辑门与电源断开，地开关则把它们与地断开。因此，通常的设计只使用一个睡眠晶体管，而没必要使用两个。为了保证电路正常工作，睡眠晶体管的设计需注意：当它开启时应减少 IR 降，而当它关闭时应尽量减少漏电流。另外，门控电源把片上自身或共生的去耦电容从电源网格中断开，并控制电源网格漏电流负载的开和关。

当门控电源技术应用于功能模块级时，会对芯片的电源完整性产生较大影响。正如在前面的章节中所讨论的，不工作的逻辑电路存在自身电容，很显然这有利于增加去耦电容以维持该芯片电源完整性。通过关闭"睡眠"或门控晶体管，从电源网格中断开不工作的电路以及

共生电容①，从而减少动态噪声控制电容。此外，如参考文献[2]中所讨论，门控电源的另一个后果是：连接到断开的功能模块的电源网格与连接到工作的电路模块和去耦电容的电源网格相比呈现出非常高的电阻。因此，在电源网格中的电流分布和流向是变化的，结果引起与非工作模块相邻的功能模块的噪声增加。

此外，门控电源可以开关流入电源网格的大漏电流(以及动态电流在时钟有效的情况下)，这些由电源网格中大的瞬变电压引起的电流从电源网格中断开，或者也可以直接将这些漏电流从电源网格中断开，但这样会在网格中产生大的瞬变电压。使用诸如“软启动”等技术逐渐开启(或关闭)模块，以尽量减少 di/dt，有助于减轻门控电源的上述效应。但是由此引起的芯片面积增大会产生额外的成本，同时门控电源的频率降低，这些会使其获益降低。

自适应电压调制/动态电压调制技术

对于每一个给定频率要求的设计，总是存在一个最佳电压，在这个电压下可以以最小的功耗达到其目标数率，如图 8-12 所示。理论上，这样的最佳电压可以通过对工作电源电压和器件的阈值电压同时进行自适应调制来实现[3]，而在实际应用中这却是一个挑战。这种最佳工作电压依赖于工艺角、结温以及逻辑模块结构。无论是静态还是动态模式下电压调制技术总是尽量使器件工作在最佳电源电压下。静态电压调制技术是通过最后的测试②确定其电压设置的，所取得的电压值取决于工艺角。电压设置参数由稳压器读取，而稳压器编程为器件提供正确的电压。动态或自适应电压调制技术通过 AVS③ 控制器为芯片在其连续工作状态下确定最佳电源电压。该控制器包括一个参考电路(通常为一个环形振荡器或延时线)和相关的控制逻辑。片上稳压器或者系统板上的稳压器通过 AVS 的控制信号为芯片提供适当的工作电压。

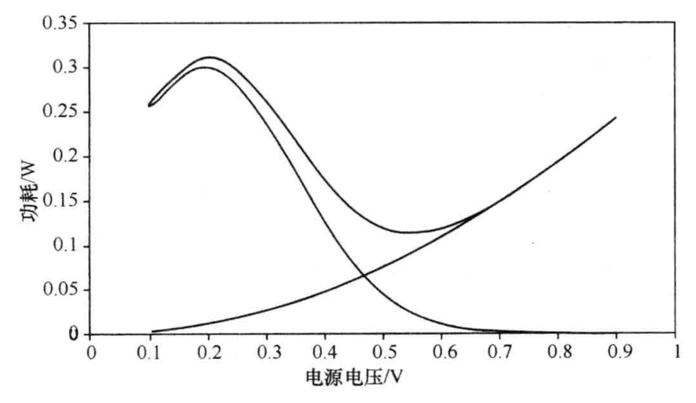


图 8-12　自适应电压(V_{DD})调制和器件阈值电压 V_t 调制下的最佳电压。
较靠上的曲线由动态功耗和漏电流功耗组成，其表明取得最小功耗时的电压值

8.3.2 电源完整性的含义

电源管理技术对于一个电路设计的电源完整性而言究竟意味着什么呢？正如在前面的章

① 门控电源对电源网格的噪声的影响，可以在金属电源完整性(TPI)分析中通过以负载电流动态调节模块电容的方式观察到，或者也可以通过对提取寄生参数的芯片进行仿真后得到。

② 一般指出厂前的产品测试。

③ Adaptive vottage scaling 自适应电压调制。

节中所提到的，电源完整性是电源分配网络（PDN）阻抗的函数，它取决于电路板、封装和芯片。静态电压降取决于 PDN 的阻抗，而动态部分则取决于电感 L、电流变化率 di/dt 或阶跃电流 ΔI，以及电容 C。

为了保持理想的高电源完整性，需要遵循下面一个或多个准则：

- 最小化 di/dt 和 I。
- 最小化 L 和 R。
- 最优化去耦电容的数量和位置。

在下面的讨论中，我们会看到上述准则是如何在带有电源管理方案的电路设计中得以实现的。前面章节提到的所有电源管理（PM）技术都可归纳为以下两类：

（1）诸如门控时钟技术或门控电源技术，因大量模块在很短的时间内打开或关闭引起瞬间的大电流变化率；

（2）诸如自适应电压调制技术，由 AVS 控制器根据电路工作状态对其电源电压进行动态调制所引起的电流变化。

从电源完整性的角度来看，涉及大电流斜率或阶跃电流的 PM 方案特别具有挑战性。较大规模的逻辑模块开启和关闭会造成大电流斜率。CPU 如果遇到流水线中断，可能就会在一个时钟周期内从峰值电流瞬间降到低电流水平。同样正常操作模式和待机模式之间的切换也会导致类似的问题。解决这个问题最简单的方法是，使用足够数量的局部去耦电容（decap）来提供必要的电荷以足够快的充电速度以防止电源崩溃。然而，对给定的较快的开关时间和较低的电源电压，维持稳定的电源电压所需的去耦电容数量会非常大。图 8-13 显示了去耦电容数量对电源噪声的影响。这三个图像分别显示了去耦电容值等于基准值、是基准值的 5 倍，以及是基准值的五分之一时的不同有效电源噪声。

虽然当移植到更先进的工艺时，我们仍然能保持类似的电源数量，但先进工艺条件下器件运行得更快，这对电源噪声是不利的。图 8-14 和图 8-15 显示上面的测试案例从 130nm 工艺变为 90nm 工艺和 65nm 工艺时的电源噪声。在三种测试情况下，通过对不同的模块的频率缩放来保持功率恒定，且三个测试案例中去耦电容的数量保持不变。表 8-1 给出了峰-峰值电源噪声随工艺变化的数据。所有测试案例的电源噪声数据是在芯片同一电源网格节点中监测所得。

表 8-1 电源与去耦电容值不变，随工艺变化电源噪声峰-峰值的变化趋势[*]

去耦电容的变化	130nm，峰-峰噪声值（mV）	90nm 恒定功率	65nm 恒定功率
工艺节点	130nm	90nm	65nm≈2 代工艺
基准去耦电容值	37mV	51mV	136mV≈130nm 的四倍[‡]
5 倍基准去耦电容值	130mV	17mV	14mV[#]
1/5 倍基准去耦电容值	94mV	148mV	

[*]：数据通过不同工艺综合测试条件下仿真产生。

[‡]：如第 3 章 3.1.4 节所述，工艺尺寸每缩小一代，噪声加倍。

[#]：前述结果的相关模型。

参考表 8-1，噪声是 $I \cdot R$ 和 $L \cdot di/dt$ 两部分综合作用的结果，$I \cdot R$ 呈线性变化，这是因为当消耗的功率保持不变而电压按比例缩小时，电流按工艺的比例因子放大。因此，工艺的缩小导致的噪声增加，包括因 $I \cdot R$ 引起的线性部分增加与因 L 引起的平方关系增加。在这个

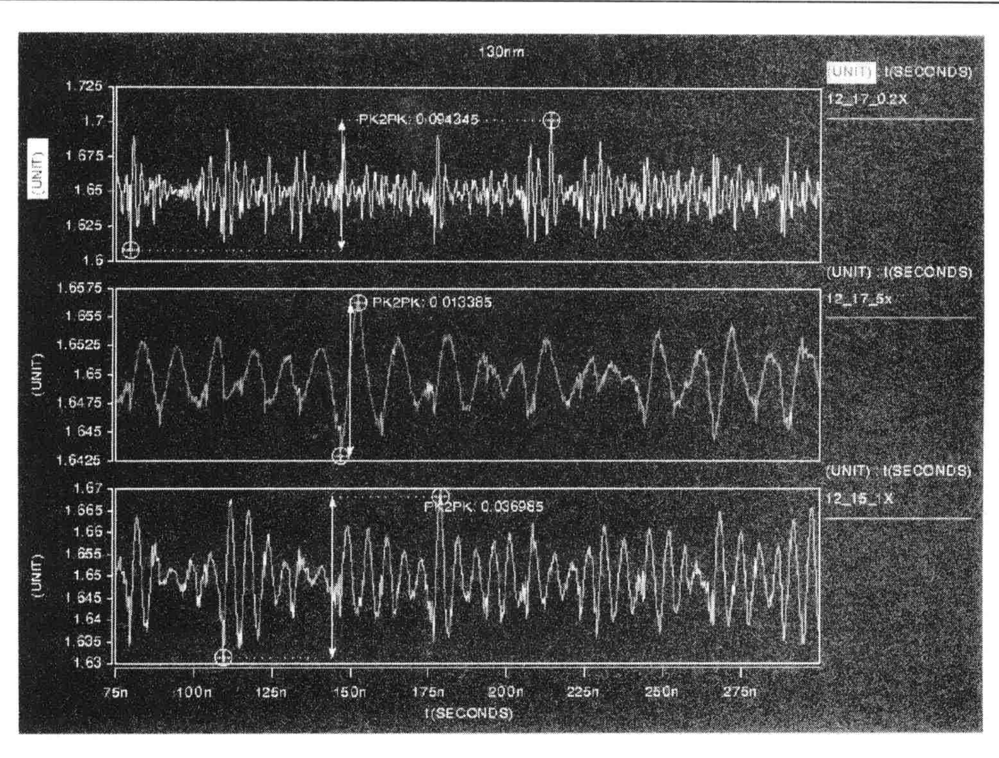


图 8-13 去耦电容对电源噪声的影响。中间的图是去耦电容值为基准值 5 倍，下面的图显示的电源噪声，上面的图则显示去耦电容为基准值 1/5 时的电源噪声

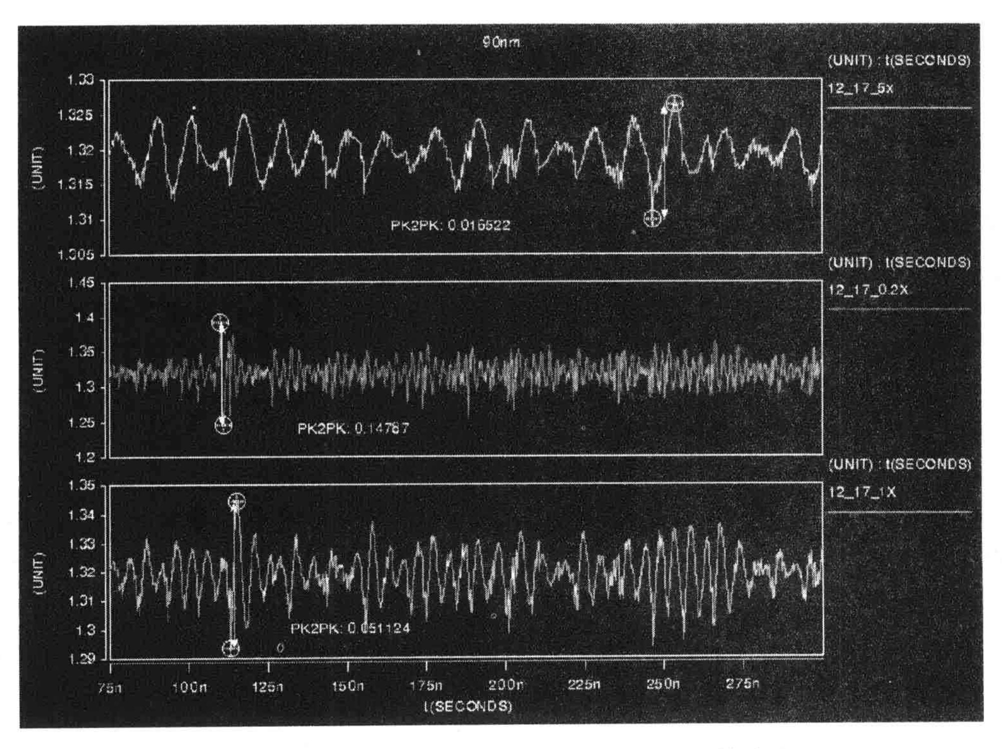


图 8-14 90nm 工艺下电源噪声与去耦电容的函数关系
上图：5 倍基准电容值；中图：1/5 倍基准电容值

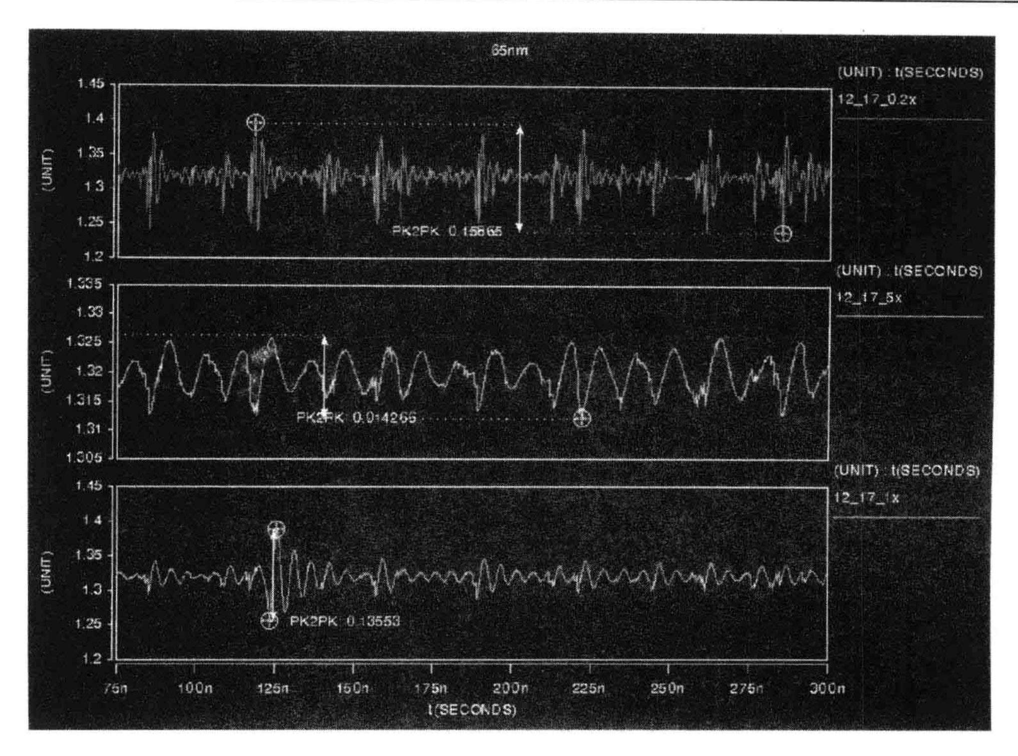


图 8-15 65nm 工艺下电源噪声与去耦电容的函数关系
上图：1/5 倍基准电容值；中图：5 倍基准电容值

案例中，L 仅仅指封装寄生电感（为简单起见，对于上述工艺下的片上电源网格都以不变的 R、C 参数建模）。对于基准电容，如 3.1.4 节所述，与 $L\cdot \mathrm{d}i/\mathrm{d}t$ 部分的噪声缩放保持一致，工艺每缩小$\sqrt{2}$代，噪声大约增加一倍。

电容值增加 5 倍，假设增加的电容和模块中的原始电容一样有效（在电荷的流动路径上没有额外的寄生或延迟器件），那么 $L\cdot \mathrm{d}i/\mathrm{d}t$ 部分最多减少$\sqrt{5}$。[①] 因此，表 8-1 中 65nm 工艺下 5 倍基准电容值产生 14mV 噪声的结果令人意外。但是，像 3.1.4 节中所讨论的那样，对于给定的电源网格 RC 模型，并且电容连接到电源网格点，如果所有增加的电容都是接近瞬变（不改变 RC，非物理模型），并对负载电路模块充电所需的电荷是局部有效的，那么这个结果就可以理解。换句话说，瞬态电流流经的模块内电源网格中的本地 RC 路径，封装电感 L 显然不会受到任何 $\mathrm{d}i/\mathrm{d}t$ 变化的影响，也不会与芯片电容有明显的交互影响。这可以通过仔细观察图 8-13所示的噪声波形进行验证。5 倍基准电容情况下的噪声波形没有“振荡”，或者说在电源网格中没有电感和电容之间的谐振，而基准电容和 1/5 倍基准电容的情况下都有阻尼共振。有数据证实，1/5 倍基准电容下近似$\sqrt{5}$或 2.24 倍的噪声增加。在这里，模型中的封装电感 L 是造成电路电容无法改变 $\mathrm{d}i/\mathrm{d}t$ 变化的决定性因素。

其他减小噪声的技术包括电源引脚优化、调整电源网络大小、噪声感知布局以及架构技术。前三种技术应用于芯片设计中，涉及到根据电路活跃度进行电源网格的仿真。架构技术将门控时钟转换时间分布于多个时钟周期内，以限制电流的变化。例如，英特尔公司的

① 符合下降方程(2-12)

Grochowski等人所提出的 di/dt 控制器[4]。

这种控制器由电流计算引擎、电流电压转换器和一个阈值电压比较器组成。它还涉及门控时钟电路本身,门控时钟由流水线控制器和阈值电压比较器的反馈信号来控制。电流计算电路监控每个模块的门控时钟信号,并把活跃电路的电流和闲置电路的电流相加来计算芯片总电流。电流电压转换器运用该信息由移位寄存器随时间推移计算出加权电流和,其权重与电源传输网络的脉冲响应成比例。转换后的电压值随后被反馈到两个数字比较器中。当超过其中较低的阈值电压时,减少电流的方法可以通过直接关闭时钟,或者是通过停止指令获取或发出使门控时钟电路关闭下游时钟。如果超过其中较高的阈值电压,那些已经被关断的模块会重新开启从而导致电流增加。根据参考文献[4],di/dt 控制器可以减少一半以上的电压变化。

新近提出的一种集成流程综合考虑了微架构设置、布局规划以及去耦电容分布[5],[6]。这些设计和工具流程首先对模块的门控时钟频率,以及在指定的时间段被门控关断的模块数量进行估计。然后将这些信息用于布局规划,把指定的时间段内同时开关的模块放置在相隔较远的地方。在使用去耦电容分布流程[7]之后,再利用控制门控时钟活跃度的电流斜率控制器尽量减小 di/dt。

在门控电源的设计中,如之前我们所讨论的,模块电源接通时的大电流斜率是一个关键因素。大的 di/dt 可导致明显的压降,从而影响电路的功能。为了解决这个问题,我们必须控制电流斜率。图 8-16 显示在不同时刻开启模块时动态 IR 降的影响。所有的模块在同一时间进行开关会产生很大的噪声。而当开关是交错进行时,噪声信号会大大减少。在门控电源电路中,这一点可通过带延时缓冲器的电源开关菊花链实现如图 8-17 所示。这样可防止所有的电源开关同时打开,从而限制 di/dt。但是,在较大规模电路中如果缓冲器很小且延迟时间不长,仍然会导致电压显著下降。现在的标准做法是用两个电源开关菊花链——其中较小的电源开关链将电压提高到一定水平;一旦达到某一值,则较大的电源开关链就会被开启。这个方案如图 8-17 所示。

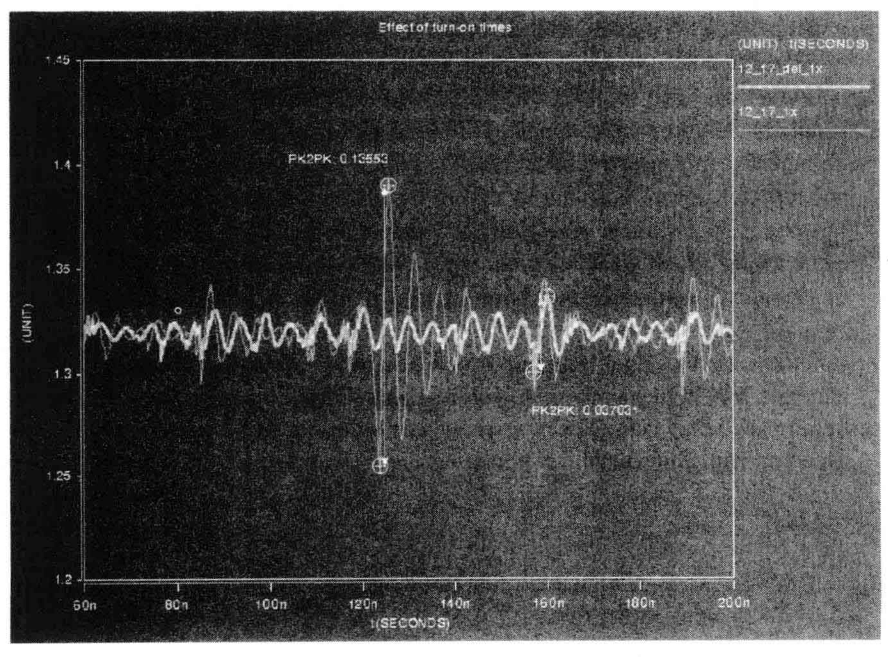


图 8-16　同步交错开关的动态电源噪声

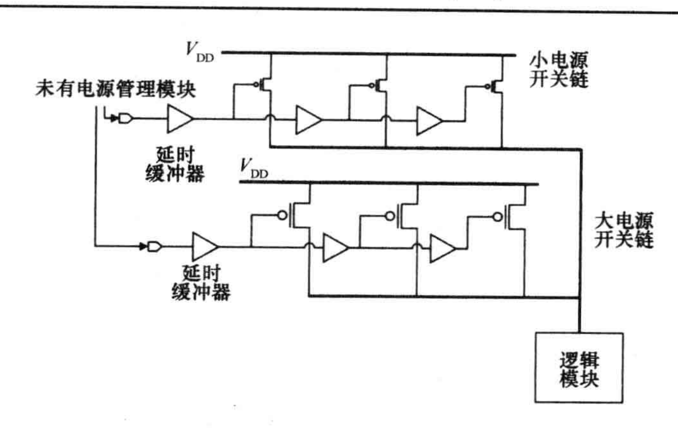


图 8-17 为减小 di/dt 值的带交错门控电源的电源开关结构。

电源管理是当今超大规模集成电路设计中必不可少的一部分。日益增长的集成度和在纳米技术下所遇到的诸如 MOSFET 高漏电流等的挑战直接推动了对电源管理技术的需求。因此，正如本章所讨论的，先进的电源管理技术在芯片设计上的应用对于电源完整性而言有重大的影响。传统的芯片设计权衡功耗和性能，现代设计则必须优化能耗、功耗、性能和成本。而在这些优化中电源完整性至关重要，它影响着所有的优化变量。因此，关注并发展电源完整性技术是进行芯片设计和布局规划非常关键的一点。

参考文献

1. Moore, G. E. 1965. Cramming more components into integrated circuits. *Electronics* 38 (8), April 19, 1965.
2. Nair, R., and Bennett, D. 2008. *Power integrity and energy aware floorplanning*. Online journals, January, www. anasim. com/papers/pifp1. pdf.
3. Kao, J. T., et al. 2002. A 175-mV Multiply-Accumulate unit using an adaptive supply voltage and body bias architecture. *IEEE Journal of Solid-State Circuits* 37(11): 1545-1554, November.
4. Grochowski, E., D. Ayers, and V. Tiwari. 2002. Microarchitectural simulation and control of di/dt-induced power supply voltage variation. *Proceedings of the Eighth International Symposium on High-Performance Computer Architecture*.
5. Zhao, S., K. Roy, and C.-K. Koh. 2002. Power supply noise aware floorplanningand decoupling capacitance placement. *Proceedings of the 2002 ASPDAC/VLSI Design Conference*, January, p. 489.
6. Mohamood, F., M. B. Healy, S. K. Lim, and H.-H. S. Lee. 2006. A floorplan-aware dynamic inductive noise controller for reliable processor design. *Proceedings of the 39th Annual IEEE/ACM International Symposium on Microarchitecture*, December, p. 3-14.
7. Wong, E., J. Minz, and S. K. Lim. 2006. Decoupling capacitor planning and sizing for noise and leakage reduction. *Proceedings of the IEEE International Conference on Computer-Aided Design*.
8. Scott, D. Technology challenges of adaptive techniques, private communication.

第 9 章 集成电路与系统中的电源完整性管理

前一章节我们讨论了减轻集成电路(IC)里电源完整性退化(PI degradation)的许多技术。通过改变集成电路制造工艺来减小互连电阻和电感,能收到很好的效果。这些改变包括增加金属互连层数、在芯片中引入铜及有规则的前端规划和版图设计。通过巧妙地加入去耦电容与放置功能模块一样,优化其放置的位置可以降低瞬态片上噪声。管理片上电源完整性(PI)的技术还包括平台(或板级)层面,比如在一个供电网络中各级和组成部分的阻抗匹配,以及根据工作环境对工作电压的调节(有时称为电压定位①)。封装级增强技术也很有用,比如使用大带宽或小环路电感,将大值电容安放在芯片电路旁边,以及芯片级的电路和结构技术。由于板级技术现已有较多的论述,如在参考文献[1]和[2]中,所以,我们在这一章只对集成电路 PI 管理方面的最新技术进行简单的讨论。

9.1 芯片级电源完整性管理

9.1.1 主要技术

微小尺寸的芯片级互连电阻对电流流动的阻碍效应明显。因此,片上电源完整性的研究首先关注电源路径电阻。此分析称为电阻压降 IR。在第 2 章和其他地方,我们已经看到,分析必须扩展到总电源完整性,检查在封装与系统层面的瞬态压降。我们必须考虑功率传输网络的所有部分的电感,以得到关于电源完整性降低的精确的信息,从而优化芯片的布局和资源利用(比如互连金属和片上去耦电容)。

1. 电阻

改善电源完整性的一个重要步骤是降低芯片级电源互连电阻。这降低了片上电阻压降,为电路的鲁棒性保持必要的电压裕度(或电压差)。通过在互连层使用更多的金属面积进行电源分布来降低芯片内的电阻。这占用了片上金属互连资源,因此必须与优化及成本因素分析结合起来考虑,如第 3 章和第 4 章所述。

2. 电感

在电源完整性退化中,电感在引起电压下冲中起到了重要作用,有时称为 $L \cdot di/dt$ 降落。在第 2 章中对此进行了讨论,并在公式(2-12)和式(2-13)中进行了量化。可以通过降低芯片中有效的环路电感,来确定电压下冲。在评估过程中,可采用先进的封装技术,如球栅阵列②,和低电感元件的表面贴装技术,以及多端电容,我们必须考虑片上电源路径。使用规则的版图设计技术很重要,比如,差分的低电感电源轨网格和电源路径。因为由电感产生的电压降落现

---

① 预测电源完整性效应,如下冲和过冲时,工作电压的转换,使它们的影响最小化。

② 球栅阵列封装是通过二维的焊球阵列为芯片提供低电感外部接触。

在是片上电源完整性退化的基本部分，芯片设计的早期优化必须也包括线宽、总线间距等的折中分析，如第4章所述。

3. 电容

如式(2-12)和式(2-13)所示，片上电容直接减小电压下冲。小心地放置芯片去耦电容，可以帮助保持芯片里所有区域所需的电源完整性。将金属氧化半导体场效应管(MOSFET)的栅极接到电源，源极、漏极和衬底接到地，可以高效地实现芯片电容。在纳米尺寸工艺中，这种方式将占用额外的芯片面积，同时会引起漏电损耗；所以，优化片上电容的使用和放置是很关键的。因此，前端物理设计优化是纳米芯片设计和电源完整性管理的关键之一。

可以使用变沟道长度MOSFET器件实现片上电容，其值还依赖于器件的ESR、所需的频率响应以及面积的使用情况。沟道长度设计[3]将不会在这里进行详细地阐述，9.1.2节对此给出了经验性的论述。也可以通过金属边缘(metal-fringe)或金属—绝缘体—金属(MIM)结构获得片上电容。这样制作的电容不够精确，单位面积电容值比较小，但是它制作在金属层上，不占用硅面积。片上金属电容有较小的ESR和高带宽。例如，3D芯片堆(Chip stacking)和穿通—硅—通孔(Through-silicon-via，TSV)等制造技术可以将优化的大电容硅制作在芯片上。第10章将简要地讨论TSV技术。9.1.3节论述了使用新的压变电容来增强电源完整性。

9.1.2 片上噪声测量和建模

片上去耦电容减小动态电源波动。然而，在先进工艺下，过多的MOS去耦电容将导致严重的栅漏电或额外的制造成本。虽然大量的电源线可以降低电源噪声，但线资源是有限的，并且过多的电源线会使信号走线变得困难。现在已经有一些研究用仿真来优化电源分布网络[5]~[7]。然而，这些电容的插入和线优化方法必须依据他们抑制噪声的效率在硅上进行验证。最近有人提出了电源噪声获知的时序分析[8]，但是它需要噪声波形，并且仿真和测量之间的相关性还需要证实。作为未来的一个技术发展趋势，文献[9]指出我们所面临的挑战是验证EDA工具的完整性，不仅要用小的测试芯片，而且也要用具有片上监测器的实际的大的SoC进行验证。为此，需要一个可以嵌入在DUT① 中的小的测量电路来估算芯片中的噪声分布。简单的电路和版图设计使得探测感兴趣的点更容易。大部分现存的测量电路[10~12]使用模拟电路技术，并需要专用的模拟电源和偏置线。随之而来的布线及面积成本和布局一样，限制了可集成在DUT中的测量电路的数量。一个简易实现的环形振荡测量电路成功地观测了平均供电电压和依赖于平均供电电压的延迟[13]，但是不能观测动态噪声波形。例如，有限的信息不能用来估计去耦电容的效果。最近，有人提出用全数字的动态噪声波形测量电路[14]。此电路有如下的特点：

- 仅由数字标准单元构成；
- 不需要专用的模拟电源和基准电压；
- 电路面积小；
- 在任意的外部时钟下即可工作。

关注去耦电容的整体结构与沟道栅长：图9-1所示的数字宏模型单元用来得出片上动态电源噪声的测量结果。此图给出了用来捕获噪声波形的测量电路[14]的结构。此宏模型包括

---

① 被测器件(Device under test)。

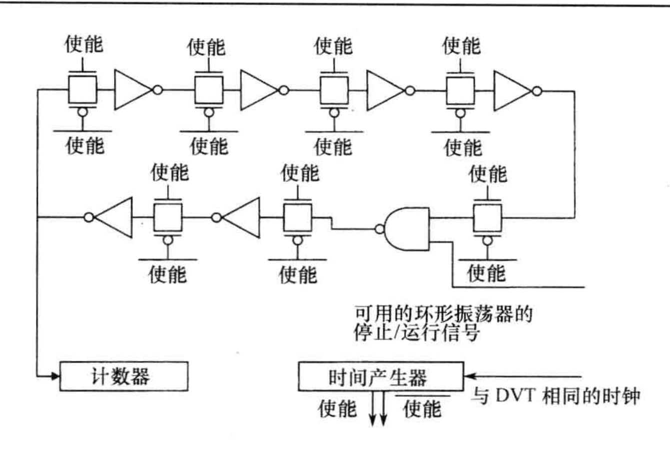


图 9-1　波形采样数字宏模型单元[14]

一个由反相器和传输门构成的环形振荡器;传输门用来停止环形振荡器的工作。图 9-2 说明了宏模型的工作。没有传输门的普通的环形振荡器连续工作,在特定时间不能观察到供电电压。然而,图 9-1 中的宏模型有这样的能力:它可以仅在一个感兴趣的时间段工作,并且在其他时间段保持其状态。当环形振荡器的周期计数变化时,此宏模型采样并输出供电电压的变化。该电路在相同的时间段重复地采样供电电压,并通过存储在计数器里的周期计数来计算电压。扫描定时采样,重复上述种工作,最后就形成了波形。

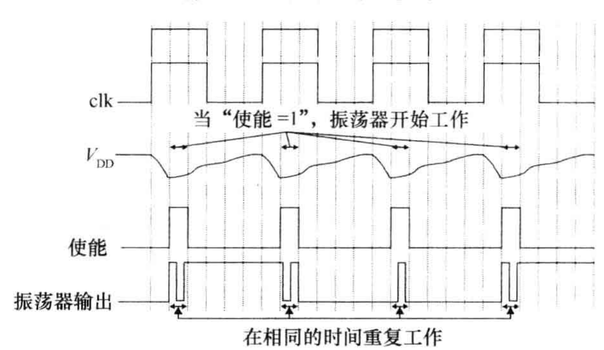


图 9-2　波形采样宏模型的工作波形[14]　©2009IEEE

1. 片上去耦电容的沟道长度(DECAP)

现在讨论关注沟道长度[14]的去耦电容的效果。表 9-1 列出了许多 TEGs(Test element gronps)①,所有都在 90nm 互补金属—氧化半导体(CMOS)工艺下制造。NAND 单元噪声产生器和去耦电容散布在每个 TEG 中。改变去耦电容器件的沟道长度,而面积和总电容保持不变。

表 9-1　TEGs 的 DUT 结构配置

TEG	DECAP 沟道长度	备　注
A	—	无 DECAP
B1	0. 1μm	DECAP 电容与 TEGC 相同
B2	0. 1μm	DECAP 面积与 TEGC 相同

① 测试元素组。

续表

TEG	DECAP 沟道长度	备　注
C	1μm	86.6pF(与噪声源面积相同)
D1	5.98μm	DECAP 电容与 TEGC 相同
D2	5.98μm	DECAP 面积与 TEGC 相同

TEG A 被用来阐述去耦电容降低噪声的作用。测得的 TEG A 的峰值电压降是 70mV，大于 TEG C 的峰值压降，后者用了 86.6pF 的去耦电容，如图 9-3 所示。

图 9-4 比较了 TEG B1(L=0.1μm)、TEG C(L=1μm)和 TEG D1(5.98μm)中的噪声。图 9-4 中的 Y 轴显示了 V_{DD}和 V_{SS}的电压差。三个 TEGs 中，去耦电容的总电容值几乎相等。TEG D1 的峰值电压降是 20mV，大于其他 TEGs 的峰值压降，这说明较大的沟道长度降低了去耦电容的 RC 时间常数。20mV 的增加是比较显著的，因为将所有的去耦电容移除仅会导致 70mV 的电压升高。相反，尽管沟道长度不一样，TEG B1 和 C 的峰值压降几乎相同。因此，可以得出结论，1μm 的沟道长度使得 RC 时间常数对于噪声抑制足够小。

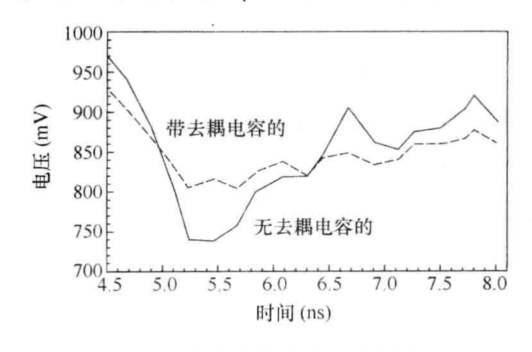


图 9-3　有去耦电容和无去耦电容的 TEGs 的测量结果[14]　©2009IEEE

图 9-4　0.1(B)/1(C)/5.98(D1)μm 下，TEGs 的测量结果，去耦电容的总电容几乎相等[14]　©2009IEEE

接下来，对于不同的沟道长度(如图 9-5 所示)DECAP 面积保持不变。通常，使用更长沟道的晶体管，可使更大的电容集成在同样的面积内。TEGs 的总电容的比率大约是 B2∶C∶D2=2∶6∶9。TEGs C 和 D2 产生的结果相似。虽然 TEG D2 的电容是 TEG C 的 1.5 倍多，它较差的 RC 时间常数会防止电压降的减小。TEG B2 的峰值压降更大，因为它的总电容较小。

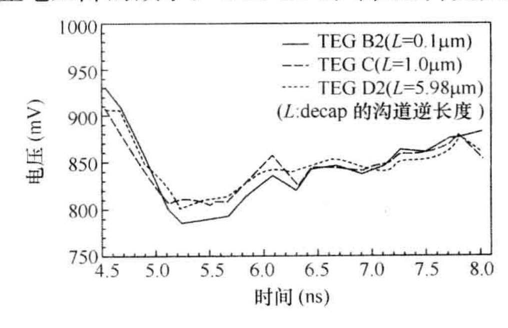


图 9-5　在 0.1(B2)/1(C)/5.98(D2)μm 沟道长度的去耦电容下，TEGs 的测量结果(电容的面积相等[14])　©2009IEEE

测量结果显示，合适的沟道长度的去耦电容可以提高面积效率，同时不削弱噪声抑制作用。相反，使用长沟道，去耦电容的性能恶化。这些片上噪声的测量验证了去耦电容关于沟道

长度的特性。

2. 阱结构对噪声的影响

近年来的工艺中，经常使用较为昂贵的三阱结构。这对于降低需要体偏置的高性能、低功耗的电路[15]，以及混合 SoC[16] 中的衬底噪声有益。图 9-6 和图 9-7 给出了双阱和三阱结构的截面图。在双阱结构中，衬底网络的电阻降低了 V_{SS} 网络(电源电流返回路径)的阻抗，因此降低了 V_{SS} 噪声。这种 V_{SS} 噪声抑制已在文献[17]～[19]的仿真及文献[19]的测量中报道了。在三阱结构中，通过深 n 阱将 p 衬底和 V_{SS} 隔离，消除它的噪声抑制效应。然而，在三阱结构中，有两种类型的阱结电容：p 阱和深 n 阱间的电容(C_{pwj})及深 n 阱和 p 衬底间的电容(C_{dnwj})。另外由深 n 阱关联的 pn 结电容可作为一个内在的去耦电容降低电源的噪声，尽管这还不太确定。虽然三阱结构衬底噪声的降低已被踊跃地论述过[16]，但是，它对地和电源噪声的影响还不是很清楚。

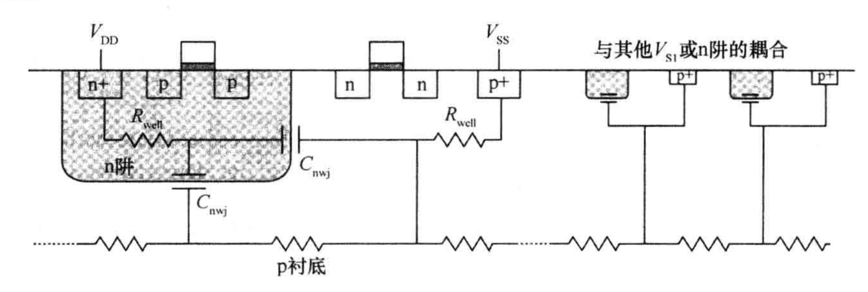


图 9-6　双阱结构中的横截面和寄生器件[20]　©2009IEEE

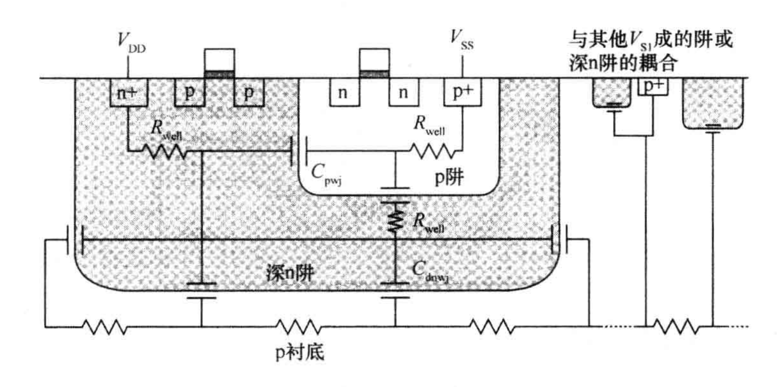


图 9-7　深 n 阱结构的寄生电容[20]　©2009IEEE

为估计阱结构对于电源噪声的影响，分别命名三种在 90nm CMOS 工艺上实现的 TEGs[20] 为 TEG_2WELL、TEG_2WELL_5X 和 TEG_3WELL。在 TEG_3WELL 中，DUT 通过深 n 阱隔离。在 TEG_2WELL 和 TEG_2WELL_5X 中，在 p 衬底上实现 DUT。TEG_2WELL_5X 上的 n 阱面积比 TEG_2WELL 上的大 5 倍。每一个 TEG 的 V_{DD} 和 V_{SS} 直接连结到封装引脚，而不和其他 TEGs 共用。当所有噪声源工作在 100MHz 时钟信号时，测量 TEG_2WELL、TEG_2WELL_5X 和 TEG_3WELL 的 V_{DD}、V_{SS} 和 V_{DD}-V_{SS} 的波形。图 9-8、图 9-9 和图 9-10显示了测量的波形。

图 9-8 显示 TEG_2WELL_5X 比 TEG_2WELL 有更小的压降，TEG_2WELL_5X 上增加的阱结电容导致了期望的结果。此结果说明，阱的结电容已经作为去耦电容工作。

接下来，我们检查衬底和深n阱对于V_{DD}和V_{SS}噪声的影响。在图9-9中，TEG_3WELL的V_{SS}噪声比TEG_2WELL的大，而在图9-8中，TEG_3WELL的V_{DD}噪声比TEG_2WELL的小。图9-10中V_{DD}-V_{SS}的波形显示，在TEG_3WELL中，给出的工作电路的电压降是最小的。这个结果意味着，在三阱结构中，V_{DD}噪声的降低得益于C_{dnwj}削弱了V_{SS}噪声的增加。这些测量结果清晰地显示出，深n阱结构比普通的p衬底结构能更有效地减小电源噪声。仿真与深n阱相关的寄生电容很重要，因为忽略这些影响会使我们过高地估计电源噪声。三阱结构可以抑制噪声，同时避免增加栅漏电和插入去耦电容带来的额外的面积。

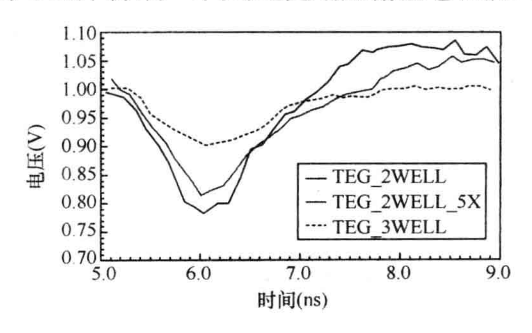


图9-8 测得的V_{DD}的波形。TEG_3WELL比TEG_2WELL中V_{DD}的噪声小

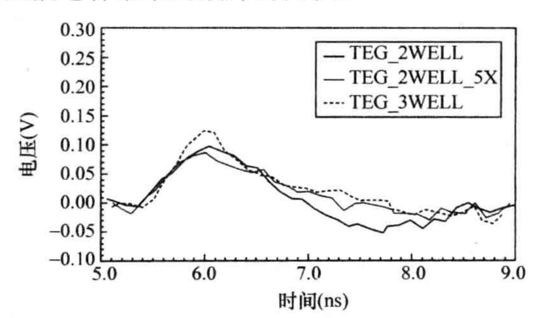


图9-9 测得的V_{SS}的波形。与V_{DD}(电源)噪声的降低相比，相对于TEG_2WELL，TEG_3WELL中增加的V_{SS}(地)噪声是比较小的

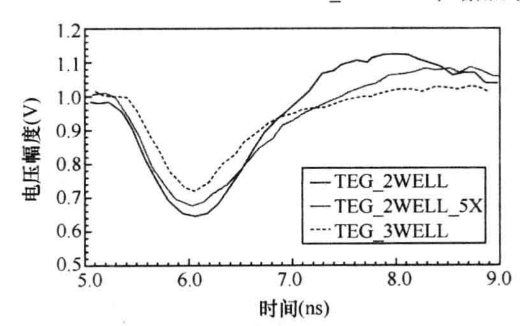


图9-10 测得的电压幅度(V_{DD}-V_{SS})的波形。TEG-3WELL中电源噪声被降低

9.1.3 依赖于电压的去耦电容

电源完整性管理的最普通的方法是增加片上去耦电容，特别对于电压下冲和其他动态电源的差分变化。吸收瞬态电源电流的负载电路的局部电容可以满足瞬态电荷需求。但是，因为电容是一个“被动反应”的电路元件，电压改变引起电荷变化，有$i(t)=C\cdot(\mathrm{d}v/\mathrm{d}t)$。但仅当一个电压下冲发生时，电容才通过提供电荷降低电压下冲。

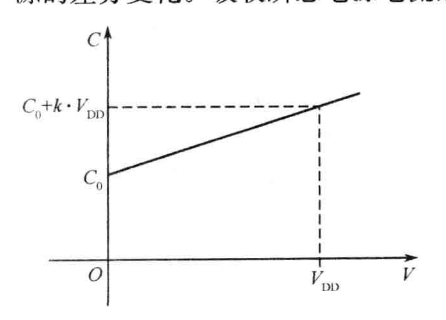


图9-11 依赖电压的电容的函数

现在考虑一个非线性电容，电容值随电容极板间电压的变化而变化，如图9-11所示。

由于电容与电压呈正系数k关系，电荷移除降低的电压小于电容独立于电压情况下降低的电压。对此可以理解如下：在给定工作电压V_{DD}下，存储的电荷是$C\cdot V_{DD}$。对于ΔQ的电荷移除，在电容独立于电压的情况，移除的电

荷直接反映到 V_{n1} 电压的改变。在依赖于电压的情况下，相同的 ΔQ 的移除是剩余电荷 $C_{n2} \cdot V_{n2}$。其中，V_{n2} 是最终的电压，C_{n2} 是这个电压下的一个更小的电容值。根据电荷守恒，两种情况下，剩余电荷必须相同，即 $C \cdot V_{n1} = C_{n2} \cdot V_{n2}$。因为 C_{n2} 小于 C，V_{n2} 大于 V_{n1}，所以有如下关系：

$$\frac{V_{n2}}{V_{n1}} = \frac{C}{C_{n2}} = \frac{(C_0 + k \cdot V_{DD})}{(C_0 + k \cdot V_{n2})} \tag{9-1}$$

特殊情况下，C_0 为 0，通过式(9-1)计算的 V_{n2} 是 V_{DD} 和 V_{n1} 的指数平均或几何平均①，并且估计的噪声或瞬态供电电压变化约是独立于电压或恒定电容情况下的值的一半。

如图 9-12 所示，工作在电荷积累—耗尽模式(图中的右半边)的 MOSFET 器件，电容随电压变化明显。因此，在给定的工作电压下，器件可以被设计和偏置以显示其电压依赖性。与工作在传统沟道反型模式的器件相比，工作在电荷积累—耗尽区的 MOSFET 器件也被证实有更低的栅氧漏电。因此，这种偏置器件得以运用，同时在 IC 中广泛使用去耦电容。②

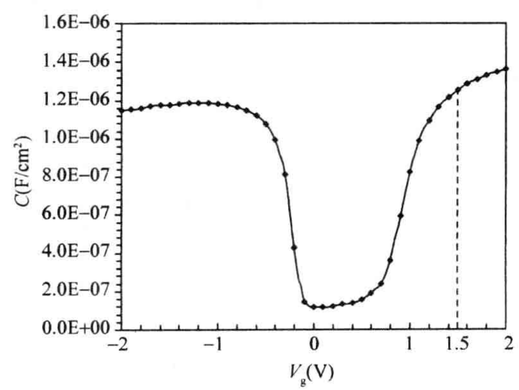


图 9-12　深亚微米制造工艺下，MOSFET 器件从反型区到积累区电容随栅电压的变化

1. 压变电容中的电荷和能量

如图 9-11 所示，电容中的电荷与能量的关系可以由下面简单的计算式中得出：

$$Q = \int dq = \int d(Cv) = \int (v \cdot dc + C \cdot dv) = \int v \cdot dC + \int C \cdot dv$$

因为 $C = C_0 + k \cdot V$，$dC = k \cdot dv$。因此，压变电容的电荷 Q 是：

$$Q = \int V \cdot k \cdot dv + \int (C_0 + kV) dv = \frac{1}{2}kV^2 + C_0 V + \frac{1}{2}kV^2 = C_0 V + kV^2 \tag{9-2}$$

假设当 $Q=0$ 时，$V=0$。$k=0$ 时，简化为 $Q=CV$；$C_0=0$ 时，$Q=kV^2=CV$。如前面公式所估计，压变电容里的电荷和独立于电压的电容的情况相同。当 $k>0$，有附加的电荷 kV^2 存储在压变电容里。

类似地，压变电容里的能量可以由下式得出，即对于增量电荷所做的增量功：

$$dw = V \cdot dq = V(C \cdot dv + V \cdot dc) = CV \cdot dv + V^2 \cdot dc$$

因为 $C = C_0 + k \cdot V$，$dc = k \cdot dv$。因此，压变电容的能量 W 是：

$$W = \int dw = \int (C_0 + kV) V dv + \int kV^2 dv = \frac{1}{2}C_0 V^2 + \frac{2}{3}kV^3 \tag{9-3}$$

---

① 几何平均 $m = \sqrt{n1 \cdot n2}$；$\log(m) = 1/2 \times [\log(n1) + \log(n2)]$。

② Intel 公司 130 节点以下的芯片被认为将会使用这样的去耦电容。

此外，对于 $k=0$，上述表达式简化成已知的存储在电容上的能量表达式，而一个正的 k 值引起能量的明显增加。有趣的是，对于 $C_0=0$，压变电容的能量的表达式的值为 $(2/3)\cdot CV^2$，或者说，是独立于电压的电容的 1/6 的能量。

然而，压变电容[27]对电源完整性的影响是一个复杂现象，很难构建成图 9-11 所示的模型或表达成式(9-1)的形式。如图 9-12 所示，压变器件电容改变的原因是半导体材料中的非理想的电荷分布引起的。当正电压系数器件的偏压增加时，器件的两个栅氧绝缘部分上的电荷间的有效距离比未偏置时的距离减小，导致器件的"导电极板"间的有效电学距离减小，因此增加了它的电容，因为电容可表示为 $C=\varepsilon\cdot A/d$。器件电气特性的变化做功，器件以这种本征电气特性变化的形式存储电荷和能量。平行板电容器的行为在宏观上，类似通过弹簧放在刚性表面的相互分开的极板一样。当极板上电荷变化量增加，极板相互吸引，它们间的距离减小，增加了有效电容。与此同时，因极板的运动而产生的弹簧位移存储能量，因此，为了实现分析方便，需要一个电气—物理模型。

前面的讨论强调了对于真实物理模型的需要，如上一章所述。对于依赖于电压的去耦电容，通过一个固定的分布式电容来近似有效电容值，可以为芯片布局提供一个较为精确的噪声估计。最常见的情况是，在任何一种新的工艺和器件偏置中，对于电路功能和噪声的硅验证没有替代方法。因此，片上去耦电容在给定变化电压下的效果必须在硅中验证，同时，器件行为特性和模型化是从如 9.1.2 节所示实验的结果中得出的。

9.1.4 优势和技术

1. 漏电

大量的漏电流对于片上电源完整性起着一个有趣的"镇定(ballasting)"效应。因为漏电流很强烈地而且非线性地依赖于工作电压，所以，电压的改变会引起漏电流呈指数倍地改变，这在芯片中会引起对供电电压的放大的负反馈效应。文献[21]给出了依赖于漏电的 IR 压降可以表示如下：

$$\Delta V=\frac{I_0 R}{1+gR},\quad I=I_0+g\cdot\Delta V \tag{9-4}$$

式中，ΔV 是电压相对于正常值的变化量；g 是一个非线性跨导乘数，它决定了由电压偏离正常值引起的总电流的变化。如果 ΔV 是负的，那么总电流会明显下降。因为漏电降低了 IR 压降，同时增加的动态电流补偿了 IR 压降的升高。式(9-4)显示，在存在漏电的情况下，IR 压降小些；这归因于电压对漏电强烈的依赖的负反馈效应。实际的现象相当复杂，这其中包括感应的和依赖于电压的动态电流效应，而这些效应并未在这个简单的表达式中体现出来。

在电源完整性的瞬态仿真中，精确地捕获这个现象依赖于对 FETs 流过的各种漏电流的电压依赖性的精确建模。同时，它需要对芯片里所有 FETs 及它们的活动进行仿真。概括地说，片上电路和器件行为的简化模型有助于研究非线性电容、片上负载电流的电压依赖性，以及其他更深入的关系。

2. 结构和电路技术

有许多方法消减片上电源完整性退化，最简单的方法是让功率和电流的变化率最小。降低功耗的技术有时会与电源完整性冲突，如第 8 章所述。然而，降低功耗通常有利于芯片电源

完整性。时钟域的精心管理也是有益的，例如，通过抖动时钟的转换，和通过“全局异步，局部同步”功能模块设计，可使片上时钟边缘 di/dt 浪涌最小化。一个完全异步的芯片，没有时钟，可以近似地认为没有 di/dt 浪涌相关的 PI 退化。电路技术，比如低功耗中的基于静态电流的低电压摆幅的差分逻辑设计可以进一步使 di/dt 最小化，并增强片上信号完整性。这样的技术会占用更多的互连和硅面积，因此必须小心使用。

使用片上开关电容组合的主动式 PI 增强技术已经作为芯片内能量复用的方法被研究。技术之一：在 Sun 微系统上进行了测试，当出现电压浪涌时电荷存储在电容中，这些电容堆叠在一起可提供一个较高的电压值，在电压下冲发生期间，此电压连接到电源网络，可以降低供电电压。此技术本质上是片上电荷泵通过额外电压过冲来增加泵起的电荷。这种技术是面积密集型的，没有被广泛地实现。在 Intel 公司，已经为安腾微处理器的设计提出了通过“惯性传递(freewheeling)”电流在芯片中流动(通过芯片的功率传输网络流进芯片的电流称为“惯性传递”，或者，当电路关断后，转移到单独的路径)使 di/dt 最小化变化的技术，但出于功率和能量消耗的考虑而被放弃。

9.2　系统级和封装级的 PI 管理

9.2.1　系统级的 PI 管理

第 5 章详细讨论了功率传输网络的阻抗以及它对电源噪声的影响和对减轻 PI 退化的管理。系统级功率传输网络设计的其他细节可以在参考文献[1]和[2]中找到。第 3 章讨论了匹配源和负载电阻的重要性，在直流电流流过的路径上为了最小化能量、功率和电压裕度损耗而减小电阻的重要性。本节，我们简要讨论功率传输路径阻抗和相关的话题，比如，元件品质因数与 PI 的关系。

1. 功率传输路径的阻抗

功率传输网络的一个必备的特性是，在可预测的负载电流的频谱范围内，有一个相对恒定的阻抗。这可以保证，由变化的负载电流所产生的电压噪声是可以预测的。通过保证在网络中有一个小的阻抗，它相应地限制了电压噪声的幅度。

功率源(如电压调节模块 VRMs)、传输路径和电容等是由电抗性和电阻性构成的元件。比如，通常用 VRM 作为包含电阻和电感的电压源的较为精确模型。VRM 输出的电容，由于电容值和物理尺寸很大，所以叫做“大块(bulk)”电容，它有寄生的电阻和电感，可以用串联的 R、L 和 C 电路来建模。板上传输功率的导电面同样考虑串联电阻、电感和并联电容。所有这些元件表现出依赖于特定的 R、L 和 C 配置的自谐振频率①，此频率确定电感的最大和最小值。例如，把这些元件串联起来会与容抗消除谐振时的感抗。在自谐振频率点，这会将阻抗降低到电阻的值。另一种情况，一个串联电阻电感，和一并联电容的电路，会在谐振频率产生一个阻抗峰值。在仿真一个其电流包含多种频率成分的网络时，当频率和频谱中阻抗峰值的位置对应时，会产生大幅度的电压噪声。因此，最小化网络阻抗很重要。尤其重要的是，最小化来自于功率传输网络中元件间交互的阻抗峰值，因为这些会随元件及寄生大小的改变而明显变化。

---

① 忽略电阻 R，谐振频率可表示为 $1/(2\pi\sqrt{LC})$。

2. 阻抗匹配

考虑 VRM 在其输出端带有一大电容的简单情况。假定 VRM 的模型中有输出电阻 R_V 和电感 L_V。大电容由 R_B、L_B和 C_B描述。在对数—对数坐标系中画出 VRMs 的阻抗，可以看到在频率 ω_1处电阻 R_V的相对恒定的阻抗值。在这点，感性电抗开始占主要地位，图中阻抗线性地增加。另一方面，低频时，大电容阻抗开始变大，因为容抗反比于频率。随频率升高，容抗线性降低，直到它的阻抗达到它的串联电阻 R_B。这时，它保持此值，直到一个高频点，此时寄生电感 L_B开始占阻抗的主要部分，阻抗线性增加。① 此配置的有趣的地方是，VRM 和大电容相结合的阻抗曲线相当平坦。

按两个简单的步骤来完成：

(1) 通过匹配阻性部件，或者使 R_B等于 R_V；

(2) 通过确保如模型所述的那样，VRM 的阻抗渐增的频率点与大电容趋向平稳的频率大致相同——换句话说，通过使两个互补的瞬态响应时间常数 L_V/R_V和 $R_B \cdot C_B$匹配。在较高的频率，大电容感性寄生开始占主要地位，可以在功率传输网络中引入中频电容，类似地通过它的容抗的平稳来补偿增大的阻抗。片上去耦帮助降低高频下的功率传输阻抗。在从直流 DC 到最大所需频率，这种简单的设计程序为功率传输网络提供并保持一个相对平坦的阻抗值。正如第 3 章所述的最大功率传输，在功率传输网络中，通过“源”和“负载”的匹配来保证 PI。第 5 章描述了一个满足所需的阻抗目标的从 VRM 到芯片的功率传输网络的设计流程。注意，这样的系统设计使用集总元件和芯片模型，然而，这是一个好的设计的起点，即使存在一些局限性。

3. 谐振和 ESR

功率传输网络各级的谐振频率导致谐振和电压降落，如第 2 章所述。在简单的功率传输网络设计中，通过在振荡路径上增加电阻来限制谐振。例如，增加 bulk 电容的 ESR 电阻 R_B，可以有效地增加 VRM 电感和 bulk 电容的谐振损耗，这会导致电容的品质因数降低，而这通常是不需要的，因为电容的 ESR 与瞬态电流相串联，此电流为负载的即时需求提供电荷。会造成明显的电压降和能量损耗。

功率传输网络很少像上面所说的那么简单。基板电源层能像驻波一样谐振②，这在参考文献[1]中进行了广泛的讨论。根据去耦电容的特性和布局，这些谐振会有很大变化，其中平面的电源路径阻抗模型会变得越来越复杂，对于空间的考虑也变得很重要。这同样适用于高性能的超大规模(ULSI)器件，如图 9-13 所示。此图类似于图 2-6，显示了一个安装在封装衬底上的微处理器，内部有电源分布栅格和平板。中高频电容安装在 ULSI 元件相对的位置，或者在它的“裸芯-阴影(die-shadow)”中。

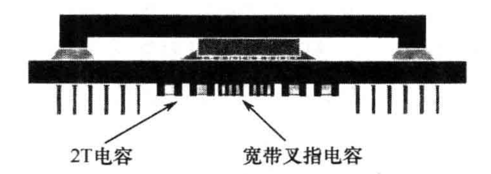


图 9-13 高能性 ULSI 器件的电容装配与封装结构

① 第 5 章第 5.3 节描述了阻抗随频率的特性图。

② 通过来自敞开的(没终止的)平板边缘的波反射，谐振被增强。

9.2.2 封装上安装的电容

封装上安装的电容是典型的最接近 ULSI 芯片的高值电容，因此对于高的 PI 很重要。有很多类型的电容可以在封装级集成，比如，二端(2T)芯片电容、多端交叉芯片(IDC)电容[22]、阵列电容和嵌入式电容。最常用的是 2T 和 IDC 电容，成本低，电容值大，等效串联电感和电阻小。这些电容尺寸可以很小，通常用数字(如 0805、0603、0402 和 01005)表示其封装尺寸。例如，0805 电容的最大横截面大小是 80mils × 50mils，或近似为最大横截面为 2mm × 1.25mm。01005 电容是最小的，横截面仅为 0.25mm×0.125mm。类似地，IDC 电容可以通过物理尺寸分类，但不会像 2T 电容那么小，因为它有多个引脚端。有的有 8 个端。大量的分散端(每个交替的端属于电容的一个极板)提供给相邻端间的小电流环，并相应地减小了环路电感[23]。

1. 低电感电容

IDCs 表现出比 2T 电容小很多的寄生电感，比 PCB 上的钽电容或电解电容明显要好。小寄生电感和低 ESR 为更高频的应用提供了有效的电容功能。因此，IDCs 通常安装在芯片底部，如图 9-12 所示，以满足 ULSI 芯片的瞬态电荷需要。目前发现，如在参考文献[21]中所描述的那样，在一些工业试验中，在芯片底部的高带宽电容有时比片上集成的电容更有效。这就很容易理解为什么在考虑电容的分层结构时，宁肯用分布参数模型代替集总参数模型作为电容的模型。因此，接近封装衬底的 IDC 电容的各层和芯片被厚衬底分离。这些层提供完整的 IDC 电容模型的带有部分寄生电感的电容。它们有效地满足了 ULSI 芯片对于电荷的需求，这种电容的间距通常充分地小于另外一个区域的片上电容的所需电荷的电路的距离。类似地，当安装在芯片底部时，阵列电容电感很小。做在封装(或板)衬底各层中的嵌入式电容①电感也很小，同时在高频时最小化了阻抗峰值[1]。

有趣的是，安装在封装里的电容因为它们接近大功率 ULSI 元件，同时，大纹波的电流流过它们，会产生温升。芯片底部的封装电容缺乏冷却措施，因此这些电容的 ESR 应该保持很小，保证内部的能量损耗最小化。

9.2.3 有源封装和有源噪声调节

在 9.1.3 节对片上去耦电容的限制，特别是它的电抗性，进行了简单讨论，参考文献[21]给出了较为详细的论述(如第 2 章和第 3 章所述)。当芯片集成多于十亿晶体管时，每秒工作几十亿个周期，片上噪声尤其是电压降落，受供电电压的影响而幅度增加。栅和结漏电的增加使得片上去耦电容在功耗和面积的成本上更加昂贵(如第 2 章所述)。当工作供电电流增加，更大的电荷存储变得很有必要。随工作电压按比例降低，所需的电容数量也相应增加。从平面的、片上集成的角度来说，这变成了一个挑战；从 PI 的角度来说，芯片封装可以集成作为物理和电气上最靠近的元件，如电容这样的器件，在纳米芯片中它变得更有意义，从传统的被动功能转换成了主动的和芯片共生的关系。

一般来说，有源封装是为了帮助芯片工作所增加的有源器件部分的芯片封装。例如，在

---

① 封装衬底通常有一个为了机械强度的厚"核"，这会在通过核需要转换的镀金孔连接里产生明显的电感。在安装有 ULSI 元件核的一边，封装衬底的内建层里的嵌入电容层可以消除那些 PTH 寄生电感。

图 9-14中,在封装电容和芯片间增加一有源噪声调节器(ANR)器件,进行 PI 管理[24][25]。在功率管、采样和控制逻辑里引入有源元件,可以明显地改变如前所述的无源电容的功能。

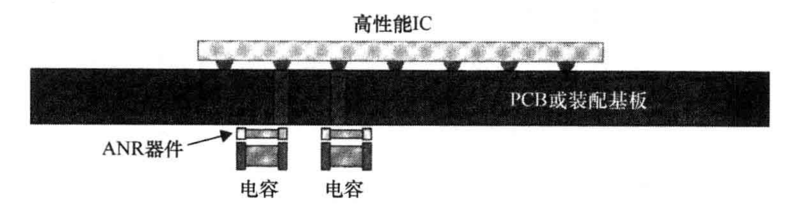


图 9-14　有源封装结构里的有源噪声调节器和电容

1. 电荷和能量倍增

电容存储的电荷正比于与它们相接的工作电压。通过在存储的电荷和负载间引入有源控制电路,在两者之间形成了隔离。因此,在一个充分高的电压下,电荷可以存储在相同的电容里,同时,可以保持满足负载需求的电荷的流动。例如,考虑 1V 工作电压的微处理器,有一 1μF 的电容在其封装衬底,如图 9-14 所示,存储在无源元件里的电荷是 1μC。当在此电容和微处理器电源网格间插入有源噪声调节器时,基于电压容差,比如 5V,可以在电容上存储电荷。这会使存储在电容上的电荷增加 5 倍,而变到 5μC。换言之,同样的电容,在有源封装结构里的相当于在无源封装结构里的电容的 5 倍,是直接安装的相同容值电容存储能量的 25 倍。

2. 噪声最小化的大量电荷流动

无源电容提供的电荷正比于它们的容值和两端的电压的变化率。然而,受有源电路控制的电容可以提供活跃的电荷流动,电荷可以很快地增加,并且可以提供相当大量的电荷。使用很高的电压对电荷存储和有源栅控电荷流动更有利。检测到事件指令就启动有源电路中来自电容的电荷流动。在这个阶段,较高的电荷存储电势,比如 5V,驱使电荷流动快速升高并通过寄生电感,此电感是电容结构和电荷流动路径的一个主要组成部分。像无源元件结构一样,电荷流动不受负载元件电源网格的电压变化率的控制,而它受试图最小化噪声的有源电路的控制。结合相当高的电荷存储势,这样的结构保证了大量的电荷被快速用来最小化负载噪声。

3. 高带宽局部调节

对于低电压、大功率 ULSI 元件,关注的焦点是供电电流随尺寸缩小而增加。较高的供电电流增加能量消耗,同时使连接芯片和电源的单元变热。在降低系统成本和增加性能的约束下,很难实现系统效率的最大化。通过局部或点对负载的调节,或通过安装在 ULSI 元件封装上的高效开关调节器的分布阵列可以应对此挑战。因为封装衬底上的空间很小,这些调节器需要工作在几十兆赫兹的较高工作频率,来使电感尺寸最小化。这就产生了另一个优点——电压调节和环路控制的较大的带宽。反过来,这使得负载动态需要的电压和传输功率可以快速改变。图 9-13 中所示的元件组装结构可以很方便实现局部电压调节。

图 9-15 的电路图给出了一个集总配电系统(PDN)的仿真模型,可以用来研究 ULSI 元件中的 ANR 实现的优点。PDN 的最前端是一个连接到大电容"OSCONN"的理想电压源(在实际的设计中,通常用 VRM 模型代替),在仿真环境中,可以通过变量 n_osc 改变电容数目,其

中使用的电容包括“MLCC”、IDC 和 2T 电容。芯片电容由一个电容和一个电阻等效，它们的大小由响应时间常数及用于芯片电流消耗的电流源确定。图 9-16 显示了带有 ANR 元件模型的相同的 PDN。

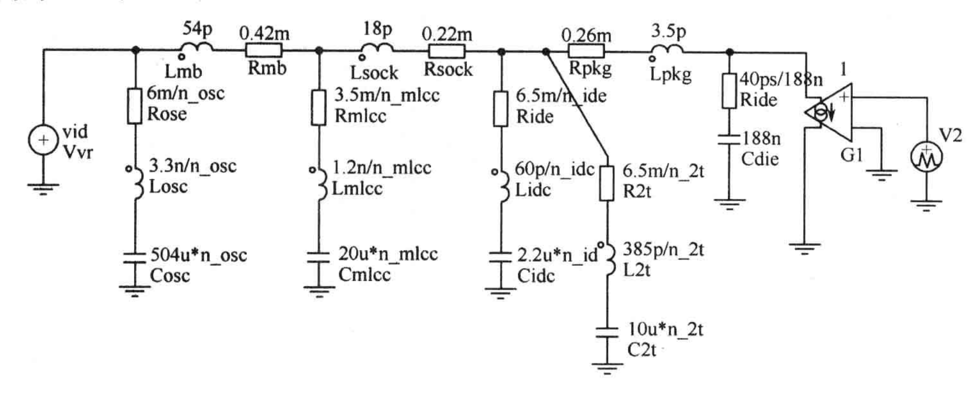


图 9-15　ULSI 元件的集总参数供电系统仿真模型

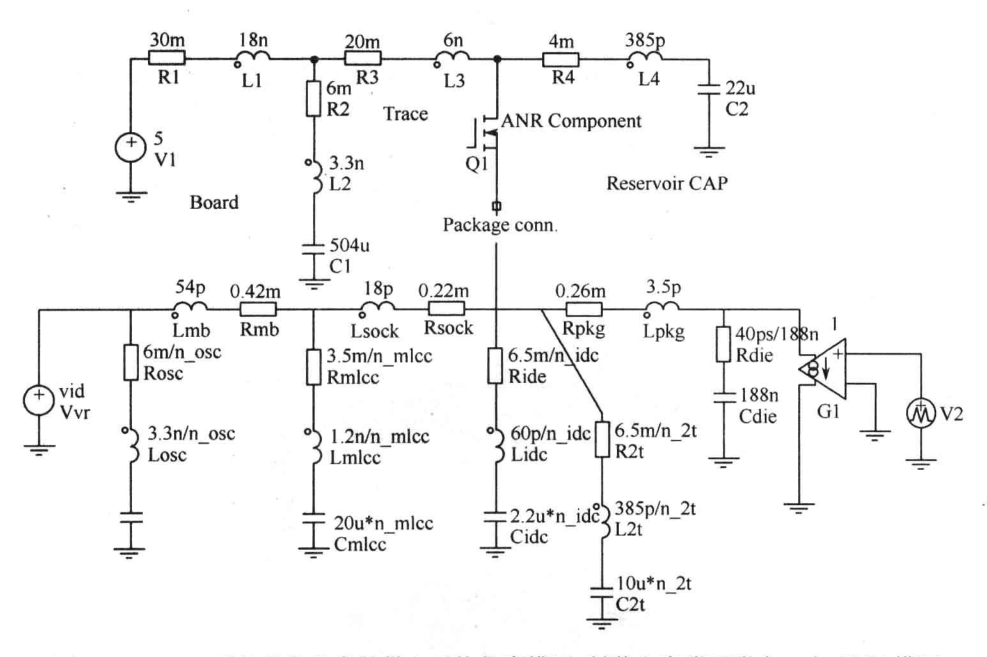


图 9-16　ULSI 元件的集总参数供电系统仿真模型，封装电容附近附有一个 ANR 模型

4. 使用 ANR 的 PI 增强

实际上，ANR 是将另一个具有更高电荷和能量容量的电容并联到 ULSI 元件的二维芯片＋封装的供电系统的特定位置。ANR 影响的理论分析比较复杂，已经超出了这里讨论的范围；仿真被用来证明主动干预在 PI 中的优势。微处理器的集总电源传输模型上的瞬态仿真显示了有源封装的优点，如图 9-17 所示。图中显示微处理器从睡眠激发到全速工作状态转换时，其供电系统的响应。左图代表通往处理器的功率传输路径的集总电路被激发进入阻尼振荡，电压与 1.2V 的正常电压有个变化的电压差。右图为 ANR 提供的瞬态电荷使此电压变化最小化，直到 ANR 进入停止状态，此时，电路的响应恢复到没有 ANR 的状态。注意，高频时的瞬态响应，或者集总 PDN 模型中的最快谐振级的电压降落，不在此 ANR 实现中陈述。

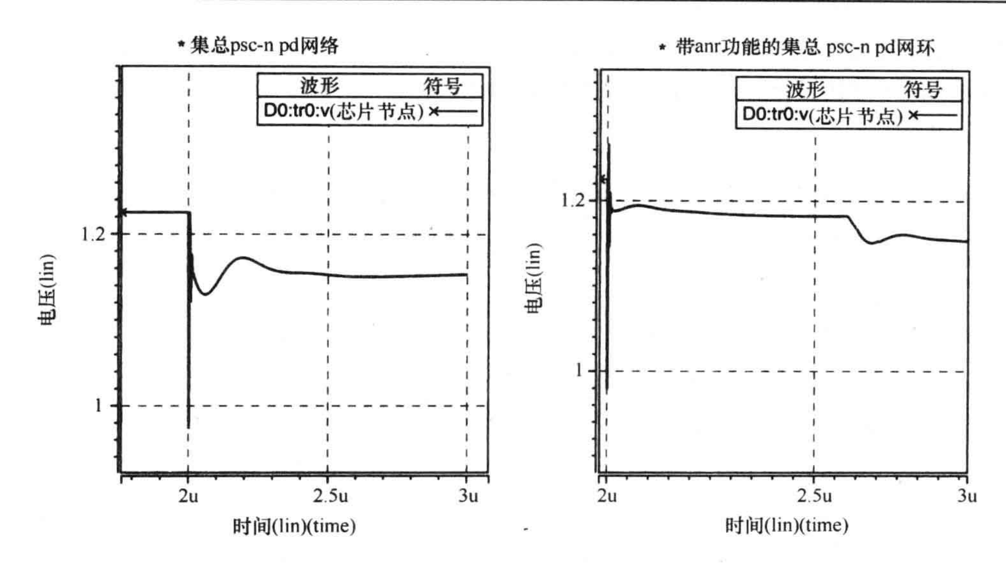


图 9-17 有 ANR 和无 ANR 的微处理器供电系统的集总电路的仿真

图 9-18 显示了芯片电源网格采用芯片 PDN 和它的分布式连续模型的仿真结果。此实验比较了芯片的两个有相同瞬态电流需要的负载模块位置的电压下冲行为。顶部左边的位置使用一 ANR 器件(参见图 9-14)。可以看到,在响应电路模块的电荷需要时,ANR 器件提供的电荷流增加了 ANR 位置的压差,因此,使电压下冲最小化到近似为没有 ANR 的位置的一半。

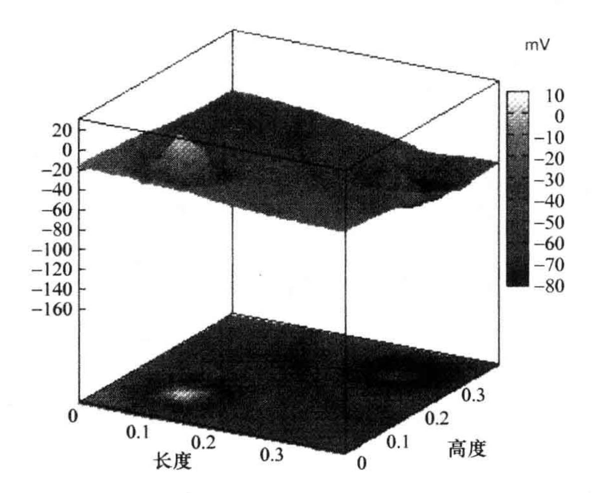


图 9-18 ①IC 电源网格上电压下冲的有源噪声调节控制的仿真结果。两个相同的负载作用于一个 4mm×4mm 的芯片电源网格,芯片顶部左边的负载与 ANR 交互(如图 9-14 所示),最小化了局部电压下冲

这种积极的干预实际上是对结阻抗的动态调制。通过最小化初始的(和任意连续的)电压下冲,ANR 有效地形成了网络上的阻尼振荡。由此可以进行高 Q(低阻)电源网络和供电网络设计,使得能量存储器件(如电容)可以更快地响应,同时降低串联电阻上的压降和能耗。

① 图片可参见 www. anasim. com/pi_book/images/ComLSI_ANR_Fig2. fig 和参考文献[21]。

注意，芯片和 ANR 器件间的 ANR 功能有固有的通信延迟，在控制环路中必须对此进行考虑。对于最优噪声抑制，在负载电路模块状态转换之前，处理器的 PI 管理控制电路必须提前一段(已定义的)时间激活 ANR 器件。当我们对晶片上的芯片根据性能分类时，这样的共生功能使得主要器件的测试变得困难，例如，在这种情况下的处于独立模式的微处理器。

9.2.4 封装 PI 管理小结

在通过芯片封装，最小化功率传输中的阻抗(电阻和网络，或电感-电容)对 PI 鲁棒性很关键。第 10 章将论述从小型化和低成本出发的各种封装结构，通过降低电阻和电感，同时有利于芯片的电源完整性和电气性能。随着工艺尺寸减小集成复杂度继续增加，封装对于保证芯片的性能越来越重要了。像系统板那样，芯片封装内对于元件放置布局的考虑变得很重要。

先进的 PI 管理技术，比如有源噪声调节将传统芯片封装从钝化衬底转化成与它们保护的集成电路共生工作的有源元件。将功率变换器件和负载元件较近地集成在一起的这种趋势，被认为可以保证较高的电源完整性，同时最小化供电线路的能量消耗。

9.3 练习题

9-1 考虑一压变电容 $C_1=k\cdot V$，k 是一个正常数，充电到一个正电压 V_1。被充电的电容通过一个电阻值为 R 的开关与另一个相同的没有电荷的电容 C_2 并联。写出 C_1、C_2 两并联电容最终电压的表达式。两电容并联后，电压降低了多少？如果电容是独立于电压的，电压降会是多少？

9-2 如 9.2.1 节所述，供电系统的 VRM 级(或者任何匹配的供电级)的阻抗匹配关系为 $R_V=R_B=R$，和 $L_V/R_V=R_B\cdot C_B$ 或 $R=\sqrt{L_V/C_B}$，由此为电抗关系定义了一个电阻。

由式(2-12)RLC 网络对于阶跃电流激励的响应，阶跃(相对于时间连续)电流负载应用于一个匹配的供电系统级，电阻压降和电抗电压下冲幅度的关系是什么？

9-3 与理想电压源串联的电阻表征最大电流输出能力(短路电流等于 V/R)，以及源的最大输出功率(不是指可以给负载提供的最大功率，这在第 3 章有所叙述)。供电系统的阻抗类似地决定它的最大功率输出能力吗？

阻抗可以设计成在所需的频率范围内为常量，供电系统的特征可以被它的阻抗完全表征吗？存储在供电系统的电荷或能量的数量在决定 PI 中起何作用？

9-4 在角频率 $\omega=2\pi f$ 下，元件或电路品质因数(Q)定义为它的电抗与电阻的比[1](能量存储与能量消耗的比，[26])，即

$$Q=\frac{\omega L-\dfrac{1}{\omega C}}{R}$$

这里约定容抗是负值。考虑一个电容，容值为 C，寄生电阻和寄生电感分别为 R 和 L，应用在特定阻抗的供电系统的去耦功能中。假定电容是过阻尼的(低品质因数，高阻)，阻抗在频率点 f_1 变成电阻：

$$f_1=\frac{1}{2\pi RC}$$

同时，电阻性保持到第二个频率点 f_2：

$f_2=\frac{R}{2\pi L}$，或更一般的，$f=\frac{1}{2\pi\tau}$，τ 是时间常数（RC 或 L/R）。

（a）在什么频率范围电容才能能效地去耦？

（b）在上述功能范围中使用的电容，其 Q 多大？

（c）电容的阻性阻抗（阻抗的平坦区域），帮助维持供电系统的“在不同频率下的恒定阻抗”，是否有助于保持高的 PI？

参考文献

[1] Swaminathan, M., and A. E. Engin. 2008. *Power integrity modeling and design for semiconductors and systems*. Prentice Hall Modern Semiconductor Design Series, Upper Saddle River, NJ: Pearson Education Inc.

[2] Novak, I. 2008. *Power distribution network design methodologies*. Chicago: International Engineering Consortium.

[3] Tsividis, Y. P. 1987. *Operation and modeling of the MOS transistor*. New York: McGraw-Hill.

[4] Zhao, M., R. Panda, S. Sundareswaran, S. Yan, and Y. Fu. 2006. A Fast on-chipdecoupling capacitance budgeting algorithm using macromodeling and linear programming. *Proceedings of the Design Automation Conference*, 217-222.

[5] Zhao, M., R. Panda, B. Reschke, Y. Fu, T. Mewett, S. Chandrasekaran, et al. 2007. On-chip decoupling capacitance and P/G wire co-optimization for dynamic noise. *Proceedings of the Design Automation Conference*, 162-167.

[6] Popovich, M., E. G. Friedman, R. M. Secareanu, and O. L. Hartin. 2007 Efficient placement of distributed on-chip decoupling capacitors in nanoscale ICs. *Proceedings of the International Conference on Computer-Aided Design*, 811-816.

[7] Enami, T., M. Hashimoto, and T. Sato. 2008. Decoupling capacitance allocation for timing with statistical noise model and timing analysis, *Proceedings of the International Conference on Computer-Aided Design*, 420-425.

[8] Enami, T., S. Ninomiya, and M. Hashimoto. 2009. Statistical timing analysis considering spatially and temporally correlated dynamic power supply noise. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 28(4):541-553, April.

[9] Nagata, M. 2007. On-chip measurements complementary to design flow for integrity in SoCs. *Proceedings of the Design Automation Conference*, 400-403.

[10] Inagaki, K., D. D. Antono, M. Takamiya, S. Kumashiro, and T. Sakurai. A 1-ps resolution on-chip sampling oscilloscope with 64:1 tunable sampling range based on ramp waveform division scheme. *Symposium on VLSI Circuits, Digest of Technical Papers*, 61-62.

[11] Ho, R., B. Amrutur, K. Mai, B. Wilburn, T. Mori, and M. Horowitz. 1998. Application of on-chip samplers for test and measurement of integrated circuits. *Symposium on VLSI Circuits, Digest of Technical Papers*, 138-139.

[12] Abramzon, V. A., E. Alon, B. Nezamfar, and M. Horowitz. 2005. Scalable circuits for supply noise measurement. *Proceedings of the European Solid-State Circuits Conference*, 463-466.

[13] Ogasahara, Y., T. Enami, M. Hashimoto, T. Sato, and T. Onoye. 2007. Validation of a full-chip simulation model for supply noise and delay dependence on average voltage drop with on-chip delay measurement. 2007. *IEEE Transactions on Circuits and Systems II: Express Briefs* 54(10): 868-872, October.

[14] Ogasahara, Y., M. Hashimoto, and T. Onoye. 2009. All digital ring-oscillator based macro for sensing dynamic supply noise waveform. *IEEE Journal of Solid-State Circuits* 44(6): 1745-1755, June.

[15] Tschanz, J. W., et al. 2002. Adaptive body bias for reducing impacts of die-to-die and within-die parameter variations on microprocessor frequency and leakage. *IEEE Journal of Solid-State Circuits* 37(11): 1396-1402, November.

[16] To, K. H., P. Welch, S. Bharatan, H. Lehning, T. L. Huynh, R. Thoma, et al. 2001. Comprehensive study of substrate noise isolation for mixed-signal circuits. *Proceedings of the International Electron Devices Meeting*, 22. 7. 1-22. 7. 4.

[17] Panda, R., S. Sundareswaran, and D. Blaauw. 2003. Impact of low-impedance substrate on power supply integrity, *IEEE Design and Test of Computers*, 16-22, June.

[18] Salman, E., E. G. Friedman, and R. M. Secareanu. 2006. Substrate and ground noise interactions in mixed-signal circuits. *Proceedings of the IEEE International SoC Conference*, 293-296.

[19] Nagata, M., T. Okumoto, and K. Taki. 2005. A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits. *IEEE Journal of Solid-State Circuits* 40(4): 813-819, April.

[20] Ogasahara, Y., M. Hashimoto, T. Kanamoto, and T. Onoye. 2008. Measurement of supply noise suppression by substrate and deep n-well in 90 nm process. *Asian Solid-State Circuits Conference*, 397-400.

[21] Bennett, D., and R. Nair. 2006. How to dynamically mitigate power supply noise and active noise regulation. Online articles, January, www. comlsi. com/anr2. htm.

[22] Smith, B. 2002. Inductance measurement for multi-terminal devices. *AVX Corporation Technical Information*, August.

[23] Galvagni, J. 2002. Low inductance capacitors for digital circuits. *AVX Corporation Technical Information*, August.

[24] Nair, R. 2007. Voltage droop suppressing active interposer. U. S. Patent no. 7291896, November.

[25] Nair, R. 2008. Voltage droop suppressing circuit. U. S. Patent no. 7378898, May.

[26] Wikipedia, The Free Encyclopedia. 2009. http://en. wikipedia. org/, various information pages.

[27] Nair, R., and V. K. De. 1999. *Device and method for controlling voltage variation*. U. S. Patent application no. 09/460,742, December 14, pub. no. 2003/0058022.

第10章 集成技术,发展趋势及挑战

Leo Mathew, Mario A. Bolanos, Raj Nair

现代的小型便携式电子设备集计算、通信和娱乐为一体。对个人计算机等大型系统而言,其对增加信息处理能力,可视化程度及存储能力方面的需求也是永无止境的。日益增加的运算性能促成了目前先进软件和旨在达到人脑信息处理能力及效率的硬件出现及发展[1]。比如,机器人和汽车系统,以不断提高的集成度及性能逐步改善其自动化程度和人机界面。电子元器件集成度的持续增长,以及电子技术与其他技术的不断集成,似乎成为一种永恒的发展趋势。与此同时,正如本书之前的章节所指出,芯片集成度已触及功耗壁垒,因此能源认知和能源效率俨然成为系统设计的关键。

由于晶体管的集成度的发展趋势符合人们的预测,并将继续按照这样的预测发展下去,这将使得设计挑战呈指数倍上升。因此探索可替换的集成向量显得相当重要,其中包括对新型晶体管、计算结构,以及封装和系统级集成的研究。其中一些内容并不在本书的讨论范围之内,本章主要研究一些集成向量和集成趋势,重点讨论它们在电源及电源完整性方面所发挥的作用。

10.1 芯片级集成

10.1.1 低功耗系统的器件结构

在近几十年里,平面互补金属氧化物半导体(CMOS)晶体管在经历多个技术节点时都遵循着按比例缩小的原则[2]。随着技术及材料的不断发展和进步,单个晶体管的面积和功耗已显著降低。平面金属氧化物半导体场效应晶体管 MOSFED 已经成为基本的器件结构。对该种结构的改变也许能使器件尺寸继续缩小下去。考虑到在纳米级工艺降低电源电压的难度以及芯片设计中存在的大量不确定性因素,缩小芯片面积仍然是通过平板工艺及刻蚀工艺的发展来实现的[3]。我们也将探索新的器件结构以实现芯片面积、电源电压及功耗的进一步缩小。

绝大多数有望代替传统平面 CMOS 结构的器件都需要有一个很薄的沟道区,这不仅可以使沟道更有效的被栅控制,而且可以减小在平面 CMOS 器件中固有的短沟道效应。超薄体(UTB)器件,如全耗尽 SOI(FDSOI)和双栅 MOSFET 结构,是有潜力使器件进一步缩小的结构。接下来的部分我们就将讨论双栅及多栅器件结构。

1. 双栅 MOSFET 结构

减薄沟道长度(FDSOI)和利用增加的栅极(双栅)进行沟道控制的结构是最有潜力实现器件尺寸持续缩小的两种器件结构。双栅器件的优势不仅限于能更好的控制短沟道效应,使现有电路取得更好的性能。如果控制薄沟道区域的栅能够被分开并进行独立的控制,那么大量

的新应用就会变得可行。复杂的电路能够被很简单的电路所取代，这些电路占用的面积更小，消耗的功耗更少，如图 10-1 所示。

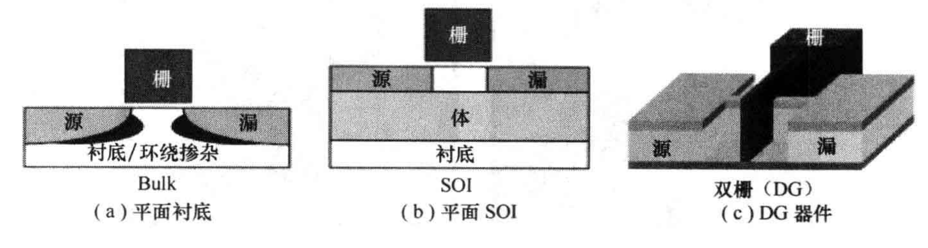


图 10-1　器件结构图解

最早的双栅器(Double gate)有一种被称作 DeltaFET 的纵向器件结构[4]。目前，多种工艺技术被用来在平面结构上制作双栅器件，比如，沟道底部的切割技术和晶圆键合技术[3]。这些平面结构通常会存在下述的某些问题：未对准、栅重叠，或是栅氧的完整性问题。文中所列出的纵向结构彼此间十分相似，都是使用一个被纵向硅沟道区包围的单栅电极，但是各种结构采用了不同的名字，如 DeltaFET[4]、FinFET[5]、OmegaFET[6]、Tri-Gate[7]，或简言之，平台隔离 SOI。UTB 器件中的一种称作 ITFET 的结构[8]也会在文中提及到，这种结构拥有平面结构和纵向结构各自的优势。

经过测试双栅和多栅晶体管后发现，在与平面 MOSFET 器件相同水平的静态电流或漏电流的情况下，会有大得多的 I_{DSAT}([7],[9])。换句话说，由它构成与平面器件相同性能的电路时，其漏电流会小很多。由于硅鳍的纵向尺寸对晶体管宽度有很大影响(每个沟道的尺寸是 2 倍鳍高＋鳍宽)，FinFET 器件每单位面积的电流驱动能力比平面 MOSFET 大很多，且比平面结构的耐高压能力强，因此它更适合于大功率应用。该结构下制造出的具有大电流驱动能力的大线宽器件，如图 10-2 所示。

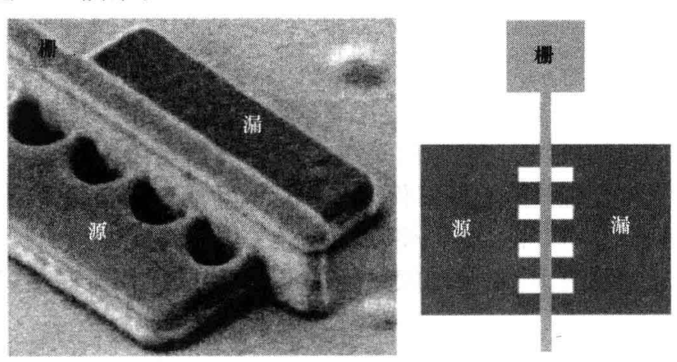
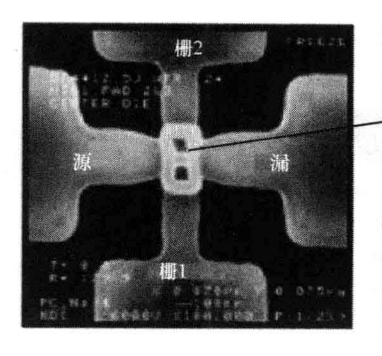


图 10-2　多 Fin 共享源漏端的 FinFET 横截面图，以及生产该种大线宽器件所需的典型版图(未缩小)

2. MIGFET 结构

虽然 FinFET 具有很好的短沟道控制能力和器件特性，但我们有时希望薄衬底两端的栅能够各自独立，从而对不同的衬底区域进行不同的偏置。MIGFET(多个独立栅 FET)器件使得这种独立偏置构想变得可行。如图 10-3 所示，在这种器件中硅鳍以上的硅栅区域被去除。



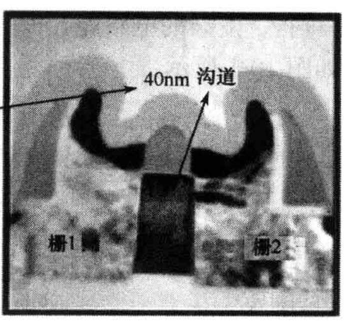


图 10-3 MIGFET 结构：两个栅独立地控制相同的沟道区域
图片使用已得到 L. Mathew 等人的授权，多个独立栅场效应晶体管（MIGFET），
多-Fin 射频混频器结构，三个独立栅的工作及温度特性，2005 IEEE

10.1.2 受益于多个独立栅 FinFET 结构的应用：SRAM

静态随机存取存储器或称 SRAM 是在现代数字系统中广泛应用的电路单元之一。微处理器更是集成了大量的 SRAM，其所占的面积是整个芯片面积的一半以上。因此，SRAM 的功耗也占了整个处理器静态及动态功耗相当大的一部分。应用于硅衬底 MOSFET 的自适应衬底偏置技术可以降低功耗、改善 SNR①，但是该技术在应对按比例缩小时结果并不理想。倒是薄衬底 MOSFET 中的背栅偏置技术在晶体管按比例缩小时，仍然能够有效的动态控制阈值电压 V_t。强背栅偏置效应可以用来优化基于 FinFET 的 SRAM 性能，通过动态地调整有效单元 β一比率②使其 SNR 增大。与使用平面 MOSFET 结构的 SRAM[10] 相比，它提供了更高的 SNR，或者说，在取得相同 SNR 的情况下，它所需要的工作电压更低。因此，多栅晶体管可以在保持所需性能要求的同时，仅以增加一定的面积为代价而大幅度地降低功耗。

低功耗模拟电路

尽管数字 CMOS 电路和运算方面的应用驱动着工艺技术的不断发展，但是通信方面的应用仍然需要大量的模拟模块，它们有的是与 CMOS 逻辑电路集成在一起，有的则是做成独立的产品。双独立栅器件具有单栅器件无法实现的功能。和在数字逻辑应用中一样，在模拟应用中，会因为采用了双栅结构而使基本的开关性能得到改善。比如，双栅晶体管的高输出电阻使得其总增益更大，在高性能混频器、放大器或压控振荡器（VCO）中有较好的应用。

10.1.3 器件结构总结

薄衬底双栅和多栅晶体管结构能使 CMOS 器件和集成电路尺寸继续按比例缩小，并进入深纳米技术时代。这种结构缓解了使用平面 CMOS 晶体管时所面临的部分挑战，并有助于加强超低电压和动态阈值电压调制等电源管理技术的实现。此外，多栅控制器件沟道技术的运用给器件和电路的设计增加了一个维度，可减少复杂数字电路和模拟电路中的晶体管数目。

---

① 信号噪声比，通常指 SNM，或者对于存储器来说指信号噪声裕度。

② 下拉电流和栅电流的比率，或者是在存储单元中下拉器件和穿通栅器件的强度比率。这个比率的典型值将大于 3 来保证在读操作中存储单元的稳定性。

这样就可以显著地降低集成电路(IC)功耗并解决相关的电源完整性方面的问题。

碳纳米管①(CNT)，碳元素的一种具有圆柱形纳米结构的同位素，是目前研究中用于新器件制造的一种先进材料和结构，CNT 同时具有金属和半导体材料的两种特性，理论上能承受的电流密度为 $4\times10^9 A/cm^2$，大约比铜高 3 个数量级。参考文献[11]中介绍了增益为 10，开启/截止电流比率高达 10^5 的晶体管，而且这种晶体管已经应用于某些逻辑电路中[11]。随着制造技术的发展，这种晶体管与其他诸如无结纳米线晶体管②等的出现和使用，使得晶体管尺寸的按比例缩小及电子集成度的增大在未来的 10 年里仍然可能得以持续。

10.2 封装级集成

在某些情况下，片上系统(SoC)将数字、模拟和射频(RF)模块做在同一块芯片上，这加速了芯片级的集成。从在封装级上看，系统级封装方案(SiP)与 SoC 同样重要。SiP 可能涉及若干芯片互相堆叠，它们通过焊线或者倒装技术互连，有时也会同时采用这两种互连方式。SiP 也可以是各个封装交替地相互堆叠，每个封装里堆叠若干芯片。如图 10-4 所示，SoC 和 SiP 的结构都在发展提高，同时用于目前最先进的电子产品中。在半导体领域提高集成度始终是降低成本最有力的驱动因素。

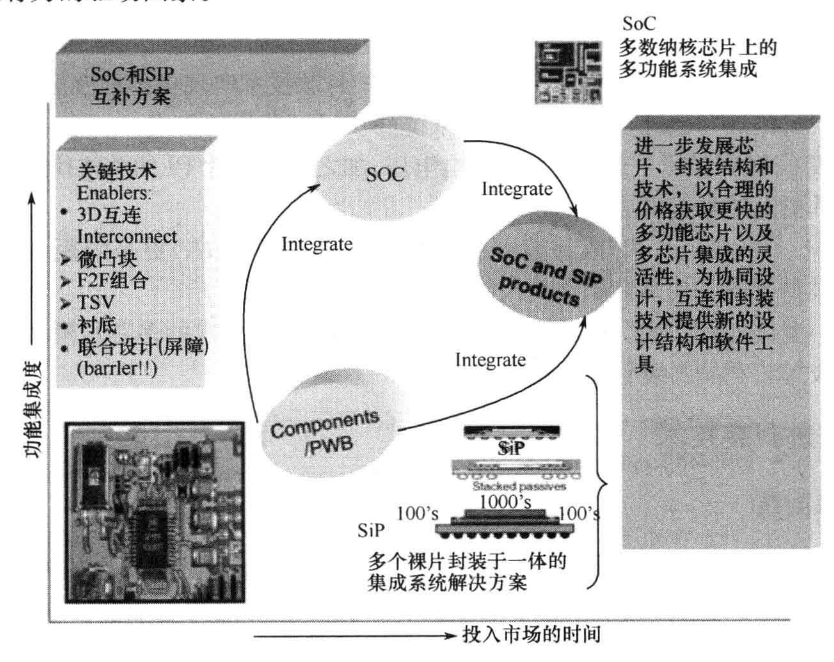


图 10-4 SoC 和 SiP：集成灵活性和微型化

消费类电子的持续发展，促使波形系数的不断降低并微型化，这也促使了新的封装技术的出现，例如图 10-5 所示的芯片尺寸封装(CSP)和晶圆级芯片尺寸封装(WL-CSP)。采用如硅晶通孔(TSV)这样的三维(3D)创新技术可以为互相堆叠的芯片提供另外一种可选的互连方

① 碳纳米管，或称 CNT，在以下网站中有详细介绍：http://en.wikipedia.org/wiki/Carbon.nanotube。

② 最近的发展在下述网站中有介绍：http://www.tyndall.ie/research/ultimate-silicon-devices/Research/fabrication.html。

式。然而,缺乏必要的自动化芯片封装辅助设计工具仍是当今业界颇为关注的一个问题。这也很可能成为阻碍未来发展混合 SoC 和 SiP 整体集成的潜在因素。

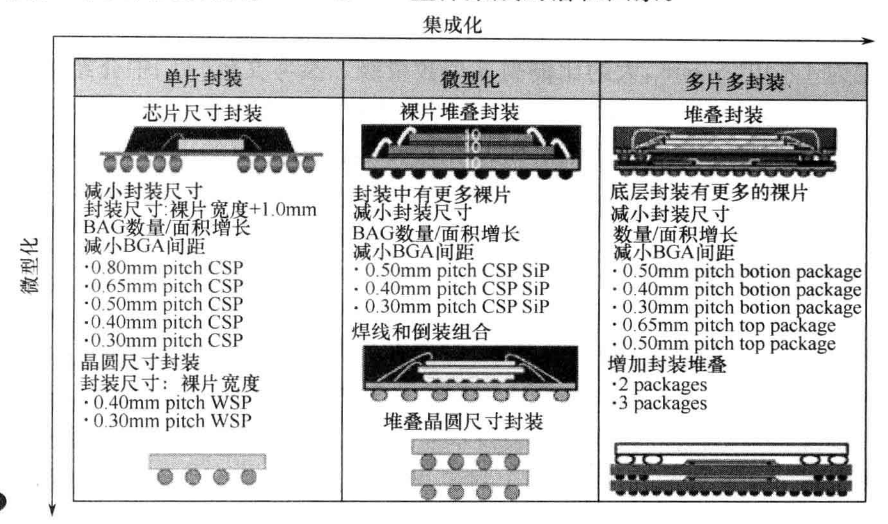


图 10-5　封装微型化和集成化发展

封装技术的发展方向

- 通过使用诸如 TSV 和堆叠封装(PoP)等三维封装技术实现更小的波形系数封装。
- 更高层的集成和系统功能,如微机电系统(MEMS)器件的集成。
- 纳米级 CMOS 技术中趋近 1V 的供电电压,加之对于芯片 PI 的关注持续增长,促使产生一种更短的互连方法。
- 在 CSP、多堆叠芯片和/或封装中实现球脚阵列封装(BGA)更小间距(<0.4mm);以 CSP 波型系数实现多针脚和高性能。
- 受微小型化、高集成度、高性能驱使的具有先进热管理要求的多芯片模块和封装。
- 晶圆级封装和晶圆级封装处理方案。

10.2.1　先进封装技术

1. 晶圆级封装

晶圆级封装是发展最快的新型封装技术之一。因为所有的封装及与之相关的工艺步骤都是在晶圆级进行的,所以,提供真正意义上的芯片尺寸的封装,这是它也能获取市场成功的一个重要原因。正因为与系统板之间互连很短,它还能支持芯片的高性能和高工作频率。晶圆级的封装与传统的封装相比同时还具有成本优势。

如图 10-6(a)所示,传统的封装工艺从一个已在其上做好芯片的晶圆开始。晶圆接着被切割成独立的芯片,这个过程称作“切片”,然后对得到的“裸片”通过多种传统工艺步骤进行封装,包括芯片到引脚的电气连接制作工艺,以嵌入模具化合物密封,以及在高功耗应用中以热方式将其连接到热传导金属端。另一种方法如图 10-6(b)所示,各种不同的封装步骤(如从外部衬垫向内部芯片进行连接,以及为保护芯片不受外界干扰而进行铸模,密封等)均在晶圆级完成。而后晶圆被分割为单独封装的芯片。晶圆级封装工艺得益于过去 10 年间半导体集成制造技术高效率的发展。

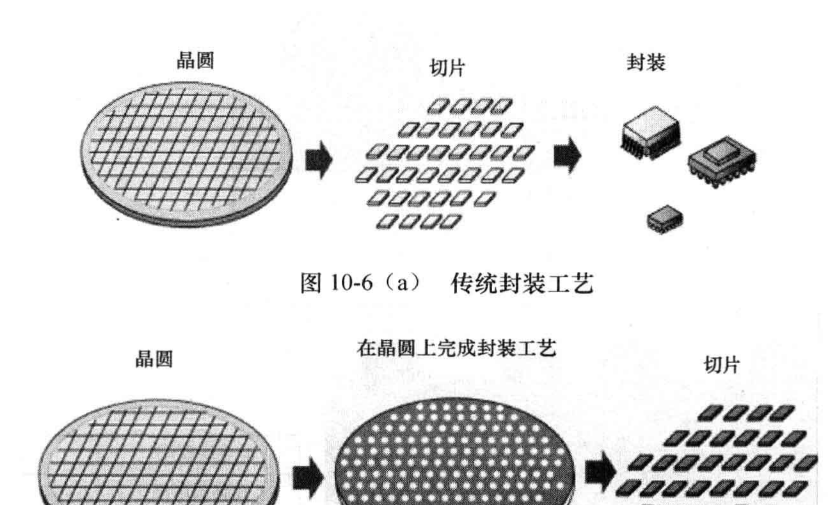


图 10-6（a）　传统封装工艺

图 10-6（b）　晶圆级封装工艺

电流扇入型晶圆级封装多应用于引脚数较少的小尺寸芯片中，它虽然没有再分布层，但仍然需要解决由此产生的限制性问题。由于这些封装大部分的过程都是在晶圆级完成的，这样就可以使用传统的晶圆级工艺技术，如铜再分布，钝化层以及生成 TSV，进行更复杂的晶圆级封装。这包括晶圆级封装形式中完整的 SiP，多芯片的相互堆叠，以及无源组件和 MEMS 的集成。

晶圆级封装的另一个重要趋势是扇出方式的发展（如图 10-7 和图 10-8 所示）。英飞凌（Infineon）公司和飞思卡尔（Freescale）公司分别在 2006 年 5 月和 7 月发布并介绍了第一个扇出晶圆级封装技术，以及塑造可重构晶圆技术和再分布封装技术（RCP，如图 10-9 所示）[12][13]。这种扇出晶圆级封装技术使用了在圆盘或晶圆上被重构的芯片。首先放置裸片，接着建立互连层。互连层使用的是一种增强型的电介质材料以及铜互连线，没有衬底①，也没有对芯片焊线的要求。这种增强型互连以及金属化是在一个嵌入式的裸片上进行，所采用的是标准的晶圆级工艺，如光刻和电镀。最后，芯片被嵌入或压缩进一种环氧树脂模型混合物完成封装；扇出封装结构比芯片的尺寸略大。

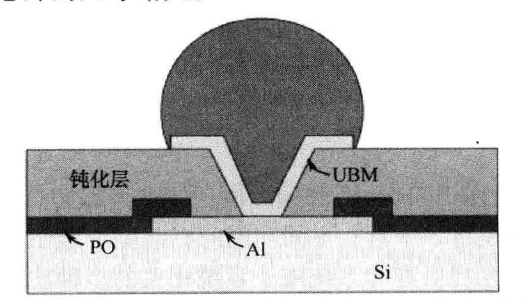


图 10-7　晶圆级封装-无再分布-直接通过凸点连到衬垫
Si：硅芯片，Al：铝衬垫，UMB：凸点下金属层

① 这是类似于由英特尔开发并于 2001 年公布的一种封装技术，内建非凹凸层/(BBUL)封装技术。该技术可使封装到芯片互连所产生的寄生电感达到最小值。

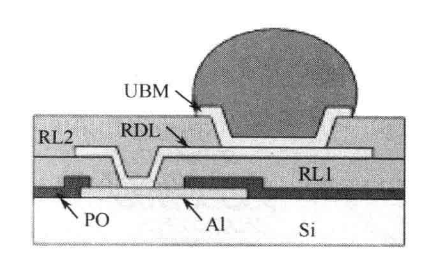
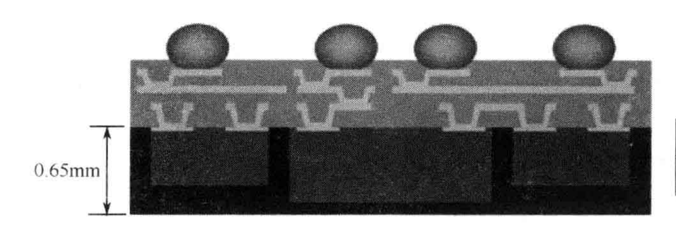


图 10-8 带有再分布层(RDL)的晶圆尺寸封装

RL1:再钝化层 1;RL2:再钝化层 2;RDL:再分布层



介电层厚度	20μm
金属层厚度	10μm

图 10-9 飞思卡尔的可再分布芯片封装(RCP)

图片经飞思卡尔授权

图 10-10 呈现的是一个用 RCP 封装重塑的晶圆。重塑晶圆是一个有两层互连,200mm(8 英寸)的圆盘。图中给出了已封装好的芯片。

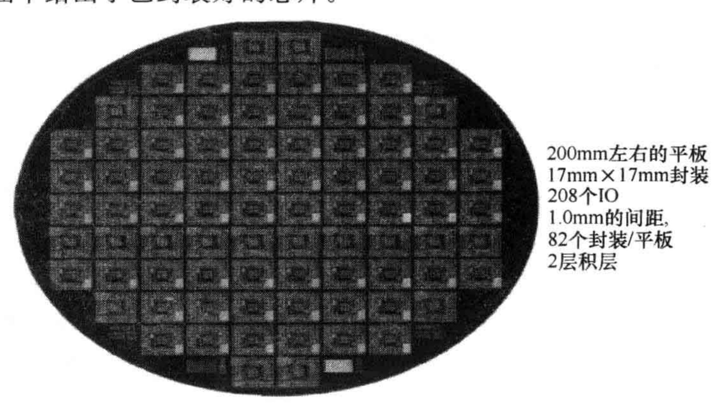


图 10-10 飞思卡尔的 RCP——重建晶圆

图片经飞思卡尔授权

2. 系统级封装

国际半导体技术发展蓝图(ITRS)[14]和国际电子制造商联盟(iNEMI)给系统封装做了如下定义:“系统级封装(SiP)是将多个具有不同功能的有源电子器件组合在一起,并将它们集成在一个独立的单元里,该单元提供有与系统或子系统相关的多种功能”。一个 SiP 中可以包含有源器件、无源器件、MEMS、光学元件和其他封装及器件。

SiP 技术能够灵活地在封装级集成多种不同元器件,这也有利于已有技术的再利用。上述可供选择的元器件组合起来形成 SiP,可以支持并行或堆叠的方式实现复杂系统的开发,并能很快的将其投入市场。SiP 与片上系统相比,在相同集成度和复杂度的情况下,后者会消耗更多的时间和成本,甚至由于成本或技术兼容性上的原因根本无法实现。

SIP需要更为复杂的组装工艺流程，其中包括一些标准的封装组装工艺（如晶圆切片、固晶、互连和黏合，以及封装和切割①）。大多数情况下，这些工艺流程需要进行一定的改进以解决由于多个裸片，相异元器件组合所增强的挑战及复杂度。越来越多的应用开始利用引进第三维来提高集成度，一个较为典型的例子就是开始使用诸如TSV这样的新型互连方式。同时，新的组装工艺也在被不断地开发并采用，其中包括TSV特殊工艺，如形成通孔、电镀，以及芯片间超密间距键合（通过微凸点成过孔尖端的TSV互连技术来实现）。

图10-11显示了英飞凌的专利eWLB工艺，该工艺可以将一个晶圆大小的封装圆盘或晶圆进行重建。在这种工艺中，各独立芯片从半导体晶圆上分割下来并被放置在一个薄的箔片载体上。而后这些芯片被嵌入一个模具混合物，经过淬火，将嵌有芯片的模具层从载体上分离。图10-11也给出了基层形成前的重建晶圆。

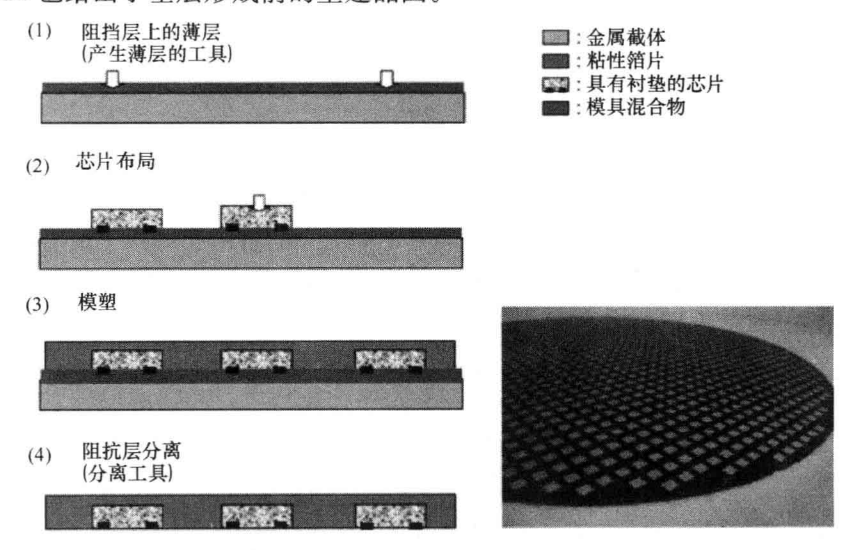


图10-11 英飞凌具有知识产权的eWLB工艺——重建晶圆流程

图片使用了经英飞凌许可

电子产品的微型化是一个重要的促进因素，特别是对于便携式电子设备而言。在系统级封装技术出现以前，微型化就已经可通过多种方式来实现。首先是缩小封装尺寸，这种方法通过CSP代替旧的封装技术（TQFP，TSSOP②）。改进的设计规则使裸片大小与封装尺寸的比率更加合理，同时可以减小球栅阵列（BGA）间距。第二种方式是减小封装厚度。它通过减薄裸片厚度，减少线圈圈数，减小封装尺寸实现其微型化。第三种方式的采用主要来自于半导体公司，这需要封装公司以及各原始设备生产厂商（OEM）之间的紧密合作，以改进表贴装配工艺的兼容性和设计规则。这种微型化方式使得器件之间的分隔更短，使用的无源器件更小（例如01005）。然而，2D封装优化的局限性和对更高集成度的需求还是驱动并促使了多裸片堆叠封装技术的发展。于是PoP技术应运而生。这些封装技术将在后面的章节里做详细的描述。

图10-12显示了3D封装技术的发展，其封装集成度、密度与生产成熟度之间的相互关系[15]。

① 切割为独立芯片。

② TGFP——薄塑封四角形扁平封装，TSSOP——薄型缩小尺寸封装。

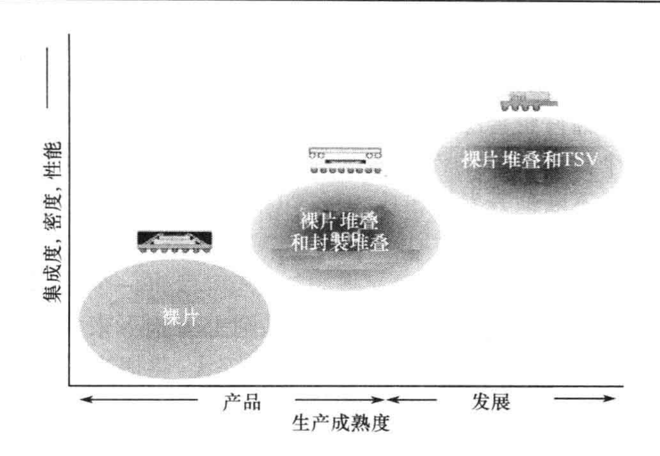


图 10-12 封装技术的进化及发展

3. 芯片堆叠封装

芯片堆叠封装有多种潜在的形式结构。有些使用多块大小相同的裸片堆叠，有些则使用芯片大小不同的裸片以金字塔形式堆叠。一般有不同大小的备用层可置于顶层裸片和底层裸片之间。图 10-13 概念性对这些封装形式进行了说明，并配有实际的封装照片。在所有这些封装形式中，所用到的关键技术包括薄化裸片、引线键合和倒装芯片、模具定位，以及薄膜贴片。

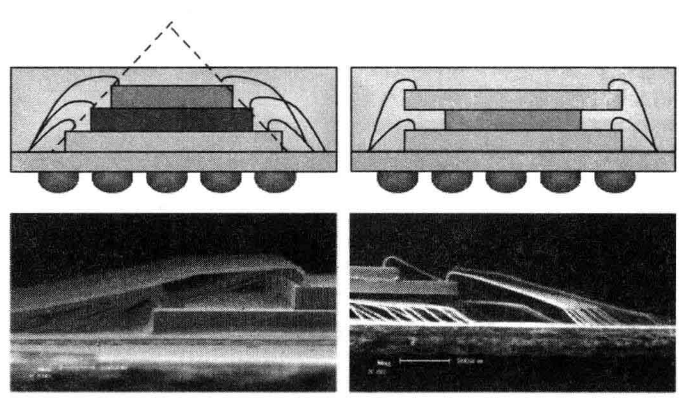


图 10-13 金字塔贴片封装与同尺寸芯片堆叠

芯片堆叠封装的发展与成功源于在同一个封装中堆叠多个存储器的需求，这项技术一般是用来满足移动电话和便携式电子设备对存储容量的需求，也有将逻辑芯片和存储芯片堆叠在一起的产品，但并不是那么成功。目前我们遇到的大多数的问题并不是技术上的，而是供应上的，或者说是与供应链商业模式相关的方面。并不是所有的逻辑芯片供应商在他们的产品中都有存储器芯片；多数逻辑芯片供应商需要与存储器芯片供应商建立复杂的供需协议。这些协议包括质量保证，电气参数测试，和“已知的可靠芯片。”①商品化的存储芯片往往会其使用缺少灵活性。同时来自于芯片—封装协同设计的挑战也使得产品难以及时地推向市场。最

① 已知的可靠芯片在工业生产上与优先认知的需求有关，优先认知就是在一个部件与其他部件装配之前，就知道它的功能和性能是良好的。不了解装配部件的功能状态，直接的后果就是导致其最终产品优良率的大幅下降。

终导致产品延期或成本增加等不利于将产品推向市场的结果。

将逻辑芯片和存储器芯片集成在同一个封装中所遇到的问题，引发了另一种新型技术的发展，这就是我们下面要讨论的叠层封装技术。

4. 叠层封装(PoP)

如何更经济、有效地将逻辑芯片和存储芯片集成在同一波形系数的封装中，这一需求直接驱动着 PoP 技术（如图 10-14 和图 10-15 所示）的产生与发展。

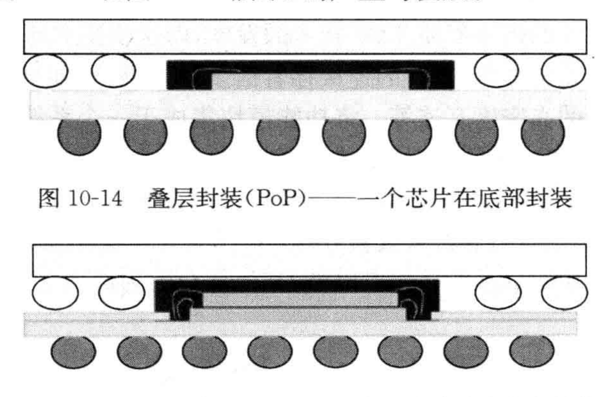


图 10-14　叠层封装(PoP)——一个芯片在底部封装

图 10-15　叠层封装(PoP)——两个芯片堆叠在底部封装

在 PoP 装配中，底部封装通常用于逻辑芯片，可以是单芯片封装也可以是多个逻辑芯片的组合。尽管倒装式芯片技术越来越普遍，但这种封装采用的是引线键合方式，将芯片连接到衬底上。这种设计多用于处理特定的输入/输出(I/O)产品或具有多针脚需求的逻辑产品，必要时还可以用于系统板到细间距 BGA 的二级互连。在倒装芯片中，这种封装被称作FCBGA。底部逻辑封装的波形系数遵循 JEDEC[1] 标准，该标准通常能确保整个封装的波形系数的准确性。顶层封装的设计也需满足 JEDEC 标准对于封装尺寸和 BGA 间距的要求。这种一致性与其他任何的单芯片的封装类似。

顶层封装通常是预留给存储器芯片的，一般会根据产品的需要堆叠多个芯片。这种组织形式可使“已知的可靠芯片”成为芯片堆叠型存储器封装的备选方案，因为它在和底层的逻辑芯片集成前可以由存储器供应商进行全面的测试。顶层和底层的封装使用标准表贴装流程和单焊接回流工艺步骤，通过底层封装周围的衬垫阵列进行连接，同时将底层封装连接到系统板上。这种方法是可行的，因为芯片堆叠存储器封装针脚通常很少，可以被放置在底层封装的外围。但在此过程中，必须确保底层封装中用于外围互连的衬垫区域没有模具混合物或填料污染，不然会在连到顶层封装时造成表面贴装产品的良率降低。

PoP 目前在市场上已经非常成功了，取得了很高的增长率。但在将底层封装连接到系统板时，为了维持较高的表面贴装良率，这一封装结构在进行回流工艺时仍然需要特别注意控制封装扭曲的问题。为了减小扭曲，工业界在优化这些封装所使用的材料方面做了大量的尝试。

扭曲问题会随着对 PoP 技术提出的新需求而变得更加复杂，如总封装厚度的缩减，底部逻辑封装堆叠更高，更高的封装密度和更多的针脚数，以及顶部和底部封装中 BGA 间距的减少。

---

① 固态电子工业标准开发的先驱，www.jedec.org/。

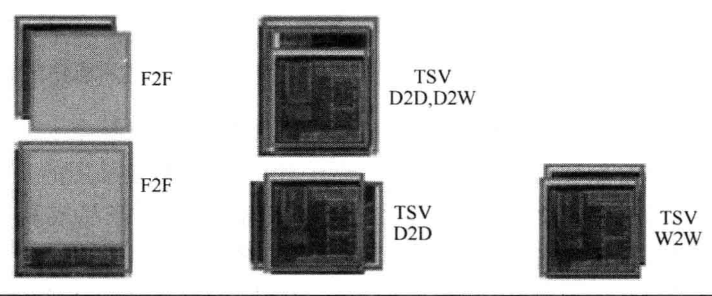
目前有多种方案可以用来解决扭曲问题。其中包括采用更薄的裸片、更薄的衬底、薄膜贴片法、使用正确设计并有良好性能的材料、更薄的模具盖和便于芯片和衬底之间实现低阻互连的倒装芯片互连法等。

5. 硅晶穿孔(TSV)技术

TSV 是垂直的连接或通孔，它通过完全穿透硅芯片来提供其两端的电气连接。TSV 技术被认为是实现 3D 封装，进而实现 3D 集成电路的重要技术。

对于第三维互连技术的需求促使 TSV 技术的发展，而这项技术的发展同时也带来芯片间及芯片与衬底间短且垂直的连接，这样的连接存着诸多的好处，比如更高的电气性能，更好的信号传递以及超细间距的高密度互连等。将功能模块集成于一个系统的不同方法如图 10-16 所示，图中标出了使用 TSV 替代 SoC 或单芯片的优缺点。

TSV 有明显的机会被用于获取更高程度的微型化和集成度。然而，由于引线键合堆叠封装使用的是成熟工艺，标准材料和已有设备，所以 TSV 并不一定是最经济的方法。因此，除了有性能要求的产品中会使用硅晶穿孔技术以外，其他都会因为成本上的考虑上而延缓使用该项技术。



参数/方案	面对面的键合	TSV裸片到晶圆(D2W)或裸片对裸片(D2D)的硅通孔	TSV晶圆到晶圆的硅通孔(W2W)
工艺复杂度	最低	中等	最高
系统性能	中等	高	高
系统尺寸	小	最小	最小
模块集成度	2层	多于2层	多于2层
质量和可靠性	凸起型工艺，较少的未知因素	TSV,D2D键，会有更多的未知因素	TSV,W2F键，会有最多的未知因素
发展	中等	高	很高
设计方法，工具	尚未开发	尚未开发	尚未开发

图 10-16 不同的 3D IC 互连方案

TSV 需要多项工艺，有些是基于标准的晶圆级工艺，有些则有特定的新要求。一般来说，首先，我们需要使用激光钻头或深反应离子刻蚀(DRIE)在硅上打孔；接着对这个孔进行绝缘，线性沉积和金属装填，如镀铜；还会使用到再分布层(RDL)和下凸点金属镀层工艺。这些虽然都是很成熟的晶圆制造工艺，但还是需要对其进行优化使之更适合大批量的生产。高宽长比的通孔尤其需要对高产出通孔金属装填工艺进行改进。其他所需要的工艺一般是对传统装配封装工艺的扩展与改进，如晶圆减薄，便于拿握的晶圆与硅载器连接，晶圆分离以及备选键

合工艺。目前小 TSV 或高密度 TSV 的测试工艺仍然是一个亟待解决的关键问题。

通孔的形成有多种方法，一般分为键合前形成和键合后形成。键合前形成通孔称作“先通孔”（如图 10-17 所示）；键合后形成通孔称作“后通孔”。先通孔方式的一大优点是它能够提供更高的通孔密度。TSV 可以在晶圆的有源区一面形成，也可以从晶圆的背面形成。

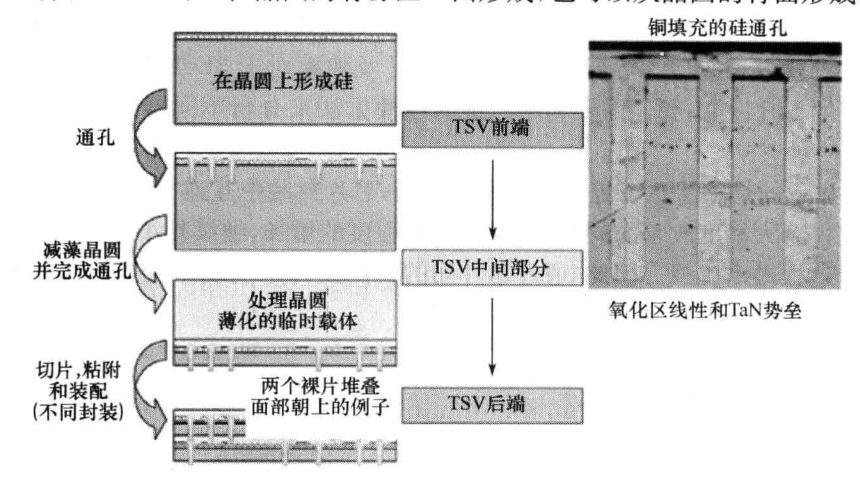


图 10-17　先通孔 TSV 工艺的一个典型例示[15]

TSV 最有前景的应用或许当属 3D 集成电路(3DICs)，在 3D 集成电路中单个的集成电路由多个不同的裸片或功能模块堆叠构成，它们通过 TSV 垂直地互连在一起(如图 10-18 所示)。这种具有大量硅平面间互连优势的 3D 集成电路可等效为一整个 SoC。这种 3DIC 同时可以采用 3D 封装来最大限度地增加其集成度。

大量 TSV 阵列可有效的将能量从能量转换硅片传输到芯片上，比如微处理器芯片，从而实现整体芯片的电源完整性管理。

总之，TSV 技术给 IC 互连方案增加了一个维度。由于 TSV 和焊线相比尺寸更小，所以它具有更低的阻抗和感抗。这一点在很多应用中就意味着更高的性能，比如电源传输和电源完整性。TSV 也为不同工艺的 IC 集成及传感器集成提供了可能性。同时它也有利于实现产品尺寸上的缩减：薄而紧凑地堆叠芯片为高度微型化的应用提供了可能性。随着 TSV 技术成本越来越低，所需基础设施越来越成熟，它很有可能成为未来实现微型化、高集成度、高性能产品的主流互连技术。

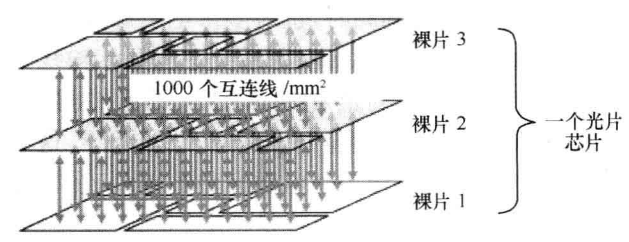


图 10-18　使用 TSV 互连的 3D IC 示意图

6. 封装集成技术概要与挑战

为继续保持微型化和集成化的趋势，封装技术上许多富有挑战问题亟待解决的。这些问题在 3D 集成化封装和微型化系统中变得更加复杂，因为这些系统中用于散热和发热的面积

将会更小。在3D系统中,热管理的目标是防止多个有源区堆叠,因为这会极大的增加对功耗密度的要求。除此之外,如果能正确设计堆叠的各个芯片,确认各自的电源及热管理优先顺序,那么在对整个芯片进行分区和计时就能实现其功耗、性能和成本的最优折中方案。

随着越来越多的产品过渡到使用亚-45nm的CMOS工艺技术,为解决IR压降问题并满足超精细间距的要求,我们希望从引线连接封装过渡到倒装芯片封装,这也是为了适应消费类电子产品和便携式电子产品的发展趋势。电气设计及建模对于3D封装产品来说也很关键。为了保证稳定的SiP性能,我们需要利用先进的建模方法来分析不同器件堆叠可能产生的耦合问题。

图10-19显示的是随着更高集成度技术的发展,芯片封装中互连寄生参数值的变化趋势。在阻抗和感抗得到大幅度改善的同时,随着微型化程度的增加,继续减小这些寄生参数会增加成本并对制造过程提出挑战。因此,通过芯片间的协同设计来实现系统级的优化和折中方案显得更加重要。

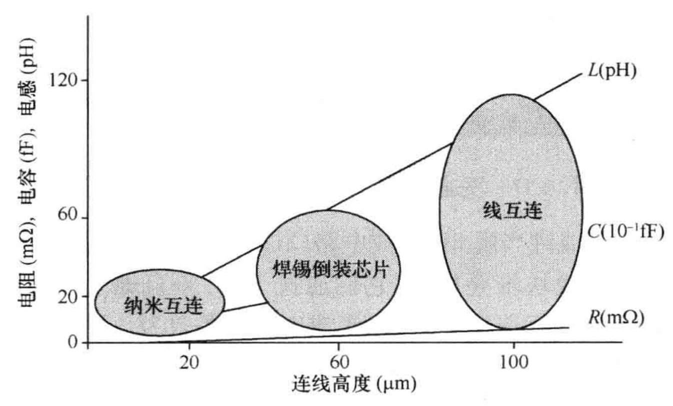


图10-19 互连寄生参数值随封装结构变化的示意图

10.3 电源完整性管理模块的集成化趋势

集成化和微型化增加了集成电路的功能和使用率,与此同时也使得电源传输和电源完整性管理方面的挑战进一步加重,特别是当芯片的功率消耗与第2章图2-2所示的趋势吻合时。

正如本章前面所讨论的,各种不同的微型化和集成化技术使得系统集成越来越复杂。这种密集程度在增加集成电路功能和性能的同时,也对多供电电源及小尺寸电源分配网络提出了更为苛刻的要求。因此,很显然,为了减小多电源系统中电源传输线的间距,需要缩短从电源转换系统(该系统用以产生多电源)到消耗功率的各元器件间的物理距离。同时,如图10-20所示,从引线连接到倒装芯片互连甚至到今后的TSV互连,这个转换过程中,物理距离的减小使得互连寄生值降低,并使电源传输和电源完整性得到改善。由于集成系统变得越来越复杂并且越来越小,下一步合理的发展方向将是把电源和电源完整性管理模块集成到系统中。

因此,遵循减小互连尺寸的这一简单思想,电源转换模块和功率消耗元器件之间的整体集成似乎是保持集成化趋势的一个可行方向(正如第3章3.1.2节所述)。在这种系统结构中,电源转换和电源完整性管理模块与一个汇集在3D封装中的集成系统的数字、模拟及存储功能层集成在一起。这一发展方向与在系统板上设计负载点电源转换,或者从更大的规模来说,

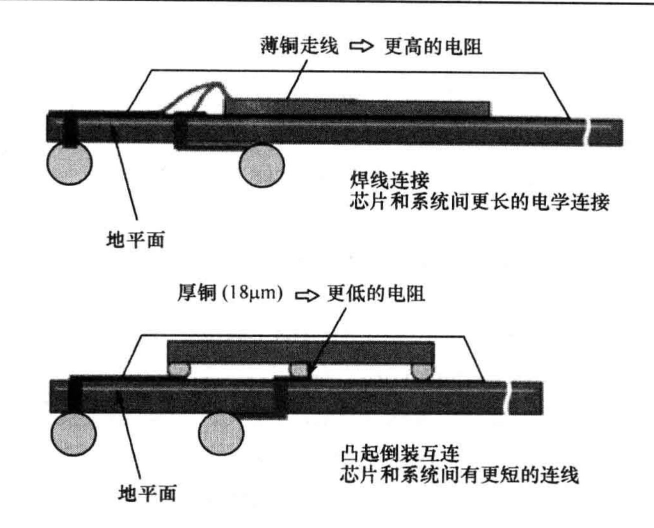


图 10-20 引线连接封装与倒装芯片封装的互连特征对比

在全局电源分配网格上设计模块级的供电电压转换是完全相同的。

当然这一发展方向也有它所面临的挑战,但这已超出了本书的讨论范围。数十年前,Gordon Moore所考虑到的在集成大数值电容和电感方面的局限性到现在仍然存在[16]。通过对晶体管器件电容的大幅度改善,这种局限性得到了一定程度的缓解。由此,找到更多的解决和折中方案将会是 3D 集成时代将电源完整性管理模块与功耗负载集成在一起最关键的一步。

参考文献

[1] Nair, R. 2008. *Software, nano-hardware and energy*. NanoEquity Asia 2008 conference, Singapore, May, www. anasim. com/presentations/Anasim_NanoEquity08. ppt.

[2] Dennard, R. H., F. H. Gaensslen, H. Yu, V. L. Rideout, E. Bassous, A. R. LeBlanc. 1974. Design of ion-implanted MOSFETs with very small physical dimensions. *IEEE Journal of Solid—State Circuits* SC-9(5):256-268, October.

[3] International Technology Roadmap for Semiconductors (ITRS). 2007 edition. Process Integration, Devices, and Structures, www. itrs. net/Links/2007ITRS/2007_Chapters/2007_PIDS. pdf.

[4] Hisamoto D., T. Kaga, Y. Kawamoto and E. Takeda. 1989. A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. *Technical Digest of IEDM*, p. 833.

[5] Hisamoto, D., W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, et al. 2000. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm. *IEEE Transactions on Electron Devices* 47(12), December.

[6] Yang, F.-L., et al. 2002. 25 nm CMOS Omega FETs. International Electron Devices Meeting IEDM 2002, *Digest of Technical Papers*, pp. 255-258.

[7] Chau, R. S. *Integrated CMOS tri-gate transistors*. Intel Technology online article,

www. intel. com/technology/silicon/integrated_cmos. htm.

[8] Mathew, L. , et al. 2005. *Inverted T channel FET(ITFET)-Fabrication and characteristics of vertical-horizontal, thin body, multi-gate, multi-orientation devices, IT-FET SRAM bit-cell operation*. Electron Devices Meeting.

[9] Kavalieros, J. , et al. 2006. Tri-gate transistor architecture with high-k gate dielectrics, metal gates and strain engineering. *Symposium on VLSI Technology and Circuits*, June.

[10] Guo, Z. , et al. 2005. FinFET-based SRAM design. *IEEE International Symposium on Low Power Electronics and Design*, pp. 2 7, August.

[11] Bachtold, A. , P. Hadley, T. Nakanishi, and C. Dekker. 2001. Logic circuits with carbon nanotube transistors. *Science*, 294(5545):1317 1320, November.

[12] Keser, B. 2007. Presentation to the Advanced Packaging Conference, Semicon Europa 2007, October 10-11.

[13] Meyer, T. , M. Brunnbauer, and R. Plieninger. 2007. Presentation to the Advanced Packaging Conference, Semicon Europa 2007, October 10-11.

[14] The International Technology Roadmap for Semiconductors (ITRS). *Assembly and packaging white paper on system-level integration*. www. itrs. net/Links/2007ITRS/LinkedFiles/AP/AP_Paper. pdf.

[15] Bolanos, M. A. 2008. *3D packaging: Integration and miniaturization trends*. Presentation to the IME Singapore Workshop, May.

[16] Moore, G. E. 1965. Cramming more components onto integrated circuits. *Electronics* 38(8): April.

补充阅读材料

[1] Doyle, B. S. , S. Datta, M. Doczy, S. Hareland, B. Jin, J. Kavalieros, et al. 2003. High performance fully-depleted tri-gate CMOS transistors. *IEEE Electron Device Letters* 24(4): April.

[2] Bolanos, M. A. 2007. *Packaging technology trends applied research opportunities*. Sematech 3d IC Workshop, Semicon West, July.

附录 A　ECD 连续模型的推导

A.1　有效电流密度(ECD)的定义

对于导体来说，有效电流密度是指垂直流过任意封闭导体内横截面区域的电流与流过导体总电流的比例。

图 A-1 所示为包含绝缘体和导体的空间区域的横截面，通过导体的电流可以表示为：

$$I=A_c J_{av}=A_{eff} J_{eff} \tag{A-1}$$

式中，J_{av}表示平均电流密度；J_{eff}表示有效电流密度；A_c 表示导体的面积；以及 A_{eff}表示任意平面面积。图 A-1 阐明了 ECD 的概念。

因此，两个电流密度的关系可以表示为：

$$J_{av}=\frac{A_{eff}}{A_c} J_{eff} \tag{A-2}$$

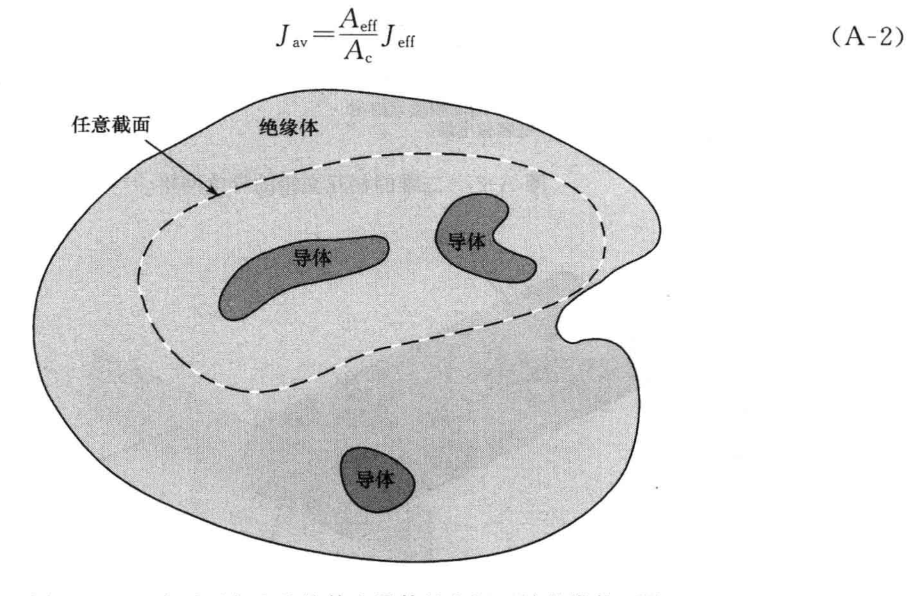


图 A-1　一个通过包含绝缘体和导体的空间区域的横截面图

A.2　用 ECD 推导连续模型

图 A-2 是一个由相互交错的 Grid1 和 Grid2 组成的二维导电网格。这种类型的导电网格能够在集成电路或印制电路板中传输功率或者电流、电压信号，但它同样会传输不必要的信号或噪声。一般这种导电网格会比我们在这里介绍的更大，并且包含更多的连线元素。导电网格是二维的，也就意味着在交叉点处连接水平导体的垂直的短导体电阻极低。这个特殊的网络以正交布线构建，其电压和电流可以很方便的用笛卡儿坐标系统表示。其他不同形状的输电网格可以用不同的基底向量表示。

电流从两个方向上流进和流出每一个面积微元。如图 A-3 所示，矩形的面积微元在 x 方向上的长度为 dx，在 y 方向上的长度为 dy。就像在 A.1 节中解释的那样，每一个面积微元以

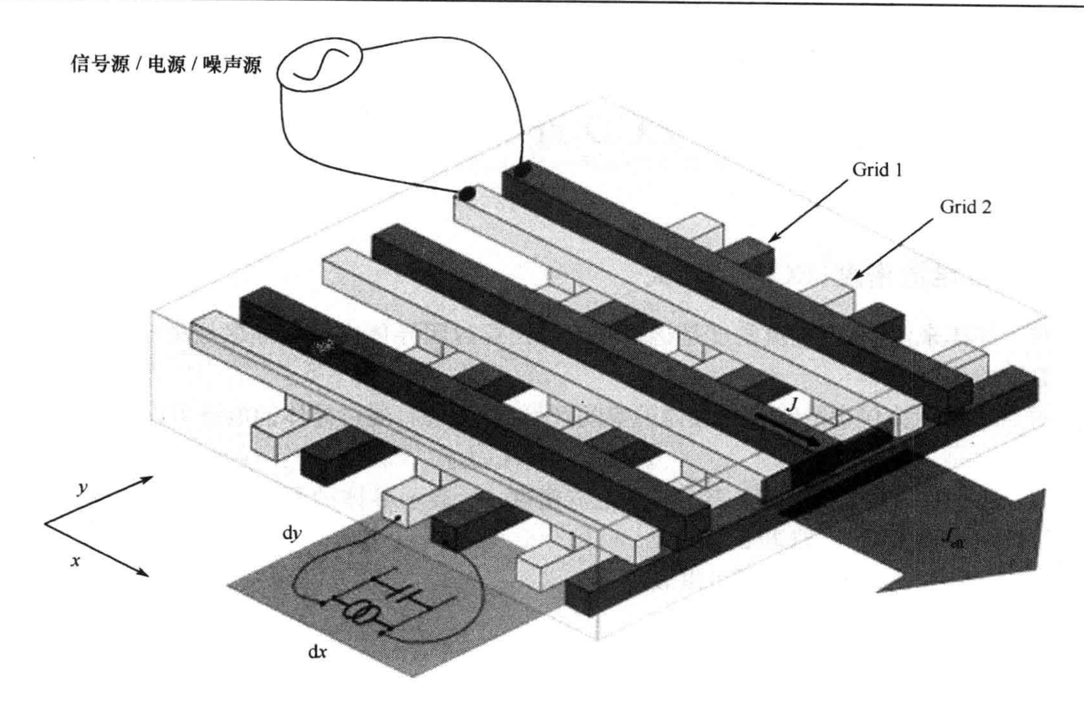


图 A-2 二维的相互交错的导电网格

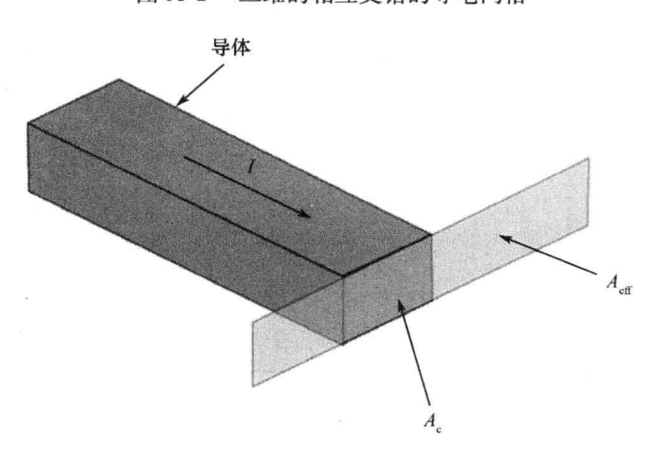


图 A-3 矩形导体

及每一个相互交错的导电网格单元(如图 A-4 所示)中流过的电流都可以用平均电流密度或有效电流密度表示。在本文的分析中,应用矩形来计算有效电流密度,矩形的长度与面积微元一侧的长度相等,并且宽度与输电网格中的电线的厚度相等。在 Grid1 中在 x 方向流进面积微元的电流可以表示为:

$$I_{xi}=J_{x\text{eff}}(x,y)h\mathrm{d}y \tag{A-3}$$

其中 $J_{x\text{eff}}(x,y)$ 是在 (x,y) 位置上,有效电流密度在 x 方向上的分量;h 是输电网格中导线的厚度。在 Grid1 中在 x 方向流出面积微元的电流可以表示为:

$$I_{xo}=J_{x\text{eff}}(x+\mathrm{d}x,y)h\mathrm{d}y \tag{A-4}$$

其中 $J_{xeff}(x+dx,y)$是在$(x+dx,y)$位置上，有效电流密度在 x 方向上的分量。其在 y 方向的表达式与此类似，在 Grid1 中在 y 方向流进面积微元的电流可以表示为：

$$I_{yi}=J_{yeff}(x,y)h\mathrm{d}x \tag{A-5}$$

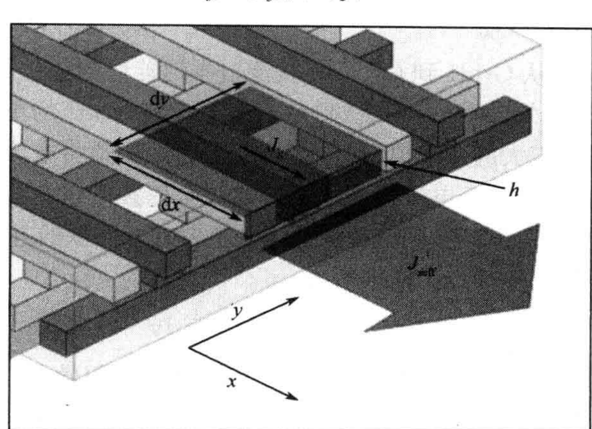


图 A-4　导电网格中流过面积微元的电流示意图

其中 $J_{xeff}(x,y)$是在(x,y)位置上，有效电流密度在 y 方向上的分量。在 Grid1 中在 y 方向流出面积微元的电流可以表示为：

$$I_{yo}=J_{yeff}(x,y+\mathrm{d}y)h\mathrm{d}x \tag{A-6}$$

其中 $J_{xeff}(x,y+dy)$是在$(x,y+dy)$位置上，有效电流密度在 y 方向上的分量。

如图 A-5 所示的导电网格，一般还包括其他元器件，网格与这些元器之间可以相互传输信号、噪声以及功率。通过一定的面积划分适当物理量，这样连续模型中就包含着这些器件的物理特性，这里所谓的一定的面积就是指面积微元。以图 A-5 所示的连接于网格中的本地电容和电流源为例，如果连接这些器件与网格之间的导线长度比系统中的最短波长还短得多，那么这些电容和电流源可以被当作理想的电容和电流源。在连续模型中，他们分别以单位面积的电容和电流形式存在。

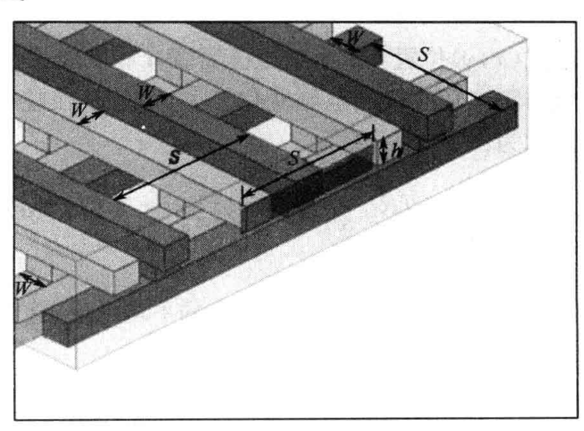


图 A-5　相互交错的二维导电网格的对称性

在较大的系统级仿真中也可以包含连续模型，包括附加导线、其他的连续模型以及其他类型的仿真模型。在网络边界的范围内，每一个连续模型都可以在某个特定位置上通过使用适

当的单元面积连接方式与系统节点相连。由于这些连接点可以存在于任何位置，因此在连续模型的范围内可以用位置函数来表示。在无限小的时间间隔 dt 之后，在面积微元上积累的电荷可以表示为：

$$dQ=(I_{xi}-I_{xo}+I_{yi}-I_{yo}-I_{A}dxdy-I_{E}dxdy)dt \tag{A-7}$$

其中，I_A 是该面积微元中，从 Grid1 到 Grid2 直接流过本地器件的单位面积内的电流；I_E 是该面积微无之中，间接地通过外部器件（系统级）从 Grid1 流到 Grid2 的单位面积内的电流。当把有效电流密度模型并入较大的系统模型时，比较方便的做法是将电流源分为直接型和间接型两种类型。如需要的话，这两个电流源可以合并成一个单独的电流源。或者也可以根据需要，将网格中每个位置上的总电流密度分解为任意数量的相互并联的电流源。

单位面积微元上积累的电荷也可以表示为：

$$dQ=C_{A}(dV_{1}-dV_{2})dxdy \tag{A-8}$$

其中，C_A 是在单位面积微元内的电容量；dV_1 是在 dt 时间段面积微元内 Grid1 中的电压变化量；dV_2 是在 dt 时间段面积微元 Grid2 中的电压变化量。单位面积电容 C_A 不仅包括网格自身电容还包括面积微元内连接 Grid1 和 Grid2 的附加电容，例如电子元件电容以及连接网格的其他导线。将式(A-3)到式(A-8)全部联合起来可得到下面的表达式，这个等式可以将有效电流密度的偏差与流进流出导体网格表面到每一个无限小面积微元内的不同电流分量联系起来：

$$-h\left(\frac{\partial J_{xeff}}{\partial x}+\frac{\partial I_{xeff}}{\partial y}\right)=I_{A}+I_{E}+C_{A}\frac{\partial(V_{1}-V_{2})}{\partial t} \tag{A-9}$$

其中，V_1 和 V_2 分别是 Grid1 和 Grid2 在(x,y)位置上的电压值，式(A-9)可以用简洁的矢量符号表示为：

$$-h\ \nabla\cdot\boldsymbol{J}_{eff}=I_{A}+I_{E}+C_{A}\frac{\partial(V_{1}-V_{2})}{\partial t} \tag{A-10}$$

式中，

$$\boldsymbol{J}_{eff}=J_{xeff}\boldsymbol{i}+J_{yeff}\boldsymbol{j} \tag{A-11}$$

这个等式用于计算在式(x,y)位置上的有效电流密度，$\boldsymbol{i}$ 和 $\boldsymbol{j}$ 表示在 x 和 y 方向上的单位向量。在网格中这些电流与阻抗和感抗的电压变化有关。例如，在整个面积微元 Grid1 中 x 方向上电压变化量可以表示为：

$$-dV_{1x}=J_{1x}h_{1x}w_{1x}\left(R_{1s}\frac{dx}{w_{1x}}\right)+\sum_{j=1}^{k}\left[L_{1j}dx\frac{\partial}{\partial t}(J_{jx}w_{jx}h_{jx})\right] \tag{A-12}$$

其中，

J_{1x}是由于 Grid1 中存在的导线而在 x 方向上产生的平均电流密度分量；

h_{1x}是在 Grid1 中，沿 x 方向上穿过面积微元的导线高度；

W_{1x}是在 Grid1 中，沿 x 方向上穿过面积微元的导线宽度；

R_{1s}是在 Grid1 中，沿 x 方向上穿过面积微元的导线表面电阻；

L_{1j}为 Grid1 中，在 x 方向上的导线与网格中第 j 根导线之间的互感（例如，与 Gridl 中穿过面积微元的导线有明显的磁力耦合作用）；

J_{jx}为在 x 方向上第 j 根邻近导线中平均电流密度分量；

w_{jx}为第j个邻近导线的宽度(分布于用笛卡儿坐标系统描述的正交网络的x方向上);

h_{jx}为第j个邻近导线的高度(分布于用笛卡儿坐标系统描述的正交网络的x方向上);

k为导电网格中导线的数量。

类似的,在Grid1的整个面积微元中沿y方向的电压变化量可以表示为:

$$-\mathrm{d}V_{1y}=J_{1y}h_{1y}w_{1y}\left(R_{1s}\frac{\mathrm{d}y}{w_{1y}}\right)+\sum_{j=1}^{k}\left[L_{1j}\mathrm{d}y\frac{\partial}{\partial t}(J_{jy}w_{jy}h_{jy})\right] \tag{A-13}$$

其中,

J_{1y}是由于Grid1中存在的导线而在y方向上产生的平均电流密度分量;

h_{1y}是在Grid1中,沿y方向上穿过面积微元的导线高度;

w_{1y}是在Grid1中,沿y方向上穿过面积微元的导线宽度;

R_{1s}是在Grid1中,沿y方向上穿过面积微元的导线的表面电阻;

L_{1j}为Grid1中,在y方向上的导线与网格中第j根导线之间的互感;

J_{jy}为y方向上第j根邻近导线中的平均电流密度分量;

W_{jy}为第j根邻近导线的宽度(分布于用笛卡儿坐标系统描述的正交网络的y方向上);

h_{jy}为第j根邻近导线的高度(分布于用笛卡儿坐标系统描述的正交网络的y方向上)。

式(A-10)、式(A-12)和式(A-13)充分考虑到了导体和系统中其他组件间的磁力耦合作用。但正如前文所提到的,应该考虑网络的对称性以简化模型。在这个例子中,导电网格在x和y方向上具有周期为s的平移对称性,且Grid1和Grid2(如图A-5所示)所有的导线宽度w和高度h都相同。如果我们在长度为线对周期间距s,宽度为导线高度h的区域来估算有效电流密度,那么这种对称性来就可以用来简化式(A-10)、式(A-12)和式(A-13)。

如果我们进一步假设在Grid1和Grid2中邻近的导线在相反方向有相同的电流值(即流进Grid1中一定区域的电流值等于流出Grid2中相同面积的电流值),那么式(A-10)可以简化为:

$$-h\nabla\cdot\boldsymbol{J}_{\mathrm{eff}}=I_{\mathrm{A}}+I_{\mathrm{E}}+C_{\mathrm{A}}\frac{\partial V}{\partial t} \tag{A-14}$$

其中,

$$V=V_1-V_2 \tag{A-15}$$

这是Grid1和Grid2之间的电势差。因此,由其几何尺寸以及电流的对称性形成了一个连续模型,对该模型的仿真只需要计算差分电压和电流。这些对称性同样可以对公式(A-12)和(A-13)进行简化。使用紧密耦合的导线对中大小相同、方向相反的电流来限定导线对之间的大部分空间磁通量(即唯一明显的互感来自于相邻的导线),这就意味式(A-12)可以简化为:

$$-\mathrm{d}V_x=J_xhw\left(R_s\frac{\mathrm{d}x}{w}\right)+L\mathrm{d}x\frac{\partial}{\partial t}(J_xwh) \tag{A-16}$$

其中,

$\mathrm{d}V_x$是导电网格在x方向上穿过面积微元的(对称)电压变化量;

J_x是Grid1和Grid2中,x方向上穿过面积微元的导线平均电流密度分量(其在每个相互交错的网格中大小相等、方向相反);

R_s是在面积微元中Grid1和Grid2薄层电阻的组合。值得注意的是,这个薄层电阻是对

称网格中单一导线薄层电阻的两倍(网格中的电压化量包括 Grid1 中电压的降低/升高以及 Grid2 中电压的降低/升高);

L 是单位长度的电感,可以通过计算 Grid1 和 Grid2 之间及其周围的面积微元上的磁通量得到。

类似的,式(A-13)可以简化为:

$$-\mathrm{d}V_y=J_y hw\left(R_s\frac{\mathrm{d}y}{w}\right)+L\mathrm{d}y\frac{\partial}{\partial t}(J_y wh) \tag{A-17}$$

其中,

$\mathrm{d}V_y$ 是导电网格的在 y 方向上穿过面积微元的(对称)电压变化量;

J_y 是 Grid1 和 Grid2 中,在 y 方向上穿过面积微元的导线平均电流密度分量(其在每个相互交错的网格中大小相等、方向相反)。

就像前面提到的,在导电网格中用以计算有效电流密度的长方形,其长与宽的选择要符合网格的几何尺寸。使用式(A-2),平均电流密度的 x 分量可以表示为:

$$J_x=\frac{s}{w}J_{x\mathrm{eff}} \tag{A-18}$$

其中,$J_{x\mathrm{eff}}$是有效电流密度的 x 分量。平均电流密度的 y 分量可以表示为:

$$J_y=\frac{s}{w}J_{y\mathrm{eff}} \tag{A-19}$$

其中,$J_{y\mathrm{eff}}$是有效电流密度的 y 分量。由式(A-16)和式(A-18)可以得到:

$$-\frac{\mathrm{d}V_x}{\partial x}=\left(\frac{hsR_s}{w}\right)J_{x\mathrm{eff}}+hsL\frac{\partial J_{x\mathrm{eff}}}{\partial t} \tag{A-20}$$

结合式(A-17)和式(A-19)可以得到:

$$-\frac{\mathrm{d}V_y}{\partial y}=\left(\frac{hsR_s}{w}\right)J_{y\mathrm{eff}}+hsL\frac{\partial J_{y\mathrm{eff}}}{\partial t} \tag{A-21}$$

结合式(A-20)和式(A-21)可以推得矢量方程:

$$-\nabla V=\left(\frac{hsR_s}{w}\right)J_{\mathrm{eff}}+hsL\frac{\partial J_{\mathrm{eff}}}{\partial t} \tag{A-22}$$

上述这个公式描述的是对称网格中电位梯度和有效电流密度的关系。

目前,我们已运用了有效电流密度的定义[式(A-1)],以及对于有效面积严格对称的选择推导出了两个公式,这两个公式描述了导电网格中有效电流密度与差分电压变化量之间的关系。可以运用式(A-14)和式(A-22)对二维输电网格表面所有点的电压以及电流的变化量进行仿真。一般来说,这个方程中的许多参数,例如电阻、电感以及电容,都是位置、时间、电流和电压的函数。假设在这个公式中唯一非线性的参数是面积电容 C_A,那么用式(A-14)对 t 求导得到:

$$-h\frac{\partial}{\partial t}(\nabla\cdot J_{\mathrm{eff}})=\frac{\partial I_A}{\partial t}+\frac{\partial I_E}{\partial t}+\frac{\partial}{\partial t}\left(C_A\frac{\partial V}{\partial t}\right) \tag{A-23}$$

对公式(A-22)求偏差可以得到:

$$-\nabla^2 V=\left(\frac{hsR_s}{w}\right)\nabla\cdot J_{\mathrm{eff}}+hsL\frac{\partial}{\partial t}(V\cdot J_{\mathrm{eff}}) \tag{A-24}$$

结合式(A-14)、式(A-23)和式(A-24)可以推得：

$$-\frac{w}{sR_s}\nabla^2 V=I_A+I_E+\frac{\partial}{\partial t}\left(C_A\frac{\partial V}{\partial t}\right)+\frac{wL}{R_s}\frac{\partial}{\partial t}\left[I_A+I_E+\frac{\partial}{\partial t}\left(C_A\frac{\partial V}{\partial t}\right)\right] \tag{A-25}$$

在对称且相互交错的导电网格中，可以利用这个模型来对差分电压的变化进行仿真。其模型计算问题可以利用如有限差分法和有限元法等标准数值方法来解决。该模型为连续模型，整个导电网格包含绝缘体以及其他组成部分都可以用一个单独的复合材料来表示。在这个模型中没有必要把整个网络分解为许多个电路组成部分。网格中线路成分的大小和数量决定了宽度 w、周期间距 s 以及式(A-25)中的其他参数。

参考文献

[1] Bennett, D. 2007. *Effective current density and continuum models for conducting networks*. United States Patent and Trademark Office utility patent application number 11/714427, March.

附录 B　平面电路的亥姆霍茨方程的推导

B.1　平面电路亥姆霍茨方程的推导

公式(5-24)是平面电路的亥姆霍茨方程，该方程将法拉第定律[式(5-15a)]、安培定律[式(5-15b)]和其他有关平面电路的假设联系在一起。

在法拉第定律方程的两边同时取旋度，可以得到：

$$\nabla \times \nabla \times E = -\mathrm{j}\omega\mu \nabla \times H$$

利用旋度的矢量一致性定义，上述方程可变为：

$$\nabla(\nabla \cdot E) - \nabla^2 E = -\mathrm{j}\omega\mu \nabla \times H$$

用安培环路定律代替方程右端的$\nabla \times H$，则上述方程可改写为：

$$\nabla(\nabla \cdot E) - \nabla^2 E = -\mathrm{j}\omega\mu(J + \mathrm{j}\omega\varepsilon E)$$

在无任何自由电荷的情况下，由高斯定理[式(5-15c)]可消除$\nabla \cdot E$项，得到：

$$(\nabla^2 + \omega^2\varepsilon\mu)E_z = \mathrm{j}\omega\mu J_z$$

此处只考虑电场z方向的分量。电场又与电压的梯度有如下关系：

$$E = -\nabla V$$

在电源层，由于电场在z方向始终为常数($\partial E_z/\partial z$)，因此E_z等于$-V/d$，此处，∂为电路层与层之间的间隔。展开算符∇，消除Z方向上的梯度$\partial/\partial z$，方程的最终形式为：

$$\left(\frac{\partial^2}{\partial x^2} + \frac{\partial^2}{\partial y^2} + \omega^2\varepsilon\mu\right)V = -\mathrm{j}\omega\mu d J_z$$

参考文献

[1] Engin, A., K. Bharath, M. Swaminathan, M. Case, B. Mutnury, N. Pham, D. de Araujo, and E. Matoglu. 2006. Finite-difference modeling of Noise coupling between power/ground planes in multilayered packages and bords, *Processings of 56th ECTC*, 1262-1267.